



HWD7891-2 产品手册

V3.2.0

成都华微电子科技股份有限公司
2025 年 1 月 3 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本	王海柱	20220329	
V2.0.0	应用新模板，增加时序说明	王海柱	20221129	
V3.0.0	更新时序，更新应用建议	王海柱	20231226	
V3.1.0	更新笔误	王海柱	20240117	
V3.2.0	更新模板	苟珂玮	20250103	

1 概述

HWD7891-2是一个8通道，带并行、串行接口选择功能的12位A/D转换器。它由一个输入多路选择器，一个片上采样、保持放大器，一个高速12位ADC，一个2.5V的基准电压，片上时钟振荡器，信号调整电路以及高速接口构成。工作在5V单电源下，模拟输入范围为 $\pm 2.5\text{V}$ ， $0\text{V}\sim 5\text{V}$ 或 $0\text{V}\sim 2.5\text{V}$ 。可以通过MODE引脚选择串行工作或是并行工作。器件有标准的控制输入，无论在串行或是并行工作方式下，都能快速的存取数据，很容易与现代的微处理器、微控制器和数字信号处理器接口。

2 产品特点

- 1) 快速(1.6 μs)12BIT ADC
- 2) 8 通道单端模拟输入
- 3) 输入范围可选： $\pm 2.5\text{V}$ ， $0\text{V}\sim 5\text{V}$ 或 $0\text{V}\sim 2.5\text{V}$
- 4) 并行和串行接口可选
- 5) 片上采保放大器
- 6) 单电源工作

3 功能框图

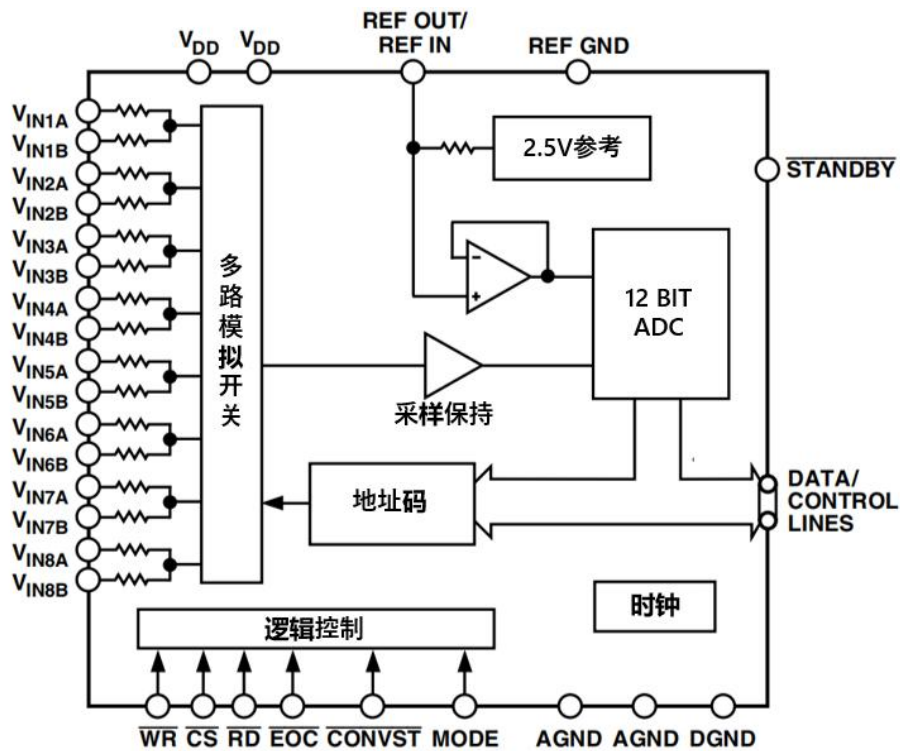


图 1 功能框图

4 封装信息

HWD7891-2封装外形及引脚排列图如下图所示。

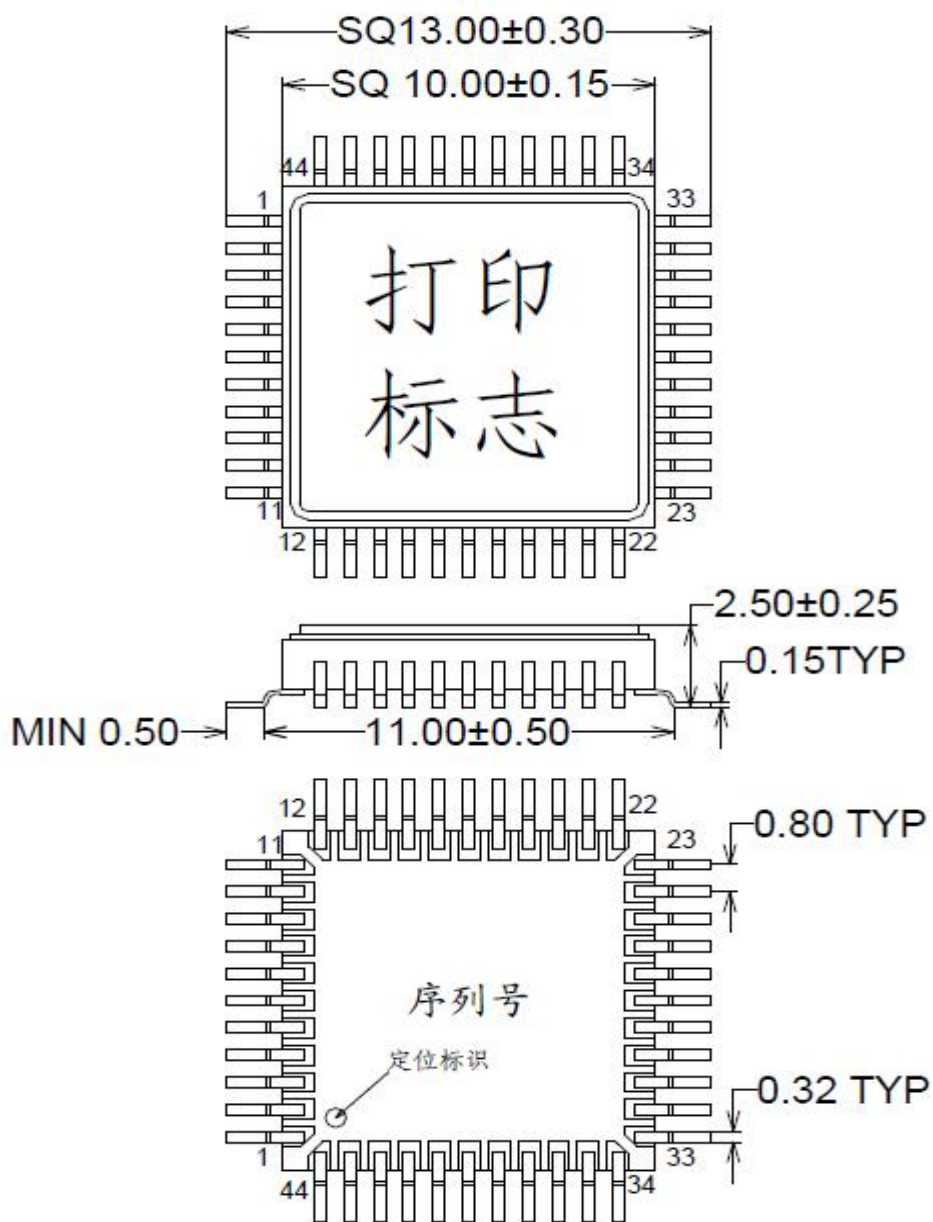


图2 HWD7891-2封装外形图

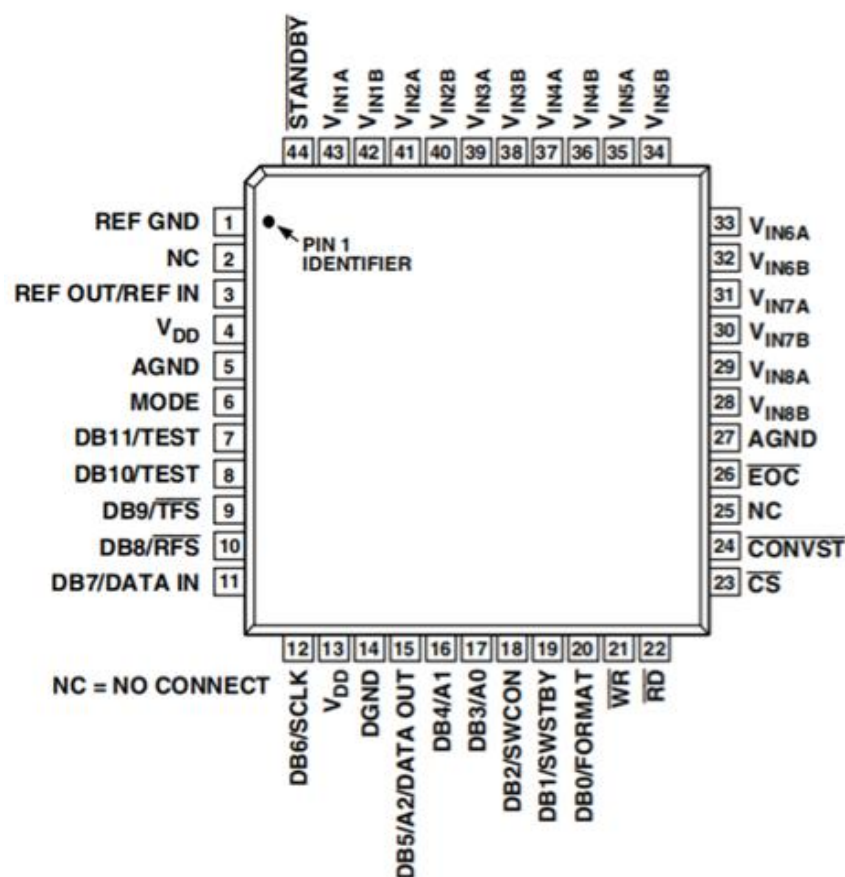


图3 HWD7891-2引脚排列图

HWD7891-2引脚描述描述如下表所示。

表 1 HWD7891-2 引脚描述

管脚	管脚名	功能描述
28-43	V _{INXA} , V _{INXB}	模拟输入通道。HWD7891-2包含8个模拟输入通道。每个通道包含两个输入引脚，可以配置成不同的模拟输入电压范围。将V _{INXA} 和V _{INXB} 一起接输入信号可以配置成0V~2.5V输入范围，V _{INXA} 接输入信号，V _{INXB} 接AGND可以配置成0V~5V输入范围，V _{INXA} 接输入信号，V _{INXB} 接2.5V，可以配置成-2.5V~2.5V输入范围。A2，A1和A0是通道选择的地址线。在并行接口模式下，它们可以由DB3到DB5输入。在串行接口模式下，它们可以由DATA IN引脚输入。通道选择器可以保证未被选择的通道与系统是断开的。
4, 13	V _{DD}	电源管脚，5V
5, 27	AGND	模拟地。采样保持电路，比较器和DAC的地。
14	DGND	数字地。数字电路的地。
44	STANDBY	待机模式输入。用来使器件工作于节能或者待机模式。STANDBY在正常工作模式下输入为高电平，在待机模式下为低电平。
3	REF OUT /REF IN	电压基准输入/输出。这个管脚提供内部基准电压的访问，也允许内部电压基准被外部基准源驱动。当使用内部基准电压时，REF OUT引脚

管脚	管脚名	功能描述
		与REF GND引脚之间应该接一个0.1uF的陶瓷电容。内部基准源的输出阻抗典型值为2k Ω 。当使用外部基准源时，外部基准源应该接在这个引脚上。电压基准引脚是带片上缓冲的，但是外部基准必须能通过这2k Ω 电阻对片上参考电压流入或流出电流。HWD7891-2正确工作时的基准电压为2.5V。
1	REF GND	基准源的地。片上电压基准缓冲器的地线。在REF OUT引脚和REF GND引脚之间应该接0.1uF电容。如果HWD7891-2使用外部电压基准工作，外部基准必须对这个引脚去耦。REF GND引脚应该接在AGND引脚或系统的AGND上。
24	CONVST	转换开始输入。边沿触发逻辑输入。这个引脚上的下降沿使采保电路进入保持状态，然后初始化一次转换。当转换通道时，应该留出足够的时间作为多路复用器的建立时间以及采保电路的获取时间。
26	EOC	转换结束信号输出。逻辑输出，低电平有效。该管脚用来指示转换器的状态。这个引脚的输出信号的下降沿表示转换结束。EOC脉宽典型值为80ns。
6	MODE	接口模式。决定接口工作模式的控制输入引脚。低电平时，HWD7891-2工作在串行模式；高电平时，工作在并行模式。
2, 25	NC	无连接。这两个NC引脚可以悬空。如果要接电位，应该接地。为确保HWD7891-2正确工作，这两个NC都不允许接高电平。
23	CS	片选输入。低有效输入。它和RD，WR共同控制芯片的读写。
22	RD	读输入。低电平有效的逻辑输入，与CS共同使用来允许芯片数据输出。
21	WR	写输入。低电平有效的逻辑输入，与CS共同使用来写控制寄存器中的信息。当工作软件模式时，WR的上升沿会产生一个内部脉冲，这个脉冲用来延迟采样保持电路进入保持状态和转换开始的时间点。这个时间用来作为当所选通道发生变化是时，通道选择器的建立时间和采保电路的获取时间。SWCON=1时，当这个内部脉冲结束时，采样保持电路进入保持状态，转换开始。如果SWCON=0，采保电路和转换时序不受WR的影响。
7-12 15-20	DB0到 DB11	数据位0（最低位）到数据位11（最高位）。由CS和RD控制的三态输出。

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	电源电压（ V_{DD} ）	-0.3V~7V
2	模拟输入电压（ V_{IA} ）	±10V
3	参考输入电压（ V_{IR} ）	-0.3V~VDD +0.3V
4	数字输入电压（ V_{ID} ）	-0.3V~VDD +0.3V
5	数字输出电压（ V_{OD} ）	-0.3V~VDD +0.3V
6	引线耐焊接温度（ T_h ）	260℃
7	储存温度范围（ T_{stg} ）	-65℃~+150℃
8	结温（ T_J ）	175℃

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	电源电压（ V_{DD} ）	4.75V~5.25V
2	工作环境温度（ T_A ）	-55℃~125℃

6 电特性参数

表 2 电特性

特 性	符号	条 件 (除非另有规定, $V_{DD}=4.75V\sim5.25V$ $AGND=DGND=0V$ $-55^{\circ}C\leq T_A\leq 125^{\circ}C$)	最小	最大	单位
信噪比	SNR	—	62	—	dB
总谐波失真	THD	—	—	-65	dB
尖谐波或寄生噪声	PH/SN	—	—	-65	dB
通道隔离	CCI	—	—	-55	dB
转换时间	t_{CONV}	—	—	1.6	us
分辨率	LSB	—	12	—	Bits
积分非线性	INL	—	—	±6	LSB

特 性	符号	条 件 (除非另有规定, $V_{DD}=4.75V\sim 5.25V$ $AGND=DGND=0V$ $-55^{\circ}C\leq T_A\leq 125^{\circ}C$)	最小	最大	单位
微分非线性	DNL	—	—	± 3	LSB
单级偏移误差	E_{UOE}	—	—	± 8	LSB
负满程误差	E_{NF}	—	—	± 5	LSB
输入信号幅度范围	V_{IVR}	—	0	5	V
			0	2.5	V
V_{INXA} 输入电阻	R	—	1.0	—	k Ω
REFIN 输入电压范围	V_{REF}	—	2.375	2.625	V
REF OUT 输出电压	V_{OR}	—	2.46	—	V
REF OUT 误差	V_E	—	—	± 40	mV
输入高电平电压	V_{IH}	—	2.8	—	V
输入低电平电压	V_{IL}	—	—	0.8	V
输入电流	I_{NH}	—	—	± 20	μA
输出高电平电压	V_{OH}	$V_{DD}=5V$; $I_{SOURCE}=200\mu A$	4.0	—	V
输出低电平电压	V_{IO}	$V_{DD}=5V$; $I_{SINK}=1.6mA$	—	0.4	V
DB11-DB0 高阻漏电流	I_Z	—	—	± 20	μA
电源电流	I_{DD}	正常模式	—	30	mA
		备用模式	—	5	mA
功耗	P_D	正常模式	—	150	mW
		备用模式	—	25	mW
并联接口时序					
/CS 到 RD/WR 建立时间	t_1	—	0	—	ns
写脉冲宽度时间	t_2	—	35	—	ns
有效数据到写建立时间	t_3	—	25	—	ns
有效数据到写保持时间	t_4	—	5	—	ns
CS 到 RD/WR 保持时间	t_5	—	0	—	ns

特 性	符号	条 件 (除非另有规定, $V_{DD}=4.75V\sim 5.25V$ $AGND=DGND=0V$ $-55^{\circ}C\leq T_A\leq 125^{\circ}C$)	最小	最大	单位
/CONVST 脉冲宽度时间	t_6	—	35	—	ns
/EOC 脉冲宽度时间	t_7	—	55	—	ns
读脉冲宽度时间	t_8	—	35	—	ns
在 RD 下降沿后数据访问时间	t_9	—	25	—	ns
在 RD 上升沿后总线离开时间	t_{10}	—	5	30	ns
串联接口时序					
RFS 低电平到 SCLK 下降沿建立时间	t_{11}	—	30	—	ns
RFS 低电平到有效数据延时	t_{12}	—	—	20	ns
SCLK 高电平脉冲宽度时间	t_{13}	—	25	—	ns
SCLK 低电平脉冲宽度时间	t_{14}	—	25	—	ns
SCLK 上升沿到有效数据保持时间	t_{15}	—	5	—	ns
SCLK 上升沿到有效时间延时	t_{16}	—	—	15	ns
RFS 到 SCLK 下降沿保持时间	t_{17}	—	20	—	ns
在 RFS 上升沿后总线放弃时间	t_{18}	—	0	30	ns
在 SCLK 上升沿后总线放弃时间	t_{18A}	—	0	30	ns
TFS 低电平到 SCLK 下降沿建立时间	t_{19}	—	20	—	ns
有效数据到 SCLK 下降沿建立时间	t_{20}	—	15	—	ns
有效数据到 SCLK 下降沿保持时间	t_{21}	—	10	—	ns
TFS 低电平到 SCLK 下降沿保持时间	t_{22}	—	30	—	ns

7 功能描述

7.1 概述

HWD7891-2 提供两种接口工作方式，一个 12 位并行接口和一个高速串行接口，并且均可以使用软件模式和硬件模式进行触发，通过 MODE 引脚可以选择接口的工作模式。两种接口模式的读写过程均为时钟下降沿有效，所以建议在不进行数据读写操作的过程当中将时钟维持在高电平。器件在接收到一次转换命令并进入转换过程当中时，在 EOC 信号下降沿到来之前不会响应新的转换指令。

7.2 功能描述

7.2.1 控制寄存器

HWD7891-2 的控制寄存器包含下述 6 位信息。这 6 位信息可以在并行或串行工作模式下，写入控制寄存器。控制寄存器的所有位在上电后都被复位为 0。在串行工作模式下，必须从外部给芯片输入 6 个串行时钟脉冲才能将数据写入控制寄存器。如果 TFS 在 6 个串行时钟之前就恢复到高电平，数据不会被写入控制寄存器，必须重新启动写操作来将数据写入控制寄存器。然而如果控制寄存器的 SWCONV 位之前已经被写入 1，TFS 在 6 个串行时钟之前恢复到高电平，芯片将开始一次转换操作。

A2	A1	A0	SWCONV	SWSTBY	FORMAT
----	----	----	--------	--------	--------

图4 HWD7891-2控制寄存器

A2：地址输入。多路复用器地址线的最高位。

A1：地址输入。多路复用器地址线的次高位。

A0：地址输入。多路复用器地址线的最低位。

所选通道与地址的关系式如下： $A2 \times 4 + A1 \times 2 + A0 + 1$ 。

SWCONV：转换开始。将这一位写 1 时，类似使用 CONVST 输入一样，将开始一次转换。当这一位恒为 1 时，不会发生连续转换过程。当向这一位写 1 时，将会产生一个内部脉冲，然后开始一次转换过程。

SWSTBY：待机模式输入。向这一位写 1，可以使芯片进入待机或关断模式。向这一位写 0，器件进入正常工作模式。

FORMAT：数据格式选择。向这一位写 0，输出数据格式将被设置为自然码，这种数据格式一般用于单极输入范围。向这一位写 1，输出数据格式将被设置为二进制补码，这种数据格式一般用于双极输入范围。

7.2.2 并行接口模式

将 MODE 输入引脚接高电平，可以使芯片进入并行接口模式。在 WR 的上升沿，多路复用器的地址被写入 HWD7891-2。在 CONVST 的下降沿，片上采保电路进入保持模式，转换开始。当转换结束时，转换结束指示信号 EOC 由高电平变成低电平，此时可以从 HWD7891-2 的输出寄存器读取新的转换结果。EOC 信号可以用来驱动微处理器边沿触发的中断。读取 12 位转换结果时，需将 CS 和 RD 置低电平。当芯片被

用在与门阵列或 ASIC 接口的系统中时，EOC 脉冲可以接在 CS 和 RD 输入端，来读取 HWD7891-2 的输出数据，然后写入门阵列或 ASIC 中。这意味着门阵列或 ASIC 不需要任何转换状态识别逻辑，同时也不需要产生读取 HWD7891-2 的读信号的逻辑电路。

7.2.3 串行接口模式

将 MODE 输入引脚接低电平，可以使芯片进入串行接口模式。这时，并行接口工作模式下的其中 5 位数据/控制输入将完成串行接口功能。

HWD7891-2 的串行接口是一个具有读写功能的 5 端口接口。在串行接口模式下，通过 DATA OUT 引脚来读取输出寄存器，通过 DATA IN 引脚来将数据写入 HWD7891-2。芯片需要将外部串行时钟接在 SCLK 输入引脚，来控制数据从控制寄存器的读取过程。芯片提供独立的读取（RFS）和发送（TFS）帧同步信号。HWD7891-2 的串行接口使得它可以与提供和串行数据同步的串行时钟信号的系統连接，例如 80C51, 87C51, 68HC11 和 68HC05，以及很多数字信号处理器。

当 HWD7891-2 被用在串行接口模式时，数据线 DB11 和 DB10 应该接逻辑低电平，CS，WR 和 RD 应该接高电平。引脚 DB4 到 DB0 可以接高或低电平，但是一定不能悬空，因为悬空会使 HWD7891-2 消耗较多电流。

8 应用建议

8.1 并行接口硬件触发工作模式

在并行模式下工作，控制寄存器的内容通过以下 IO 引脚写入控制寄存器：

表 3 HWD7891-2 并行引脚说明

引脚序号	引脚名	注释
17	A0	地址输入。在并行写操作时，这个输入的状态被写入控制寄存器的A0位。（见控制寄存器部分）。
16	A1	地址输入。在并行写操作时，这个输入的状态被写入控制寄存器的A1位。（见控制寄存器部分）。
15	A2	地址输入。在并行写操作时，这个输入的状态被写入控制寄存器的A2位。（见控制寄存器部分）。
18	SWCON	软件转换开始。在并行写操作时，这个输入的状态被写入控制寄存器的SWCONV位。
19	SWSTBY	软件待机控制。在并行写操作时，这个输入的状态被写入控制寄存器的SWSTBY位。
20	FORMAT	数据格式选择。在并行写操作时，这个输入的状态被写入控制寄存器的FORMAT位。

并行接口硬件触发模式的时序如图 5 所示。在使用此工作模式时，该时序适用于 HWD7891-2 和 AD7891，由于 HWD7891-2 在 CONVST 下降沿触发转换，而 AD7891 在上升沿触发转换，当采用同样时序时，对采

时间而言，HWD7891-2 的采样时间减少了 t_6 。 t_6 为 CONVST 脉宽，要求 $\geq 35\text{ns}$ 。当 t_{settle} 设置为 $\geq 900\text{ns}$ 时，该时序同时适用于 HWD7891-2 和 AD7891，可直接替换，无需做硬件修改和软件修改。

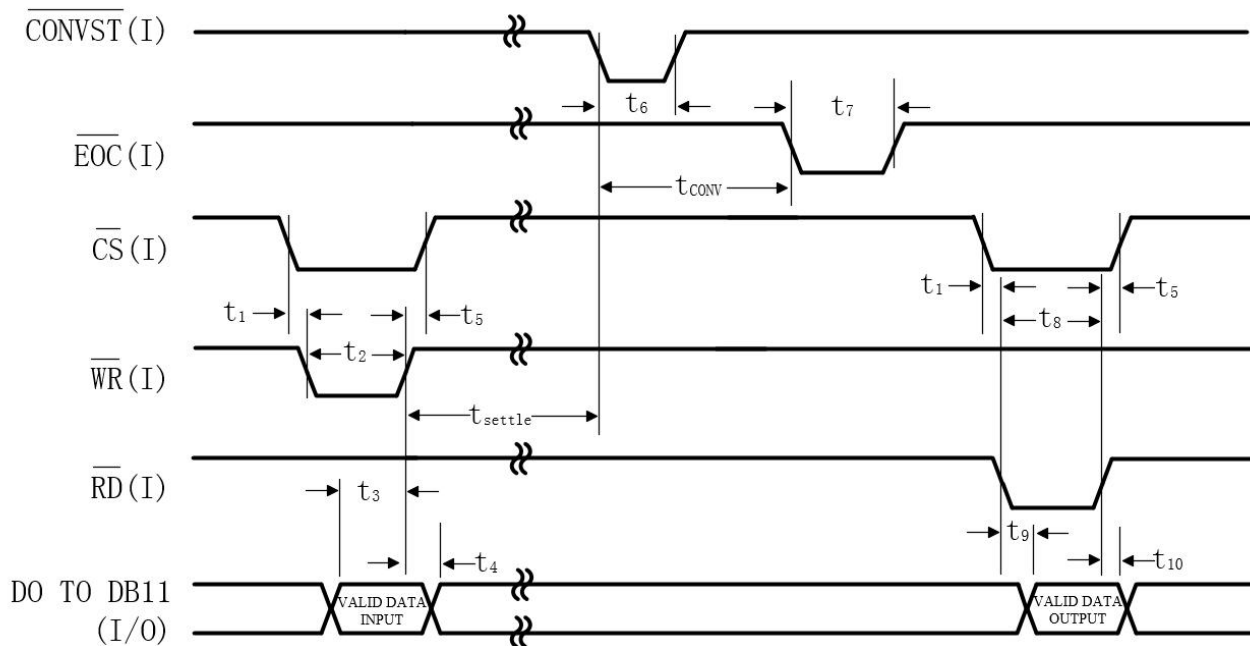


图 5 并行接口硬件触发模式时序图

8.2 并行接口软件触发工作模式

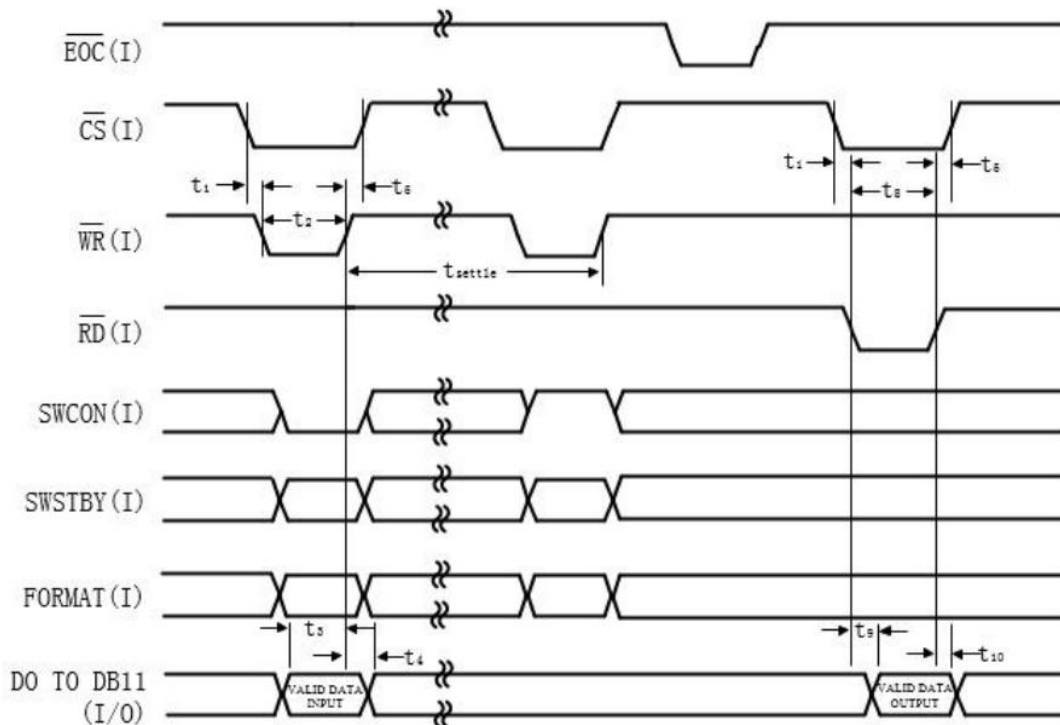


图 6 并行接口软件触发工作模式时序图

并行接口软件触发工作模式时序如图 6 所示，如果通过把寄存器的 SWCONV 位写“1”的方式来触发转换，在通道切换时，建立时间是内部控制的，通过外部时序无法增加建立时间。为确保通道切换后，采样

电路充分完成建立，建议连续做两次配置寄存器的操作。第一次配置的作用是切换通道，SWCONV 配置成“0”；第二次配置的作用是触发芯片转换，SWCONV 配置成“1”，且两次配置的通道地址应该是一致的。请将 t_{settle} 设置为 $\geq 900\text{ns}$ ；即两次写入的上升沿之间的时间间隔。要求 $t_{\text{settle}} \geq 900\text{ns}$ ，同时要求第二次写和读之间的转换时间 $\geq 2.5\mu\text{s}$ 。该时序也可兼容于 AD7891。

8.3 串行接口硬件触发工作模式

当芯片被配置成串行工作模式（MODE=0）时，12 位数据线中的 5 位用来实现串行接口功能。这些功能的简述如表 4 所示：

表 4 HWD7891-2 串行引脚说明

引脚序号	引脚名	注释
12	SCLK	串行时钟输入。这是一个外部串行时钟，用于读写控制寄存器的时序控制。
9	TFS	发送帧同步脉冲。低电平有效的逻辑电平。TFS 的下降沿到来时，数据有效。
10	RFS	接收帧同步脉冲。低电平有效的逻辑电平。RFS 的下降沿到来时，数据有效。如果需要同时发送和接收数据，可以将RFS和TFS接在一起。
15	DATA OUT	串行数据输出。共16位有效数据，前4位为控制寄存器的FORMAT位和3位地址位，接着是12位转换结果。在RFS变低电平后，串行数据在SCLK的前16个下降沿处有效。当FORMAT=1时，输出数据为二进制补码；当FORMAT=0时，为自然码。
11	DATA IN	串行数据输入。串行数据可以通过这个引脚写入控制寄存器。在TFS变低电平后，在SCLK的前6个下降沿处，串行数据的前6位会被写入控制寄存器，接下来的串行数据会被忽略。
7, 8	TEST	测试引脚。当器件被配置成串行工作模式时，这两个引脚编程测试输入引脚。为确保芯片正确工作，这两个测试引脚都必须接逻辑低电平。

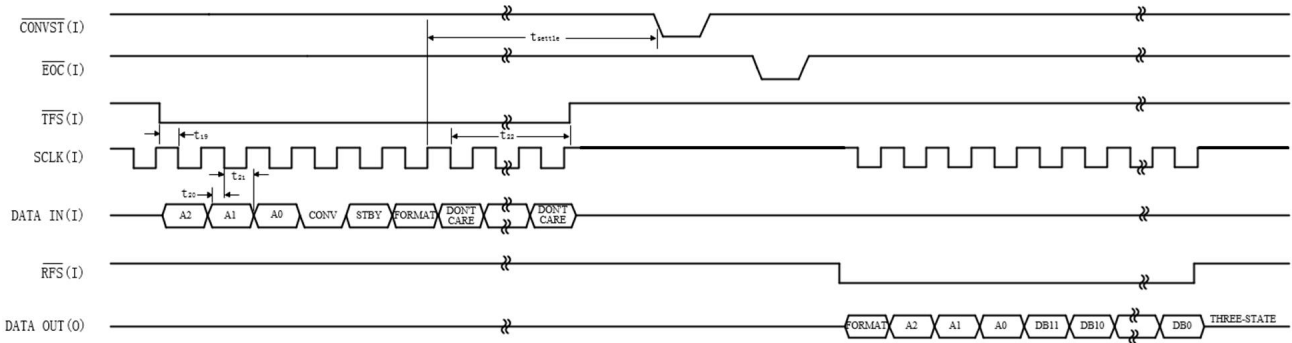


图 7 串行接口硬件触发工作模式

串行接口硬件触发工作模式时序如图 7 所示，在此工作模式下只需执行一次写入操作，但请将 t_{settle} 设

置为 $\geq 900\text{ns}$ ，以确保采样电路充分完成建立。该时序适用于 HWD7891-2 和 AD7891，同理当采用同样时序时，对采样时间而言，HWD7891-2 的采样时间也减少了 t_6 。当 t_{settle} 设置为 $\geq 900\text{ns}$ 时，该时序同时适用于 HWD7891-2 和 AD7891，可直接替换，无需做硬件修改和软件修改。

8.4 串行接口软件触发工作模式

串行接口软件触发工作模式时序如图 8 所示，TFS 输入引脚变为低电平时，表示将发生串行写入操作。HWD7891-2 控制寄存器共 6 位。这些数据将在串行时钟的前 6 个时钟周期写入控制寄存器，后面的串行时钟周期都将被忽略。写入 HWD7891-2 的串行数据必须在 SCLK 的下降沿到来时有效。

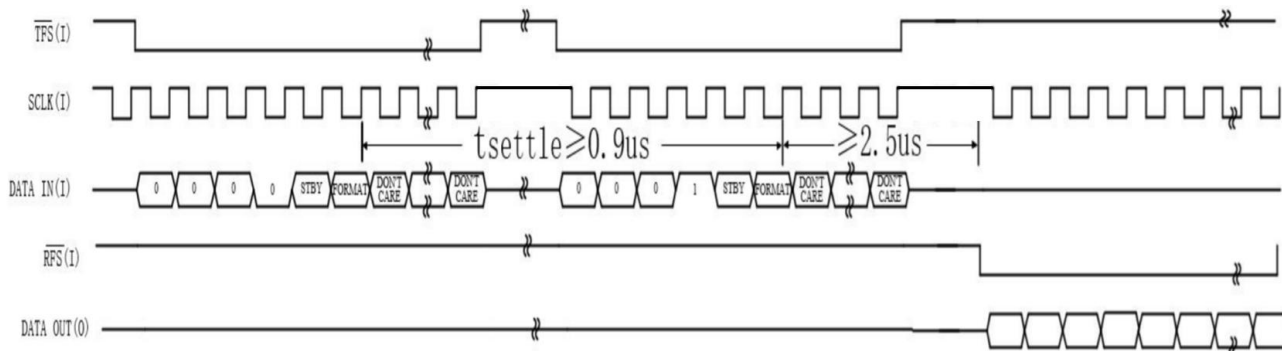


图 8 串行接口软件触发工作模式

如果通过把寄存器的 SWCONV 位写“1”的方式来触发转换，在通道切换时，建立时间是内部控制的，通过外部时序无法增加建立时间，为确保通道切换后，采样电路充分完成建立，建议连续做两次配置寄存器的操作。第一次配置的作用是切换通道，SWCONV 配置成“0”；第二次配置的作用是触发芯片转换，SWCONV 配置成“1”，且两次配置的通道地址应该是一致的。请将 t_{settle} 设置为 $\geq 900\text{ns}$ ，同时要求第二次写和读之间的转换时间 $\geq 2.5\mu\text{s}$ 。

当写入寄存器的数据为 6 个时钟周期时，如果时钟速率较快（约大于 6.6MHz），请尽量将 t_{TFS} 设置在 600ns 以上，以确保输出数据的精度；如果时钟速率较慢（约小于 6.6MHz），则可以将 t_{TFS} 设置为一个时钟周期；当寄存器输入配置数据与输出数据位数相同时（16 位）， t_{TFS} 最好设置为 $\geq 100\text{ns}$ 。

该时序也可兼容于 AD7891。

8.5 简易串口模式

当 HWD7891-2 工作在串行模式时，若将/TFS 和/RFS 连接在一起，则 HWD7891-2 将工作在简化串口模式，其工作时序如图 9 所示。与图 8 基本相同，区别在于当/TFS 和/RFS 连接在一起时，读写同时发生。第三次读写时，DATAIN 的数据需要保持通道地址 A2、A1、A0 和 FORMAT 位不变，SWCONV 位写“0”。第一次和第二次读写时，读出的数据是无效数据，只有第三次读出的数据才是本次 A/D 转换的有效数据。该时序也可兼容于 AD7891。

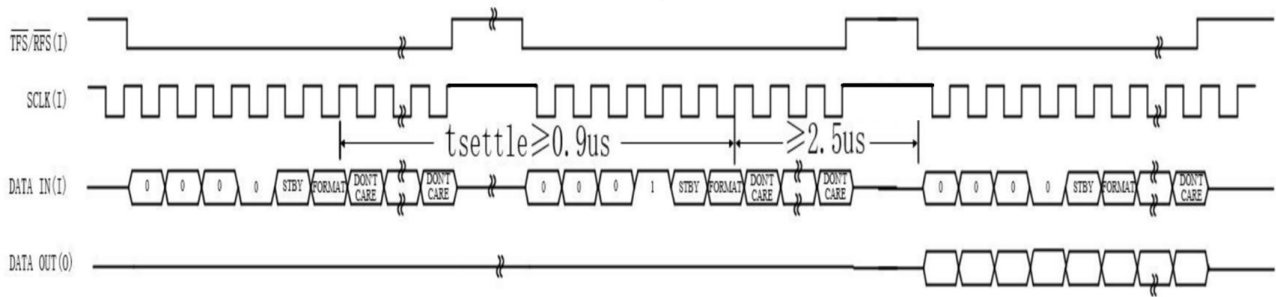


图 9 简易串口模式时序图

8.6 模拟输入部分

每个输入可以配置为从 0V 到 5V 的模式, 0V 到 2.5V 的模式或 $\pm 2.5V$ 模式。对于 0V 到 5V 的模式, 需要将 VINXB 输入连接到 AGND, 输入电压施加在 VINXA; 对于 0V 到 2.5V 的模式, 需要将 VINXA 和 VINXB 连接到一起, 输入电压同时施加在这两个管脚上; 对于 $\pm 2.5V$ 模式, 需要将 VINXB 接 2.5V, 这个 2.5V 电源必须有低输出电阻, VINXA 接输入电压。如果用内部电压基准, 必须接缓冲器后再接在 VINXB 上。

VINA 和 VINB 输入是均匀对称和互换的, 因此, 在配置成为 0V 到 5V 或 $\pm 2.5V$ 模式时, 为了 PCB 布局方便, 输入电压可以接在 VINXB 引脚, 而 VINXA 引脚接 AGND 或 2.5V。

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下:

- 器件应在防静电的工作台上操作;
- 试验设备和器具应接地;
- 不能触摸器件引线;
- 器件应存放在导电材料制成的容器中;
- MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物;
- 若可行, 相对湿度保持在 50% 以上。

10 订货信息

表 2 产品订货信息

序号	产品型号	封装形式	封装材料	质量等级	引脚材料	重量（g）	典型尺寸（mm） （长×宽×高）	详细规范
1	HWD7891-2	CQFP44	陶瓷	B 级	镀金	0.76	10×10×2.5	Q/HWD 20218-2015

注1:

a) Q/B/B1级器件满足GJB 597A-1996或GJB 597B-2012 《半导体集成电路通用规范》Q/B/B1级的筛选要求。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。