

HWD1281 系列

31 位 A/D 转换器

产品手册

V1.3.0

成都华微电子科技股份有限公司

2025 年 10 月 27 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本	何弢	20220624	
V1.1.0	增加订货信息	张文莲	20230702	
V1.2.0	修改引脚信息	张文莲	20230922	
V1.3.0	1、根据技术支持中心的建议，增加焊盘、典型应用场景和焊接温度曲线； 2、删除“9 使用注意事项”的“f 若可行，相对湿度保持在 50%以上。”； 3、更新公司的 logo。	袁妍璐	20251027	



目 次

1 概述	1
2 产品特点	1
3 功能框图	2
4 封装信息	4
4.1 HWD1281 封装信息	4
4.2 HWD1281 焊盘推荐	7
4.3 HWD1281 焊接推荐	8
5 绝对最大额定值及推荐工作范围	10
5.1 绝对最大额定值	10
5.2 推荐工作范围	10
6 电特性参数	11
7 功能描述	13
7.1 概述	13
7.2 模块组成	14
7.3 工作模式	25
8 应用建议	44
9 使用注意事项	46
10 订货信息	47

1 概述

HWD1281 是一款性能极高的单片 AD 转换器，主要用于满足能量勘探、地震监控、色谱以及其它精密应用。该转换器提供 31 位输出数据，数据率从 250SPS~4000SPS 可选。转换器使用一个四阶、固有稳定的 delta-sigma($\Delta\Sigma$)调制器，具有优秀的噪声和线性性能。调制器可以与片内数字滤波器配合使用，也可以旁路使用片外滤波器处理数据。数字滤波器由 Sinc 滤波器、有限脉冲响应(FIR)低通级、无限脉冲响应(IIR)高通滤波器(HPF)级组成。可选抽取滤波器提供每秒 250 到 4000 个样本(SPS)。FIR 低通级提供线性和最小相位响应。HPF 的特点是转折频率可调。片内增益和失调调整寄存器支持系统校准。同步输入(SYNC)可用于同步多个 HWD1281 的转换结果，SYNC 输入还接受时钟输入，以便连续接收来自外部源的转换结果。

2 产品特点

- 1) 高分辨率：信噪比 SNR：116dB（最小值）
- 2) 高精度：总谐波失真 THD：105dB（最小值），积分非线性 INL：0.00075%FSR（最大值）
- 3) 具有快速响应超范围检测的固有稳定调制器
- 4) 可调节数字滤波器：Sinc+FIR+IIR(可选)；
线性和最小相位可选；
可编程高通滤波器；
可选 FIR 数据率 250SPS~4000SPS
- 5) 旁路滤波器模式
- 6) 低功耗
- 7) 偏移及增益校准
- 8) SYNC 同步输入
- 9) 模拟单电源 5V 或者双极性 $\pm 2.5V$ ；数字电源 1.8V~3.3V

3 功能框图

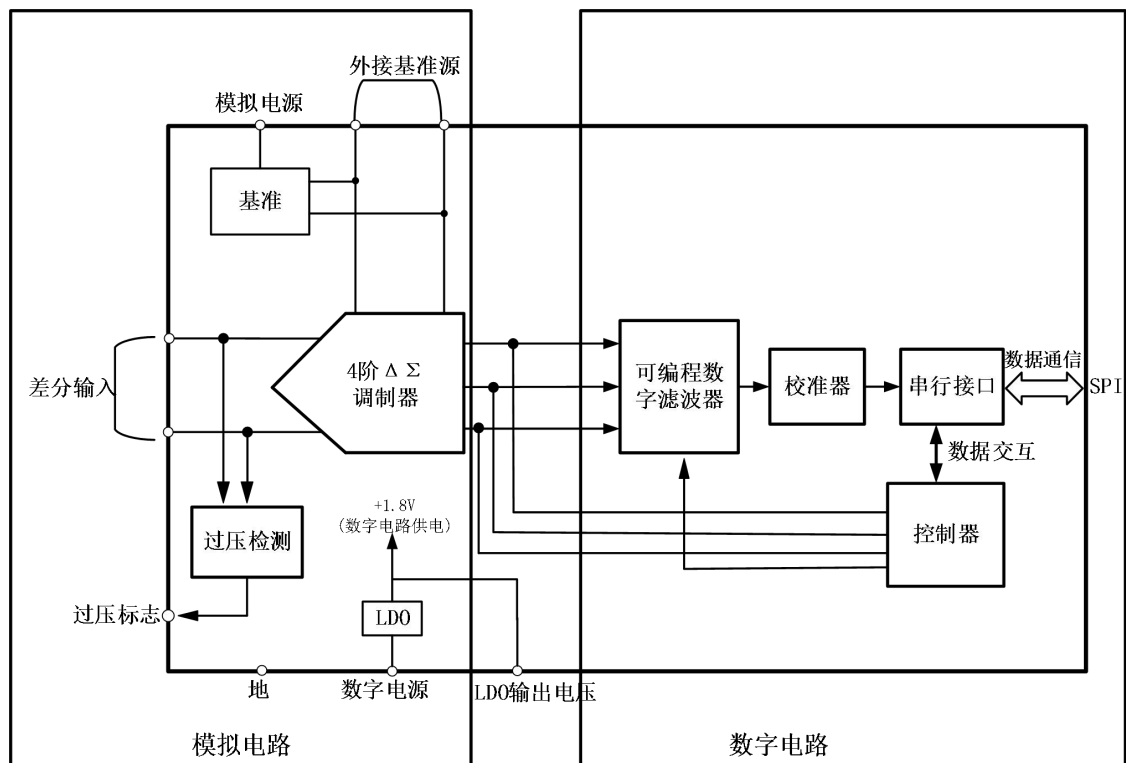


图 1 HWD1281 功能框图

HWD1281典型应用场景如下图所示。

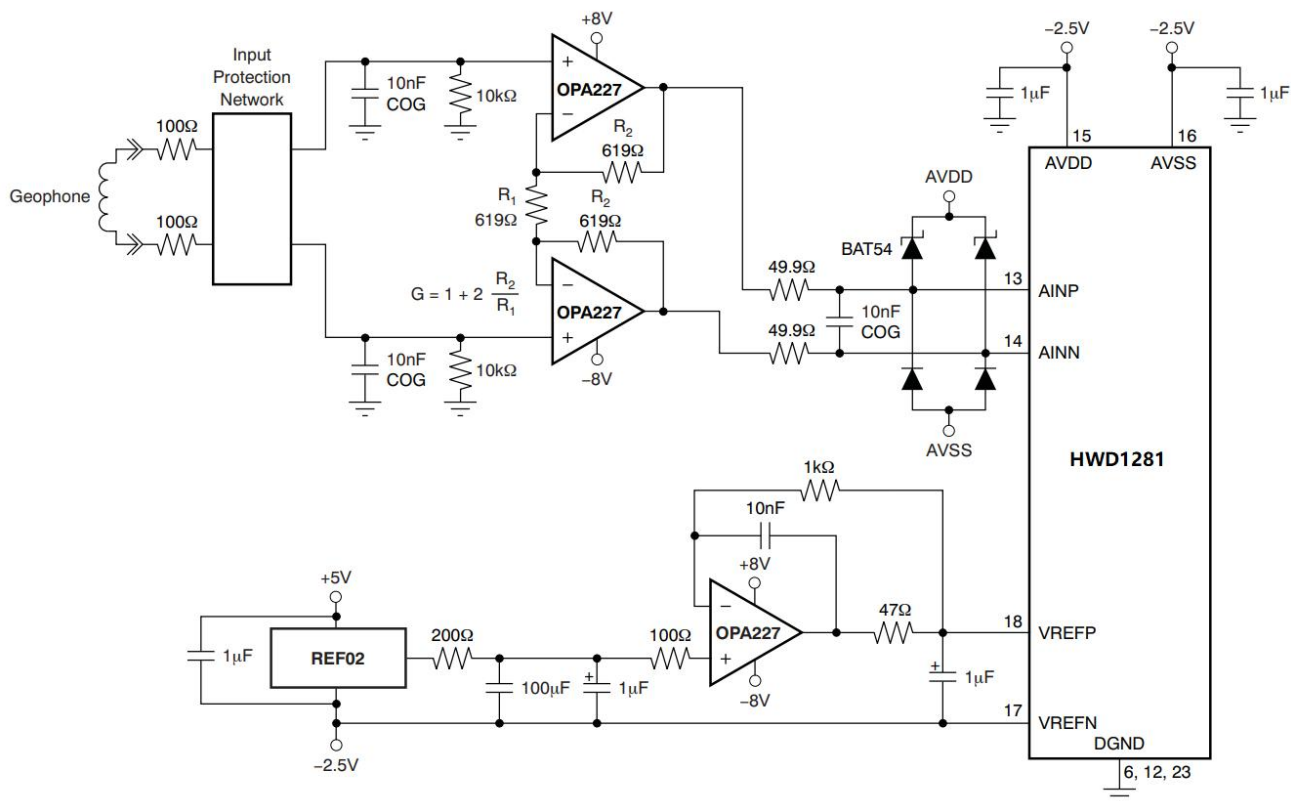


图 2 典型应用场景 1

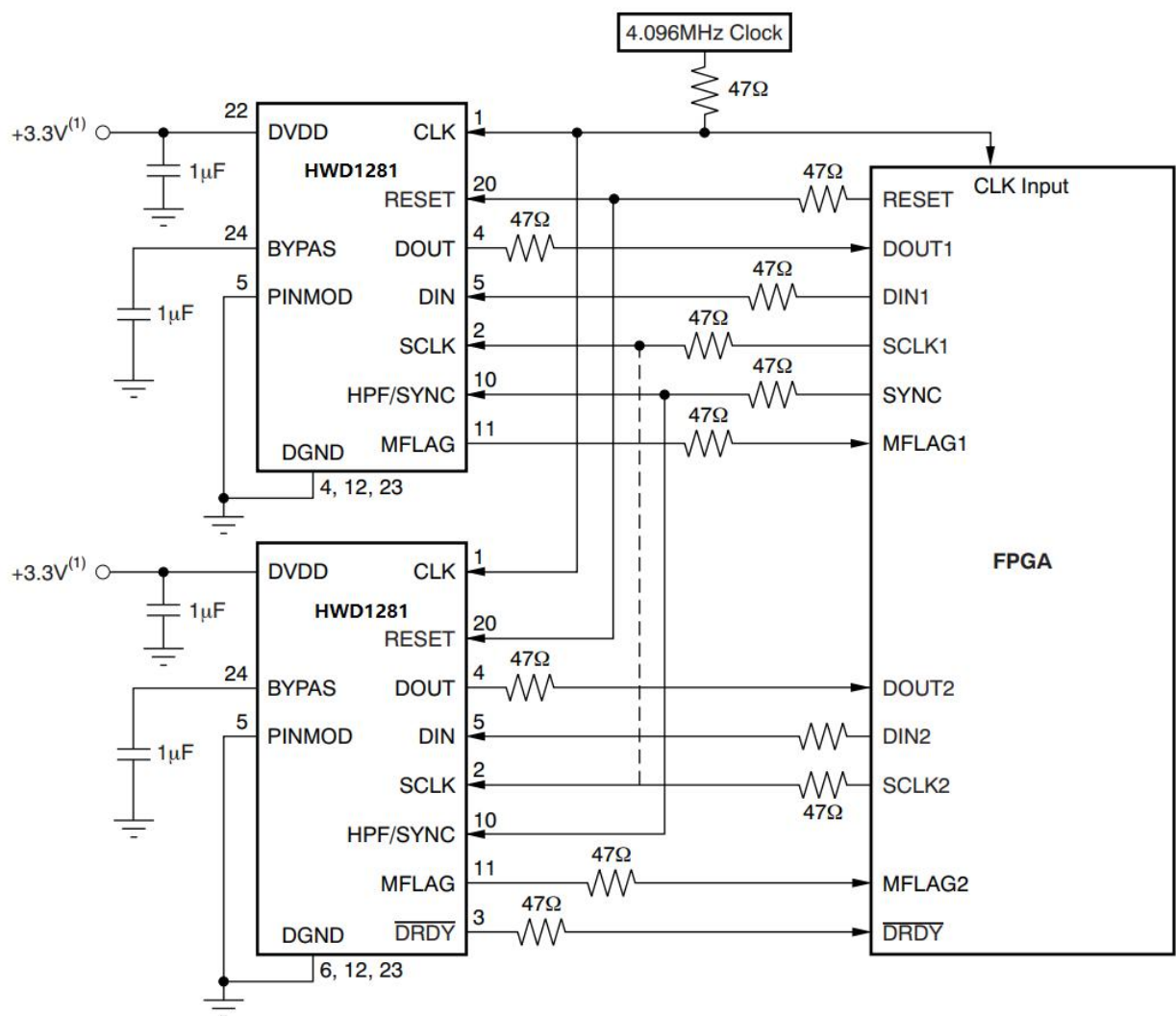


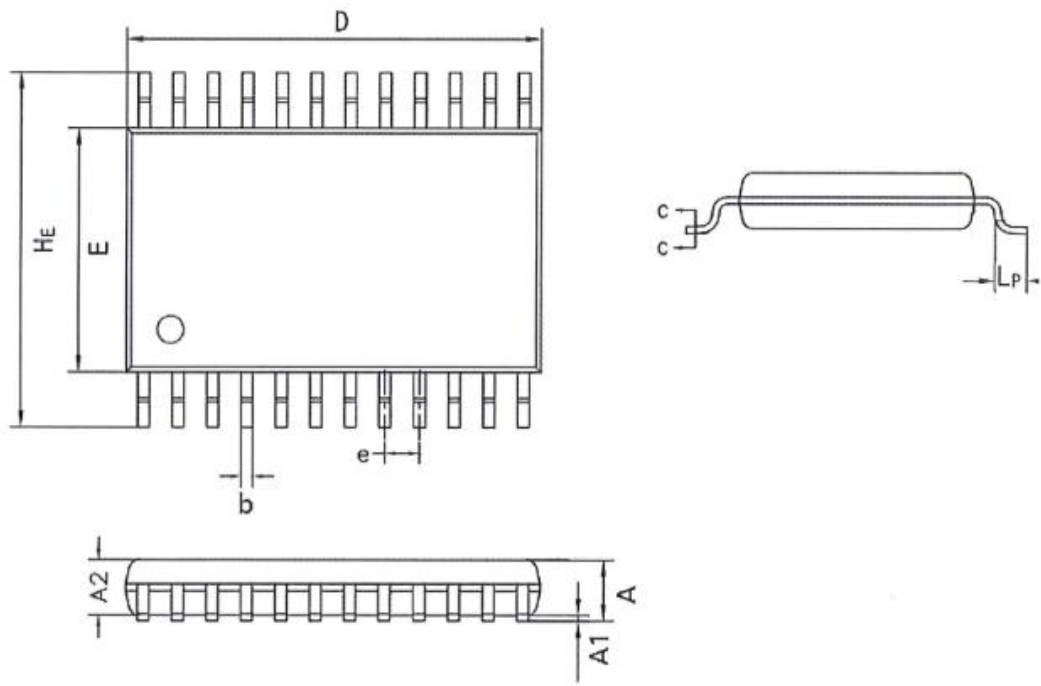
图 3 典型应用场景 2

4 封装信息

4.1 HWD1281 封装信息

塑封封装：TSSOP24

HWD1281TSSOP24M3型ADC封装外形及引脚排列图如下图所示。



单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	—	—	1.30
A1	0.02	—	0.20
A2	0.75	—	1.10
b	0.15	—	0.34
c	0.08	—	0.23
D	7.60	—	8.00
H _E	6.10	—	6.70
E	4.20	—	4.60
e	—	0.65	—
L _P	0.40	—	0.80

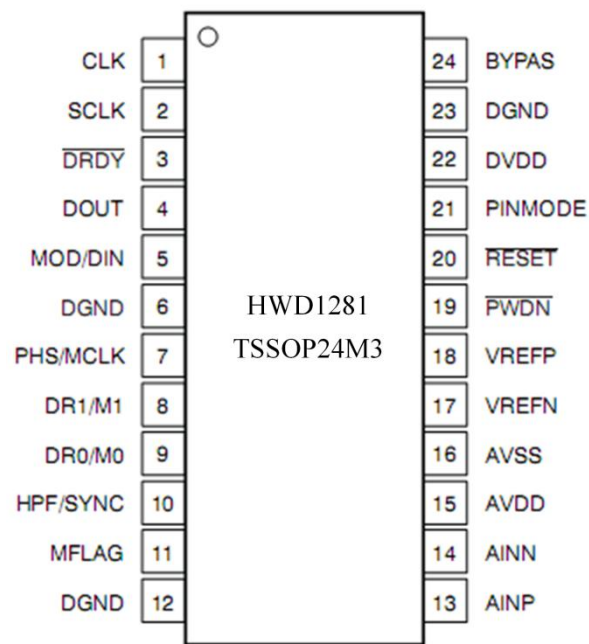
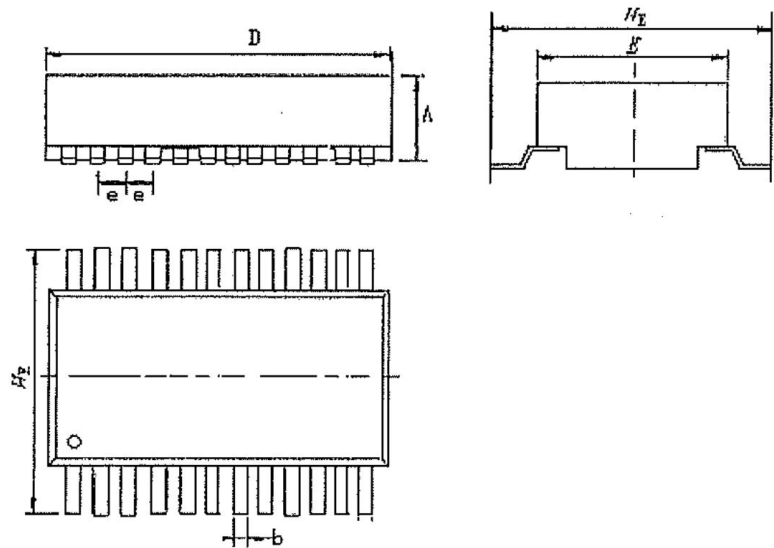


图 4 HWD1281TSSOP24M3 封装外形图及引脚排列图

陶封封装：CSOP24

HWD1281 型 ADC 封装外形及引脚排列图如下图所示。



单位为毫米

尺寸符号	数 值		
	最 小	公 称	最 大
A	—	—	3.00
b	0.37	—	0.47
D	15.20	—	15.60
E	7.30	—	7.60
H _E	8.80	—	11.98
e	—	1.27	—

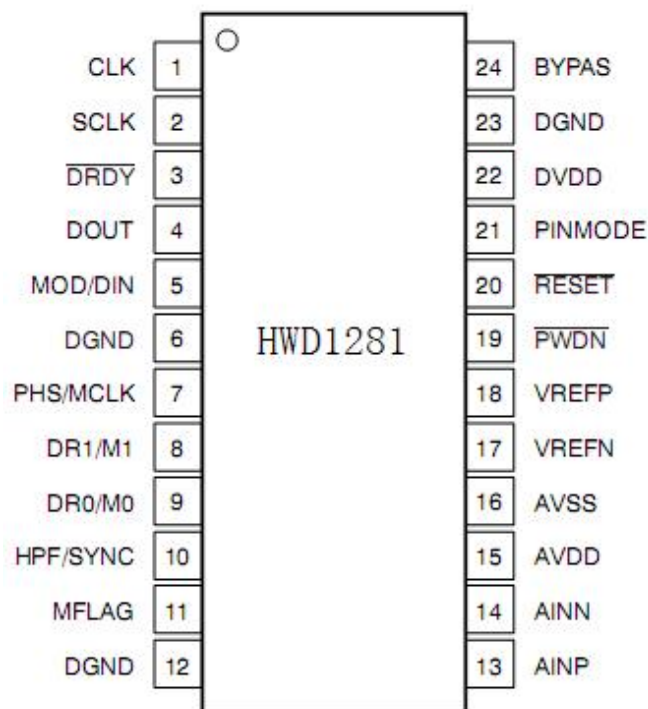


图 5 HWD1281 封装外形图及引脚排列图

HWD1281引脚描述描述如下表所示。

表 1 HWD1281 型 ADC 引脚描述

管脚	管脚名	功能描述
1	CLK	主时钟输入
2	SCLK	SPI 串行时钟输入
3	$\overline{\text{DRDY}}$	数据准备输出
4	DOUT	SPI 串行数据输出
5	MOD/DIN	SPI 串行数据输入
6	DGND	数字地
7	PHS/MCLK	滤波器相位控制/调制器时钟输出
8	DR1/M1	转换速率控制 1/调制信号输出 1
9	DR0/M0	转换速率控制 0/调制信号输出 0
10	HPF/SYNC	同步输入
11	MFLAG	调制器超量程标志位
12	DGND	数字地
13	AINP	正极模拟输入
14	AINN	负极模拟输入
15	AVDD	正极模拟电源电压
16	AVSS	负极模拟电源电压

管脚	管脚名	功能描述
17	VREFN	负极参考输入
18	VREFP	正极参考输入
19	PWDN	关断控制
20	RESET	复位
21	PINMODE	选择引脚模式或寄存器模式
22	DVDD	数字电源电压
23	DGND	数字地
24	BYPAS	数字电源旁路电容端口

4.2 HWD1281 焊盘推荐

HWD1281TSSOP24M3焊盘推荐如下图所示，用户可根据焊接要求进行调整。

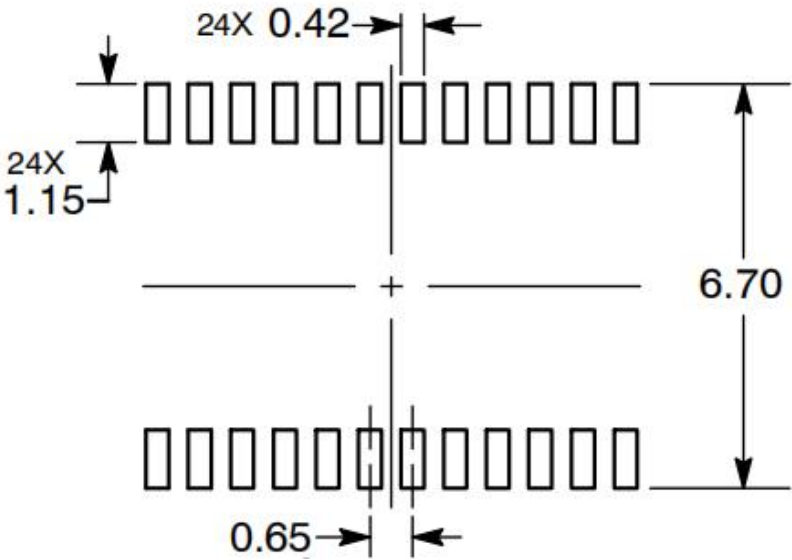


图 6 HWD1281TSSOP24M3 推荐焊盘图

HWD1281焊盘推荐如下图所示，用户可根据焊接要求进行调整。

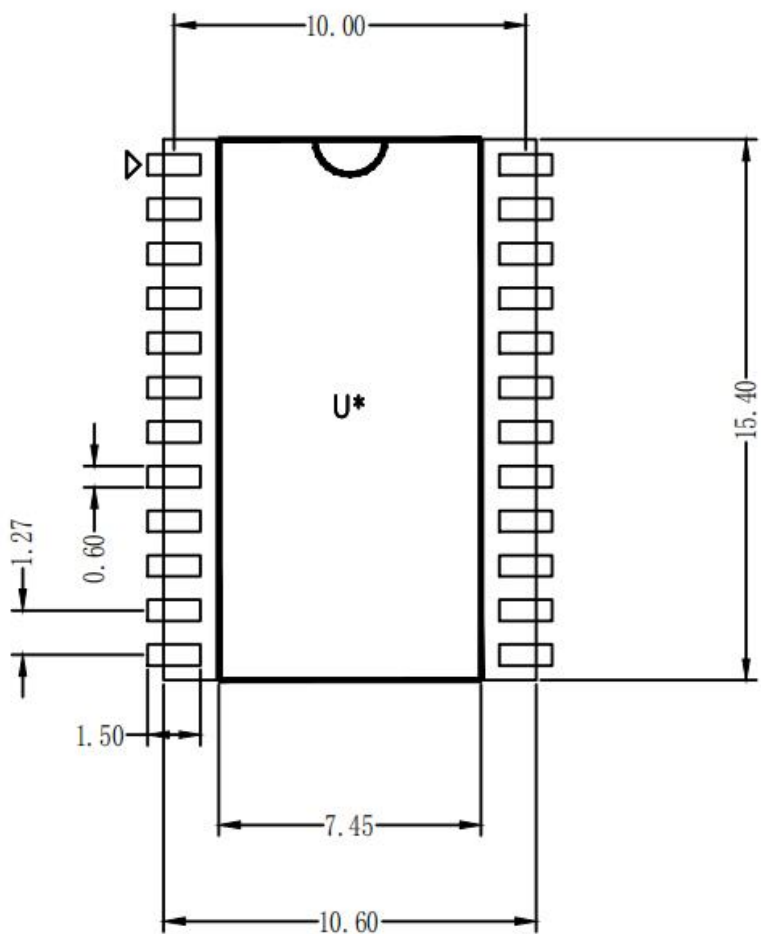


图 7 HWD1281 推荐焊盘图

4.3 HWD1281 焊接推荐

HWD1281TSSOP24M3产品建议有铅焊料Sn63Pb37回流曲线

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 150℃～200℃	60s～120s
熔点以上温度保持时间（回流时间）	60s～120s
低于峰值温度 5℃ 以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235℃，典型温度 245℃，不超过 260℃
降温速度	最大 6℃/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338 SAC305
备注	请根据选用的焊膏特性作相应的调整

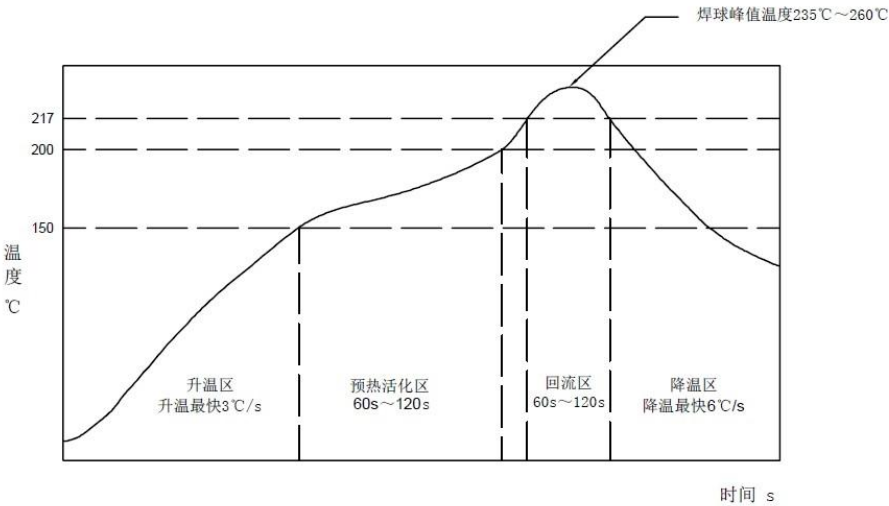


图 8 有铅焊料 Sn63Pb37 回流曲线

HWD1281产品建议无铅回流曲线

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3°C/s
预热温度 150°C~200°C	60s~120s
熔点以上温度保持时间（回流时间）	60s~120s
低于峰值温度 5°C以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235°C，典型温度 245°C，不超过 260°C
降温速度	最大 6°C/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338 SAC305
备注	请根据选用的焊膏特性作相应的调整

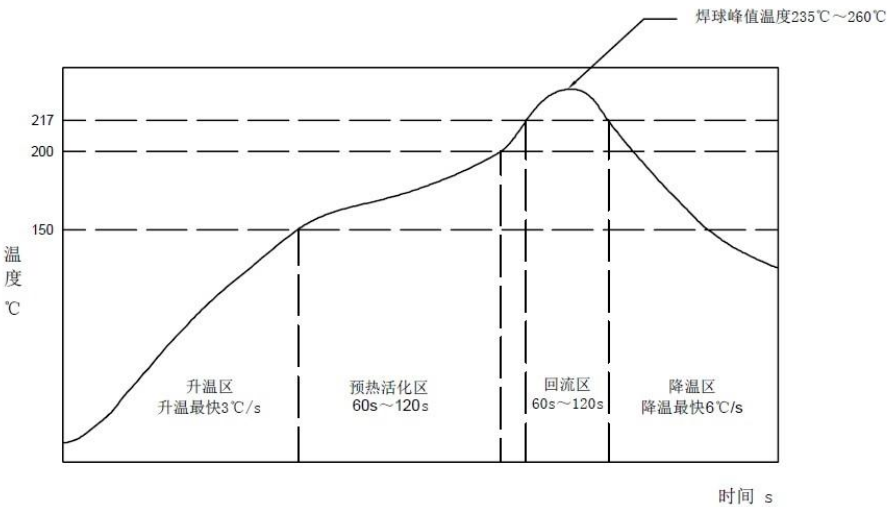


图 9 无铅回流曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	正模拟电源对负模拟电源电压 ($V_{AVDD-AVSS}$)	-0.3V~5.5V
2	负模拟到数字地电源电压 ($V_{AVSS-DVDD}$)	-2.8V~0.3V
3	数字电源电压 (V_{DVDD})	-0.3V~3.9V
4	模拟输入电压 (V_{AIN})	$V_{AVSS}-0.3V \sim V_{AVDD}+0.3V$
5	数字输入电压 (V_{DIN})	-0.3V~ $V_{DVDD}+0.3V$
6	贮存温度范围 (T_{stg})	-65°C~150°C
7	引线耐焊接温度 (T_h)	260°C
8	结温 (TJ)	175°C

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	模拟负电源电压 (V_{AVSS})	-2.32V~-2.37V
2	模拟正电源电压 (V_{AVDD})	2.37V~2.62V
3	数字电源电压 (V_{DVDD})	2.37V~2.62V
4	工作环境温度 (T_A)	-55°C~125°C

6 电特性参数

该电特性指标为该系列产品能达到的最佳指标，不同的质量等级及封装形式略有不同，具体见对应的详细规范。

表 2 电特性

参数	符号	条 件 除另有说明外 $V_{AVDD}=2.375V\sim 2.625V$, $V_{AVSS}=-2.625V\sim -2.375V$, $V_{DVDD}=2.375V\sim 2.625V$, $V_{REFP}=2.5V$, $V_{REFN}=-2.5V$ $-55^{\circ}C\leq T_A\leq 125^{\circ}C$	最小值	最大值	单位
输入信号幅度范围	V_{IN}	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	-2.5	2.5	V
绝对输入范围 (A _{INP} 或 A _{INN})	V_{AIN}	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	$V_{AVSS}-0.1$	$V_{AVDD}+0.1$	V
分辨率	RES	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	31	—	Bits
积分非线性	INL	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	—	0.00075	%FSR
失调误差	E_O	短路输入 $V_{AVDD}=2.5V, V_{AVSS}=-2.5V$, $V_{DVDD}=2.5V$	—	200	μV
输入信号幅度范围	V_{IN}	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	-2.5	2.5	V
失调误差温度失调		短路输入 $V_{AVDD}=2.5V, V_{AVSS}=-2.5V$, $V_{DVDD}=2.5V$	—	0.06	$\mu V/^{\circ}C$
增益误差	E_Q	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	—	0.72	%FSR
增益误差温度失调		$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	—	0.9	ppm/ $^{\circ}C$
信噪比	SNR	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	116	—	dB
总谐波失真	THD	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	105	—	dB
无杂散动态范围	$SFDR$	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	108	—	dB
信噪失真比	$SINAD$	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	105	—	dB
输入高电平电压	V_{IH}	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	$0.8\times V_{DVDD}$	—	V
输入低电平电压	V_{IL}	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	—	$0.2\times V_{DVDD}$	V
输出高电平电压	V_{OH}	$I_{OH}=1mA$, $V_{AVDD}=2.5V, V_{AVSS}=-2.5V$, $V_{DVDD}=2.5V$	$0.8\times V_{DVDD}$	—	V
输出低电平电压	V_{OL}	$I_{OL}=1mA$ $V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	—	$0.2\times V_{DVDD}$	V
输入漏电流	I_{INL}	$0<V_{DIGITAL\ IN}<V_{DVDD}$	—	± 10	μA
工作频率	f_{CLK}	$V_{AVDD}=2.5V, V_{AVSS}=-2.5V, V_{DVDD}=2.5V$	1	4.096	MHz
负模拟电源电压	V_{AVSS}		-2.6	0	V

参数	符号	条 件 除另有说明外 $V_{AVDD}=2.375V\sim 2.625V$, $V_{AVSS}=-2.625V\sim -2.375V$, $V_{DVDD}=2.375V\sim 2.625V$, $V_{REFP}=2.5V, V_{REFN}=-2.5V$ $-55^{\circ}C\leq T_A\leq 125^{\circ}C$	最小值	最大值	单位
正模拟电源电压	V_{AVDD}		$V_{AVSS}+4.75$	$V_{AVSS}+5.25$	V
数字电源电压	V_{DVDD}		2.37	2.62	V
模拟电源电流 (I_{AVDD} , I_{AVSS})	I_A	$V_{AVDD}=2.62V$ 或 $V_{AVSS}=-2.62V$ $V_{DVDD}=2.62V$	—	40	mA
数字电源电流 (I_{DVDD})	I_D	$V_{AVDD}=2.62V, V_{AVSS}=-2.62V$ $V_{DVDD}=2.62V$	—	20	mA
电源电流	I_C	$V_{AVDD}=2.62V, V_{AVSS}=-2.62V$ $V_{DVDD}=2.62V$	—	100	mA
SCLK 周期	t_{SCLK}	$V_{DVDD}=2.5V$, $V_{AVDD}=2.5V, V_{AVSS}=-2.5V$	4	—	1/f _{CLK}
SCLK 脉冲宽 (高电平和低电平时间)	$t_{SPWH,L}$	$V_{DVDD}=2.5V$ $V_{AVDD}=2.5V, V_{AVSS}=-2.5V$	1.6	—	1/f _{CLK}
DIN 有效到 SCLK 上升沿: 建立时间	t_{DIST}	$V_{DVDD}=2.5V$ $V_{AVDD}=2.5V, V_{AVSS}=-2.5V$	50	—	ns
有效 DIN 到 SCLK 上升沿: 保持时间	t_{DIHD}	$V_{DVDD}=2.5V$ $V_{AVDD}=2.5V, V_{AVSS}=-2.5V$	50	—	ns
SCLK 下降沿到有效新的 DOUT: 传输延时	t_{DOPD}	$V_{DVDD}=2.5V$ $V_{AVDD}=2.5V, V_{AVSS}=-2.5V$	—	200	ns
转换时间	t_c	$V_{DVDD}=2.5V$ $V_{AVDD}=2.5V, V_{AVSS}=-2.5V$	—	1	ms

注 1: 见串口时序图 (如下图所示)。

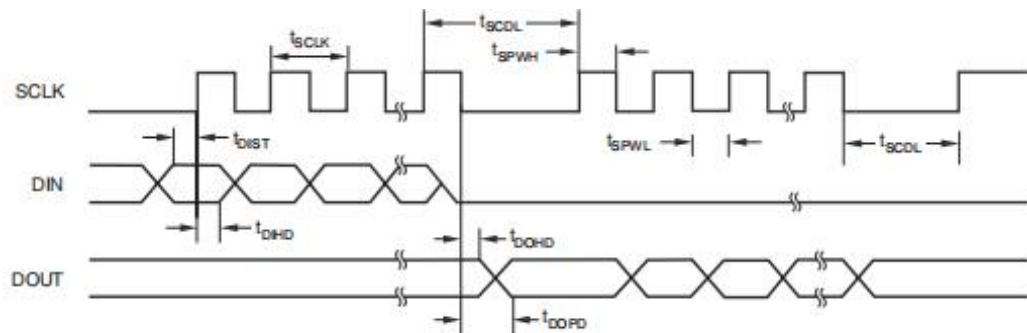


图 10 串口时序图

7 功能描述

7.1 概述

HWD1281 是一款 32 位高分辨率的模数转换器，内部由 4 阶 2-2-MASH 的 $\Delta\Sigma$ 调制器、可编程数字滤波器、校准器、串行接口和控制器组成。该转换器具有单极性和双极性模拟电源（分别为 AVDD 和 AVSS ），可提供灵活的输入范围，以及接受 1.8V 至 3.3V 电压的数字电源。模拟电源可以设置为+5V 以接受单极性信号（带输入失调），也可以设置为+2.5V 范围内的较低电压以接受真双极性输入信号（以地为基准）。内部低压差稳压器（LDO）用于数字内核供电。BYPAS 引脚是 LDO 输出，需要接 0.1 μ F 电容用于降低噪声（BYPAS 不用于驱动外部电路）。

四阶 2-2 MASH 的 $\Delta\Sigma$ 调制器：将差分输入信号 $V_{in}=(AINP-AINN)$ 与基准电压 $V_{ref}=(VREFP-VREFN)$ 进行比较。数字输出(MFLAG)表示调制器由于输入过载导致的超量程标志位。调制器输出由 MCLK、M0 和 M1 输出引脚提供。调制器连接到片内数字滤波器，经片内滤波器处理后输出补码形式数字码。

数字滤波器由一个可选择抽取率的五阶 Sinc 滤波器、相位可编程的 FIR 低通滤波器、用于消除输出读数直流的可调高通滤波器（IIR）组成。数字滤波器的输出可以取自 Sinc、FIR 低通或 IIR 高通部分。增益和失调寄存器调整数字滤波器输出，以产生最终代码值。该标度特性可用于校准和传感器增益匹配。

PINMODE：输入引脚决定芯片的模式：引脚控制或寄存器控制。在引脚控制模式下，器件由简单的引脚设置控制；没有可编程的寄存器。寄存器控制模式下，芯片由寄存器配置。

SYNC：既可以复位芯片内部的数字滤波器和调制器，也可以允许多个 HWD1281 芯片和 FPGA 信息交互时对外部的时钟信号或其他同步信号源进行同步操作。SYNC 输入支持脉冲同步模式和连续同步模式。

RESET 引脚：复位输入重置寄存器设置（寄存器模式）并重新启动转换过程。

PWDN 引脚：输入将设备设置为低功耗状态。请注意，在 PWDN 模式下寄存器设置不会保留。如果希望保留寄存器设置，请使用待机（STANDBY）命令（待机电流略高）。

串行接口：串行接口用于读取转换数据，以及读取和写入配置寄存器。

7.1.1 噪声性能

HWD1281 提供出色的噪声性能（SFDR）。下表总结了典型的噪声性能。

表 5 噪声性能（典型值）

数据速率（SPS）	滤波器类型	-3db 带宽（Hz）	信噪比（dB）
250	FIR	103	117
500	FIR	206	116

数据速率 (SPS)	滤波器类型	-3db 带宽 (Hz)	信噪比 (dB)
1000	FIR	413	115
2000	FIR	826	114
4000	FIR	1652	112

7.2 模块组成

7.2.1 ADC

HWD1281 ADC 模块由两部分组成：高精度调制器和可编程数字滤波器。

7.2.2 调制器

调制器是一种四阶 2-2 MASH $\Delta\Sigma$ 结构，如下图所示。其具有对模拟信号过采样、噪声整形以实现高精度数模转换，便于适配数字滤波的特点，调制器将量化噪声搬移到高频处，使得数字滤波器可以轻松滤除。

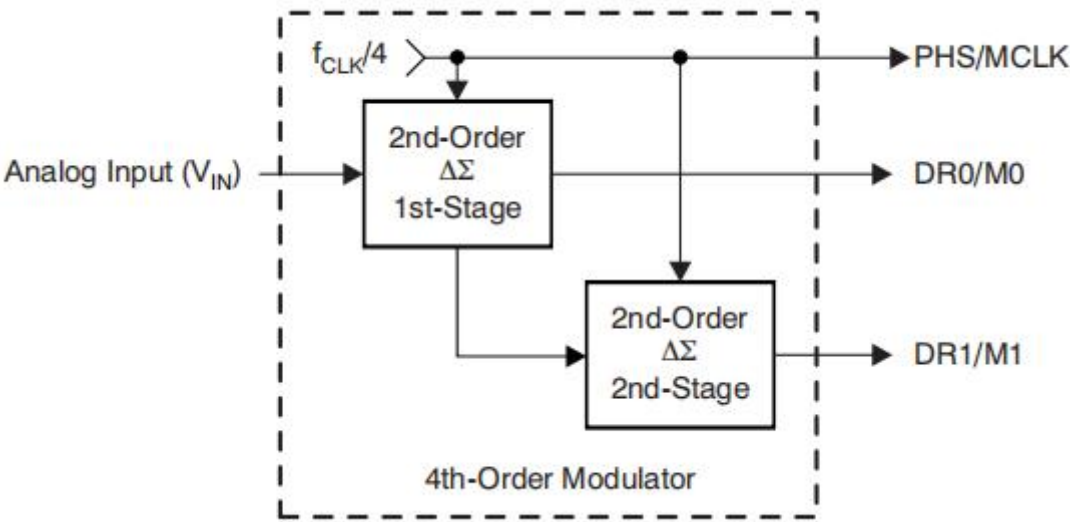


图 11 四阶 2-2 MASH $\Delta\Sigma$ 调制器

如下图所示，HWD1281 型 ADC 调制器针对 4kHz 通带内的输入信号进行了优化，但是相应地会导致 6kHz 以上的噪声急剧增加。除此之外，调制器还采用了开关电容斩波结构，可进一步降低了通带内的噪声。噪声被移出通带，并在斩波频率 ($f_{CLK}/512 = 8\text{kHz}$) 处出现。

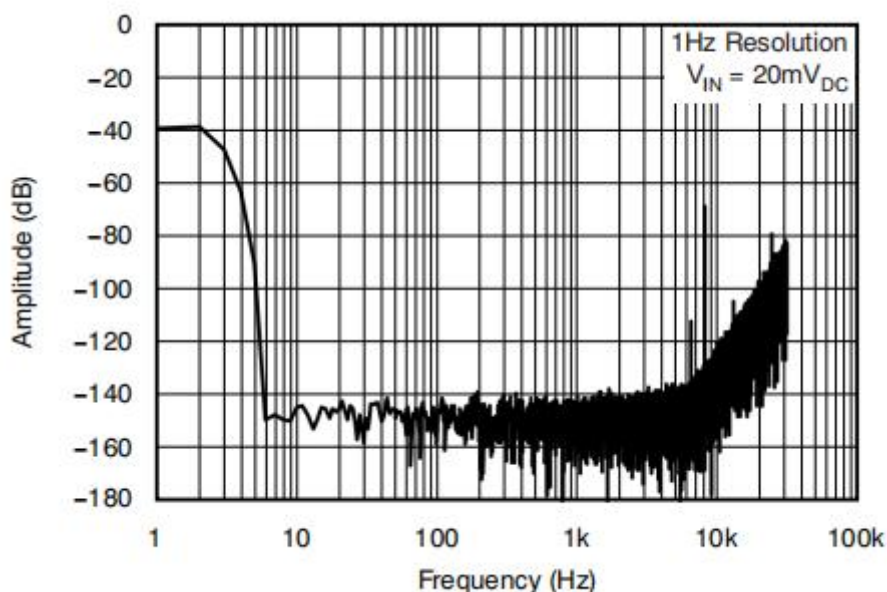


图 12 调制器输出频谱

7.2.2.1 调制器超量程

调制器的量程是指其能够准确处理输入信号（AINP~AINN）的范围。当输入信号超过了这个预定的范围，就发生了超量程现象。

HWD1281 调制器在输入正满量程信号后，会对应输出“1”数据码流的占空比为 90% 高电平信号，（输入负满量程信号时为 10% 占空比），如果输入正满量程信号超过 90% 调制但低于 100% 调制（负满量程信号分别为 10% 和 0%），调制器仍然保持稳定并持续输出“1”数字码流。数字滤波器可以选择是否限幅到 +FS 或 -FS，这取决于输入的正负满量程信号的持续时间。当输入恢复到正常范围时，调制器需要 12 个调制器时钟周期（ f_{MOD} ）来退出并返回到线性范围。数字滤波器需要额外的 62 次转换（线性相位 FIR）来完全稳定数据。

在极端超量程情况下，无论是输入正负满量程信号超过模拟电源电压加上内部 ESD 二极管压降，还是内部 ESD 二极管开始导通并将输入信号钳位，调制器都将保持线性范围。如果差分输入信号范围未超出，调制器将保持稳定。当输入正负满量程信号被移除时，二极管迅速恢复，HWD1281 恢复正常。请注意，线性输入范围在模拟电源电压的 $\pm 100\text{mV}$ 以内；对于高于这些电平的输入，需要注意将输入电流限制在瞬态 100mA 峰值和连续 10mA 电流以内。

7.2.2.2 调制器超量程检测（MFLAG）

HWD1281 具有快速响应的超量程检测功能，用于检测差分输入超出大约 100% 超量程的情况。差分输入的阈值容差为 $\pm 2.5\%$ 。当处于超量程状态时，MFLAG 输出高电平。如下图所示，输入的绝对电压与 100% 量程进行比较。比较器的输出在速率 $f_{COMP}/2$ 下采样，产生 MFLAG 输出。最小 MFLAG 脉冲宽度为 $f_{COMP}/2$ 。

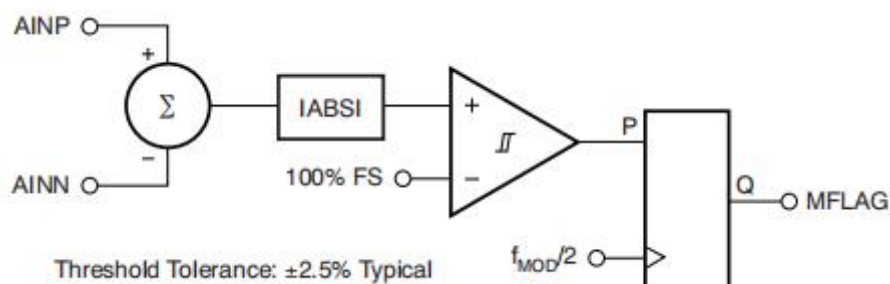


图 13 调制器过范围框图

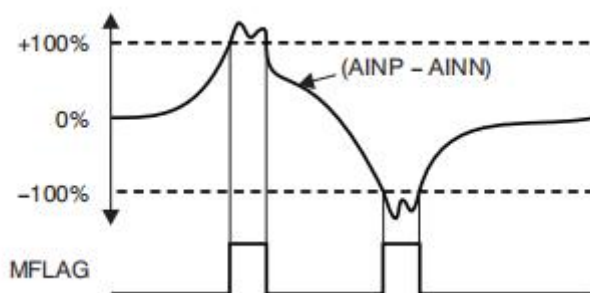


图 14 调制器过范围框图

7.2.2.3 调制器输出模式

调制器的数字输出可以直接获得，直接输出而不使用数字滤波器。调制器输出模式在引脚模式下通过设置 $MOD/DIN = 1$ 来激活，或者通过设置 $CONFIG$ 寄存器位进入寄存器模式来激活。当 $FILTR[1:0] = 00$ 时，引脚 $DR0/M0$ 和 $DR1/M1$ 变为调制器数据输出，而 $PHS/MCLK$ 变为调制器时钟输出。注意：在非调制器模式下，这些引脚是输入引脚，因此不能悬空。

调制器输出由三个信号组成：

- 调制器时钟（ $PHS/MCLK$ ）
- 两个调制器数据（ $DR0/M0$ 和 $DR1/M1$ ）

其中，调制器时钟输出频率为 $f_{CLK}/4$ 。同步输入在 CLK 的上升沿加载 $MODCLK$ 相位，如下图所示。同步输入复位 $MODCLK$ ，并且下一个 $MODCLK$ 的上升沿在五个 CLK 周期后出现。

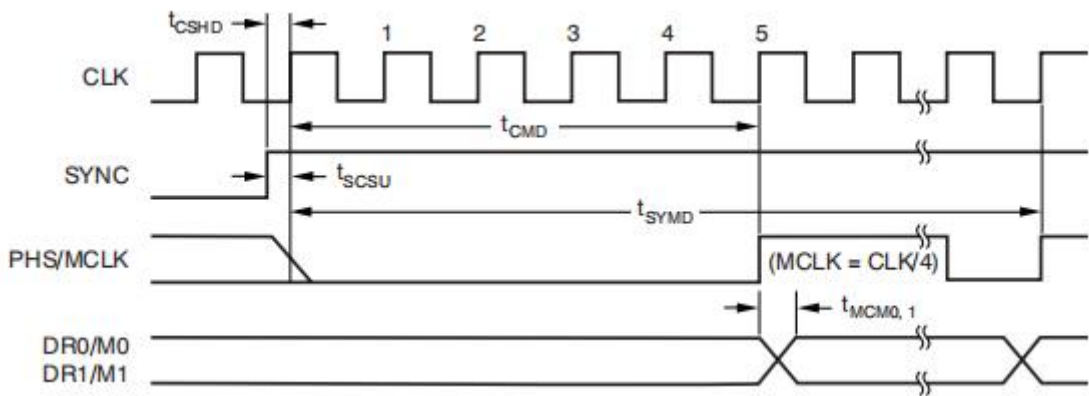


图 15 调制器输出时序

表 6 调制器输出时序参数（对应上图）

参数	描述	最小值	典型值	最大值	单位
$t_{MCD0,1}$	MODCLK 上升沿到 M0、M1 有效传播延时 ¹			100	ns
t_{CMD}	CLK 上升沿（在 SYNC 上升沿之后）到 MODCLK 上升沿的复位时间		5		$1/f_{CLK}$
t_{CSHD}	CLK 到 SYNC 保持时间使不锁存 CLK 沿	10			ns
t_{SCSU}	SYNC 到 CLK 建立时间来锁存 CLK 沿	10			ns
t_{SYMD}	SYNC 到稳定比特流			16	$1/f_{MOD}$

7.2.3 数字滤波器

数字滤波器接收调制器输出进行滤波和抽取，有效滤除量化噪声，提高信号分辨率，并对数据进行降采样。通过配置不同滤波器模式，可实现在分辨率和数据速率的相应调整。

如下图所示，HWD1281 由三种滤波器构成了四种滤波配置模式，支持对噪声、数据速率和精度进行优化：

- 一个五阶 Sinc 滤波器
- 一个固定衰减 FIR 滤波器
- 一个可编程的一阶高通滤波器（IIR）

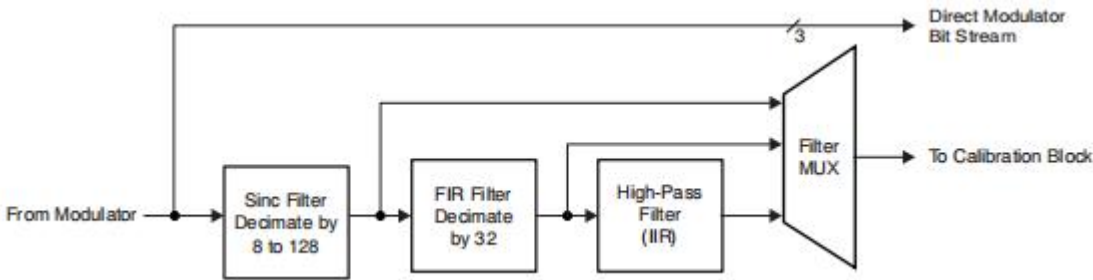


图 16 数字滤波器机构图

¹ M0 和 M1 上的负载=20pF//100kΩ

四种滤波选项如下表所示。选择旁路模式（调制器输出模式），可实现数字滤波器完全关闭。选择 Sinc 滤波模式，可实现 HWD1281 的特定滤波。选择 Sinc 和 FIR 滤波模式，可实现完全片上滤波。选择 Sinc、FIR 和 HPF 滤波模式，可在以上基础上除去数据直流和低频成分。

表 7 数字滤波器选择，寄存器模式

滤波器[1:0]位	所选数字滤波器
00	旁路（滤波器输出模式）
01	Sinc
10	Sinc+FIR
11	Sinc+FIR+HPF（低通和高通）

下表显示了引脚模式下的滤波器配置。

表 8 数字滤波器选择，引脚模式

MOD/DIN 引脚	HPF/SYNC 引脚	所选数字滤波器
1	X	旁路（滤波器输出模式）
0	0	Sinc+FIR
0	1	Sinc+FIR+HPF（低通和高通）

7.2.3.1 Sinc 滤波器

Sinc 滤波器是一个五阶低通滤波器，具有优异的噪声抑制能力，其衰减包络可达-100db/dec，能够有效地滤除调制器产生的量化噪声，极大地提升了信号质量和测量精度。此外，Sinc 滤波器既可应用于单通道场景也能够和其他滤波器联合使用，能够灵活地适配于不同场景的应用需求。

公式 2 显示了 Sinc 滤波器的缩放 Z 域传递函数：

$$H(Z) = \left[\frac{1 - Z^N}{1 - Z^{-1}} \right]^5$$

(2)

公式 3 显示了 Sinc 滤波器的频域传递函数：

$$|H(f)| = \left[\frac{\sin(\frac{N4\pi \times f}{f_{CLK}})}{N \sin \frac{4\pi f}{f_{CLK}}} \right]^5$$

(3)

其中：N = 降采样率（见下表）

Sinc 滤波器具有宽陷波频率，可实现良好的随频率滚降性能，由公式 3 可以得到图 10 所示的 Sinc 滤波器的频率响应。

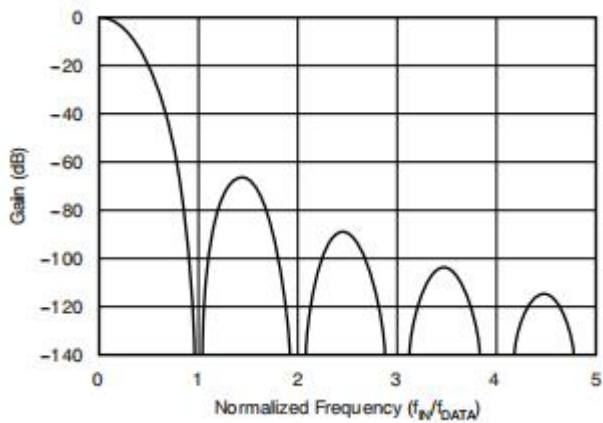


图 17 SINC 滤波器频率响应

Sinc 滤波器在输出数据速率及其倍数的频率处有陷波（或零点）。在这些频率下，滤波器的增益为零，下图展示了 Sinc 滤波器的滚降。

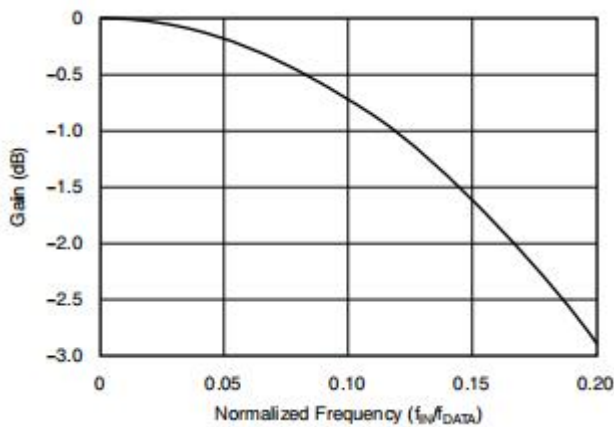


图 18 Sinc 滤波器滚降

调制器的输出数据以 $f_{CLK}/4$ 的速率提供给 Sinc 滤波器。Sinc 滤波器衰减调制器的高频噪声，然后对输入数据进行降采样以生成并行数据。降采样率由 DR[1:0]和 DR[2:0]寄存器配置，如下表所示。

表 9 Sinc 滤波器数据速率（CLK=4.096MHz）

DR[1:0]引脚	DR[2:0]寄存器	降采样率 (N)	SINC 数据速率 (SPS)
00	000	128	8000
01	001	64	16000
10	010	32	32000
11	011	16	64000
—	100	8	128000

7.2.3.2 FIR 滤波器

HWD1281 数字滤波器的第二级是一个 FIR（有限脉冲响应）低通滤波器。其前端输出由 Sinc 滤波器提供，FIR 滤波器由四个子模块级联构成，利用不同的降采样率来实现对输入信号的滤波处理，并且通过相位

选择和不同的引脚和寄存器配置来灵活调整其性能。

如下图所示。前两个模块是降采样率为 2，第三个模块降采样率为 4，第四个模块降采样率为 2。FIR 级的总降采样率为 32。需注意，根据相位选择，第三和第四模块使用两组系数，可选择线性相位或最小相位。

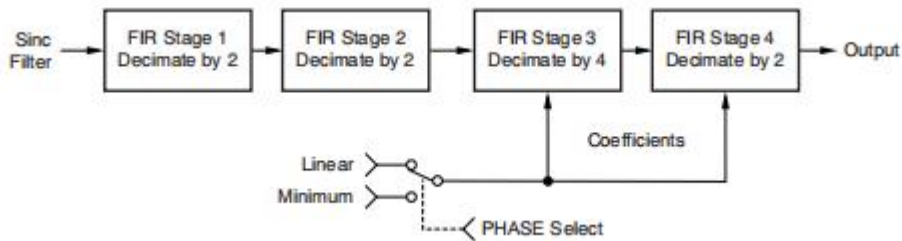


图 19 FIR 滤波器子集

下表列出了由 DR[1:0]和 DR[2:0]寄存器配置实现 FIR 级的数据速率和总降采样率。

表 10 滤波器数据速率

DR[1:0]引脚	DR[2:0]寄存器	降采样率 (N)	FIR 数据速率 (SPS)
00	000	4096	250
01	001	2048	500
10	010	1024	1000
11	011	512	2000
—	100	256	4000

如下图所示，FIR 频率响应 f_{in}/f_{DATA} 在 0-0.375 倍处提供了一个平坦的通带，纹波大小在 $\pm 0.003\text{dB}$ 之间。

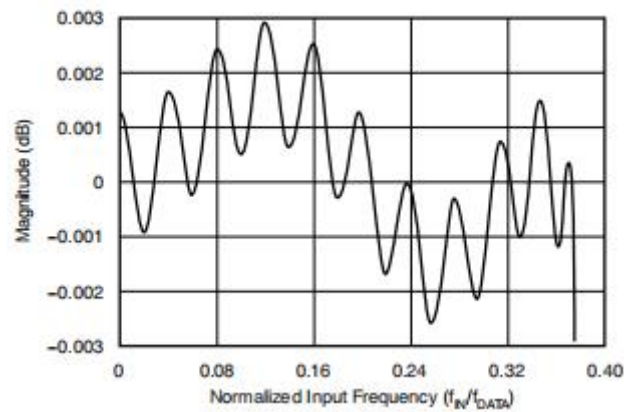


图 20 FIR 通带幅度相应 ($f_{DATA}=500\text{Hz}$)

下图展示了从通带到阻带的过渡。另外，建议在 HWD1281 的输入前放置一个抗混叠滤波器，以限制可能的带外输入信号。通常，一个简单的 RC 滤波器就足够了。

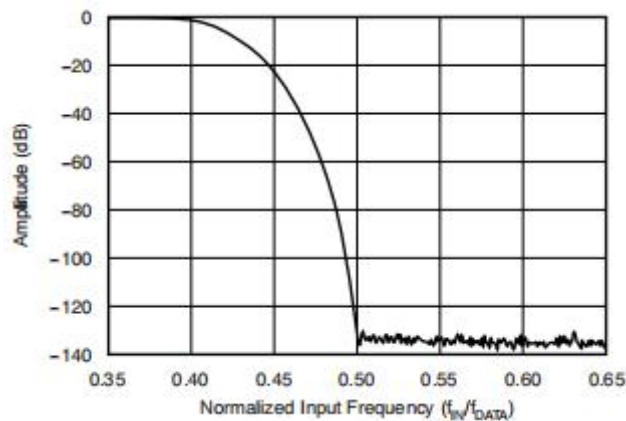


图 21 FIR 过渡带响应

7.2.3.3 组延迟和阶跃响应

FIR 模块的延迟大小是可更改的，由第三、四级子模块相位类型决定。类型可分为线性相位滤波器和最小相位滤波器两种。

- 线性相位滤波器
- 最小相位滤波器

线性相位滤波器在输入频率方面表现出恒定的延迟时间。最小相位滤波器在输入信号到达时提供了一个短延迟，但相位（关系）与频率不是恒定的。

线性相位滤波器具有这样的特性：任何输入信号的延迟时间与输出数据的延迟时间相同，并且与信号的性质无关。这种滤波器行为在分析多音信号时基本不会产生相位误差，但线性相位滤波器的组延迟和稳定时间比最小相位滤波器要长一些，如下图所示。

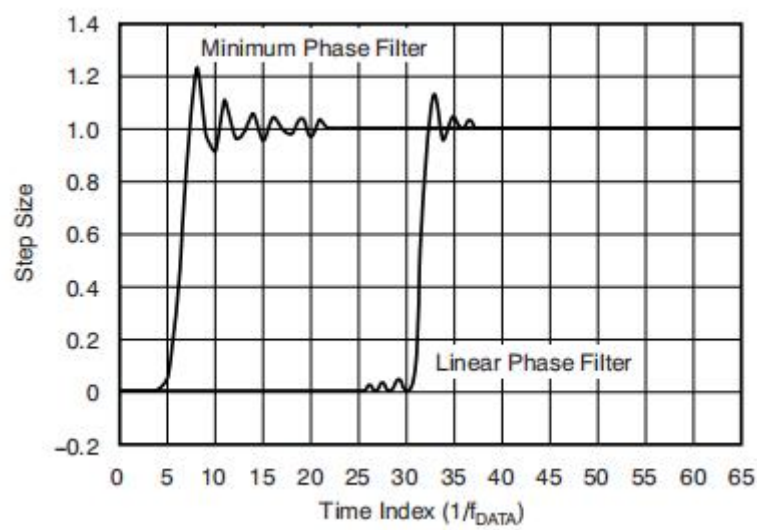


图 22 FIR 阶跃响应

最小相位滤波器在输入信号到达时提供了一个短延迟，但相位（关系）与频率不是恒定的，如下图所示

示。

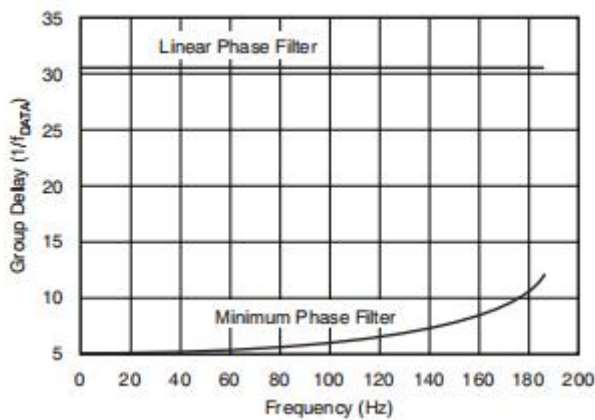


图 23 FIR 延迟 (f_{DATA}=500Hz)

滤波器相位可通过 PHS 位（寄存器模式）或 PHS/MCLK 引脚（引脚模式）配置，具体配置信息见下表。

表 11 FIR 相位选择

PHS 位或 PHS/MCLK 引脚	滤波器相位
0	线性
1	最小

7.2.3.4 HPF 级

HWD1281 滤波器的最后一级是一阶高通滤波器，采用 IIR 结构实现。该滤波器级阻断直流信号，并滤除截止频率以下的低频成分。滤波器的传递函数如公式 4 所示：

$$HPF(Z) = \frac{2 - a}{2} \times \frac{1 - Z^{-1}}{1 - bZ^{-1}} \tag{4}$$

其中，b 的计算如公式 5 所示：

$$b = \frac{(1 + (1 - a)^2)^2}{2} \tag{5}$$

高通截止频率由寄存器 HPF[1:0]编程设定，采用十六进制。公式 6 用于设置高通截止频率。

$$HPF[dec] = 65536 \left[1 - \sqrt{1 - 2 \frac{\cos \omega_N + \sin \omega_N - 1}{\cos \omega_N}} \right] \tag{6}$$

其中，HPF=高通滤波器寄存器值（转换为十六进制）， $\omega_n=2\pi f_{HP}/f_{DATA}$ （归一化频率，弧度）， f_{HP} =高通截止频率（Hz）， f_{DATA} =数据速率（Hz）。

下表列出了高通滤波器的示例值。

表 12 高通滤波器值示例²

f_{HP} (Hz)	数据速率 (SPS)	HPF[1:0]
0.5	250	0337h
1.0	500	0337h
1.0	1000	019Ah

HPF 会产生一个小的增益误差，其大小取决于 f_{HPF}/f_{DATA} 的比值。对于许多常见的(f_{HPF}/f_{DATA})值，增益误差可以忽略不计。下图显示了 HPF 的增益误差。

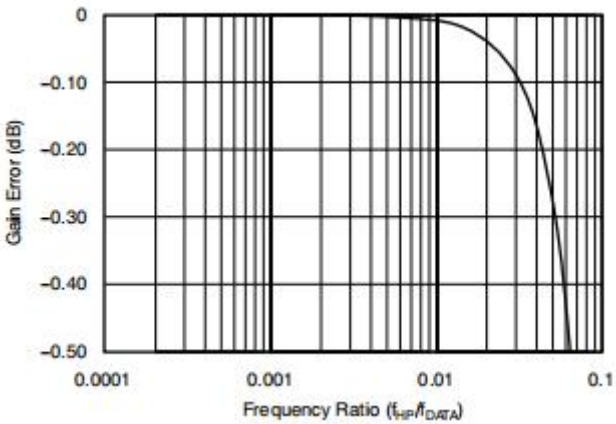


图 24 HPF 增益误差

如下图所示，高通滤波器（HPF）的一阶幅频响应和相位响应。请注意，在施加阶跃输入或同步时，应考虑滤波器的建立时间。

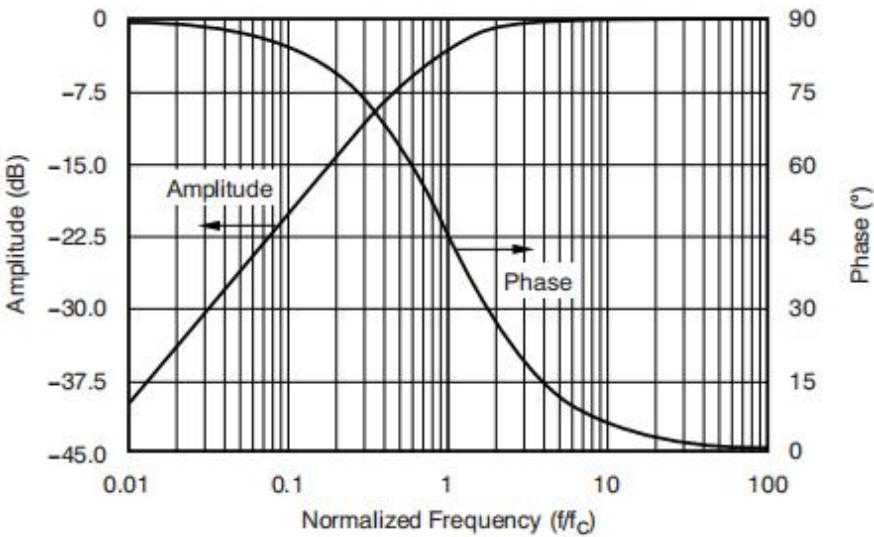


图 25 高通滤波器幅频和相位响应

7.2.4 模拟输入电路（VINP,VINN）

HWD1281 通过内部电容对差分输入信号 $V_{IN} = (A_{INP} - A_{INN})$ 相对于差分基准电压 $V_{REF} = (V_{REFP} -$

² 在引脚控制模式下，HPF 值固定为 0332h。

VREFN) 进行测量, 这些电容不断地充电和放电。图 26 展示了 ADC 输入电路的示意图, 图的右侧展示了用等效电路替换电容和开关后的输入电路。图 27 展示了图 26 中开关的开启/关闭时序。

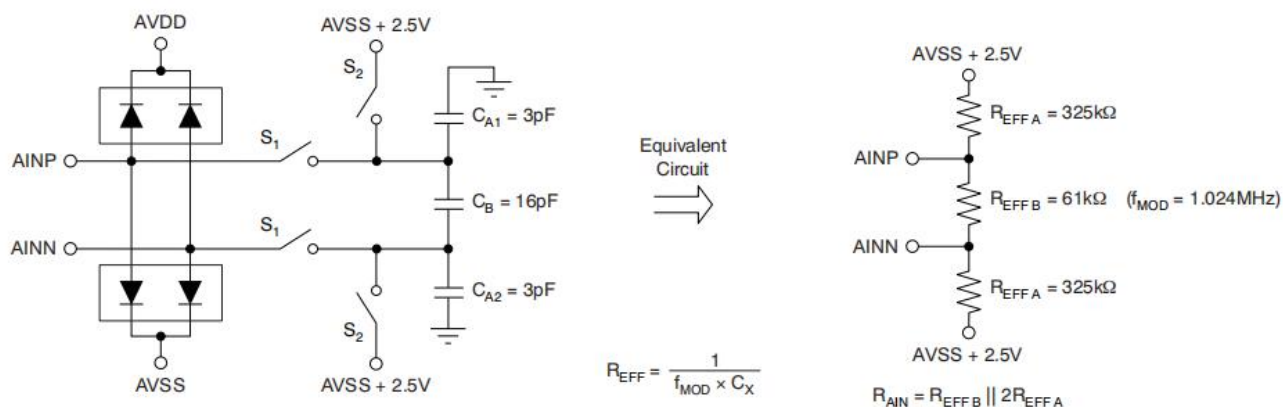


图 26 简化 ADC 输入结构

在下图中, S1 在输入采样阶段闭合。当 S1 闭合时, C1 充电至 AINP, C2 充电至 AINN, C3 充电至(AINP - AINN)。在放电阶段, S1 首先打开, 然后 S2 闭合。C1 和 C2 放电至大约 AVSS + 1.3V, C3 放电至 0V。这个两阶段采样/放电循环以周期 $t_{SAMPLE} = 1/f_{MOD}$ 重复, 其中 f_{MOD} 是调制器的工作频率。

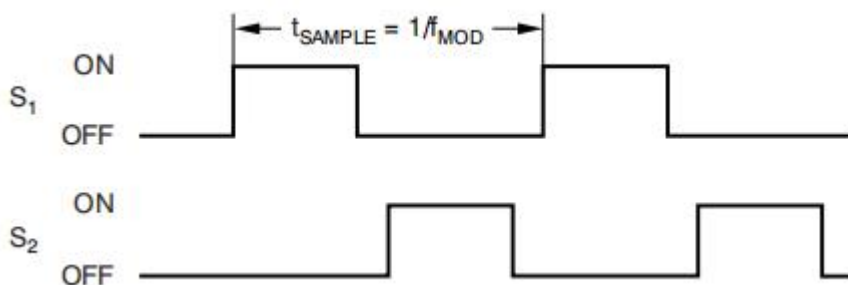


图 27 图 26 的 S1 和 S2 开关时序

对 HWD1281 输入采样电容的充电会从电源汲取瞬态电流。该瞬态电流的平均值可用于计算有效输入阻抗 (R_{EFF}), 其中 $R_{EFF} = V_{IN}/I_{AVERAGE}$ 。这些阻抗与 f_{MOD} 成反比。例如, 当 f_{MOD} 降低一倍时, 阻抗也会翻倍。

ESD 二极管保护模拟输入。为防止这些二极管导通, 施加在输入引脚上的电压必须保持在一定范围内。某些应用可能需要外部钳位二极管和/或串联电阻来限制输入电压范围。

HWD1281 是一款高性能 ADC。为获得最佳性能, 必须使用低噪声和低失真的缓冲器来驱动 HWD1281 输入。大多数应用需要一个外部电容 (COG/NPO 陶瓷) 直接连接到输入引脚。根据输入驱动的特性, 可能需要进行实验以优化该电容的值 (通常在 2.2nF 到 100nF 范围内)。最佳性能是通过在电源中点处的共模信号实现的。

虽然 HWD1281 针对差分信号进行了优化, 但 HWD1281 输入也可以由单端信号驱动, 方法是将一个输入连接到电源中点。为充分利用全动态范围, 驱动输入必须摆动 $5V_{P-P}$, 其中 $V_{REF} = 5V$ 。

7.2.5 电压参考（基准）输入（VREFP,VREFN）

HWD1281 ADC 的基准电压是施加在 VREFP 和 VREFN 之间的差分电压： $V_{REF} = V_{REFP} - V_{REFN}$ 。

基准使用一个和模拟输入电路机构类似的结构，如下图所示。

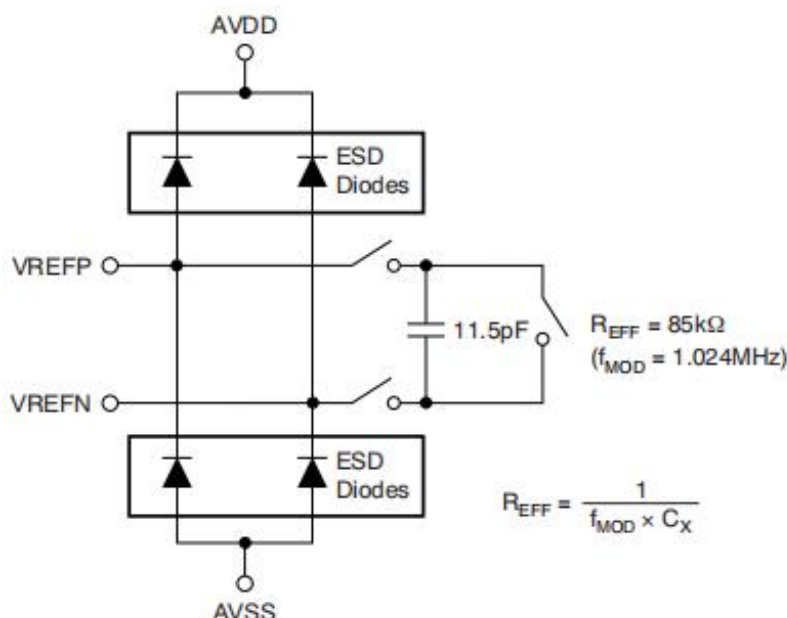


图 28 简化的基准输入电路

HWD1281 的基准输入由 ESD 二极管保护。为防止这些二极管导通，需要确保输入上的电压必须保持在以下范围内：

$$AVSS - 300mV < (V_{REFP} \text{ 或 } V_{REFN}) < AVDD + 300mV \quad (8)$$

一个高品质的基准电压对于 HWD1281 可以达到最好的性能是基本的要求。基准的噪声和漂移会降低整个系统的性能，因此必须特别注意为产生基准电压的电路提供低噪声环境。对于大多数应用，建议使用一个 $1\mu F$ 陶瓷电容直接连接到基准输入引脚。

7.2.6 主时钟输入（CLK）

HWD1281 需要一个时钟输入才能工作。时钟施加到 CLK 引脚。数据转换速率与 CLK 频率成正比。功耗与 CLK 频率相对恒定。与任何高速数据转换器一样，高质量、低抖动时钟对于最佳性能至关重要。推荐使用晶体时钟振荡器作为时钟源。确保尽可能避免时钟输入的走线长度，并在电源上串联一个 50Ω 电阻。

7.3 工作模式

7.3.1 引脚和寄存器模式

引脚模式（PINMODE，引脚 21）用于设置芯片的控制模式：引脚模式或寄存器模式。在引脚模式（PINMODE = 1）下，器件的控制通过引脚设置，无需对寄存器进行编程。在寄存器模式下，器件的控制通过配置寄存器设置。下表描述了这两种控制模式之间的差异。

表 13 引脚模式和寄存器模式的功能

功能	引脚模式（PINMODE=1）	寄存器模式（PINMODE=0）
同步选项	仅脉冲	连续或脉冲
数字滤波器选项	Sinc + LPF 或 Sinc+LPF+ HPF	Sinc、Sinc+ LPF 或 Sinc+ LPF + HPF
数字高通滤波器频率	固定低截止频率	可编程为 f _{DATA} 的分数
校准寄存器	否	是
接口命令	否	是

下表总结了引脚在不同配置时的功能。

表 14 模式相关引脚功能

功能	引脚模式（PINMODE=1）	寄存器模式（PINMODE=0）
MOD/DIN	模块输入（选择调制器模式）	SPI DIN 输入
HPF/SYNC	HPF 输入（选择高通滤波器）	同步输入
RESET	同步输入	复位输入
PHS/MCLK	LPF 相位输入或 MCLK 输出	MCLK 输出
DR0/M0	DR0 输入或 M0 输出	M0 输出
DR1/M1	DR1 输入或 M1 输出	M1 输出

7.3.2 同步（同步引脚和同步命令）

HWD1281 既可与外部 FPGA 等同步，也可以与调制器和数字分频器同步。

HWD1281 有两种同步方式：

- 同步输入引脚；
- 同步命令；

HWD1281 还有两种同步模式：

- 脉冲同步；
- 连续同步；

在脉冲同步模式下，HWD1281 与单个同步事件同步。在连续同步模式下，器件与单个同步事件或连续时钟同步，时钟周期等于数据速率的整数倍。当同步输入的周期与 $\overline{\text{DRDY}}$ 输出不匹配时，HWD1281 会重新同步并重新启动转换。请注意，在引脚控制模式下，复位输入用作同步控制。

7.3.2.1 脉冲同步模式

在脉冲同步模式下，当同步事件发生时（通过引脚或命令），HWD1281 会停止并重新启动转换过程。当同步事件发生时，设备会重置内部存储器； $\overline{\text{DRDY}}$ 变高，在数字滤波器稳定后，新的转换数据可用，如下图所示和表 15 所示。

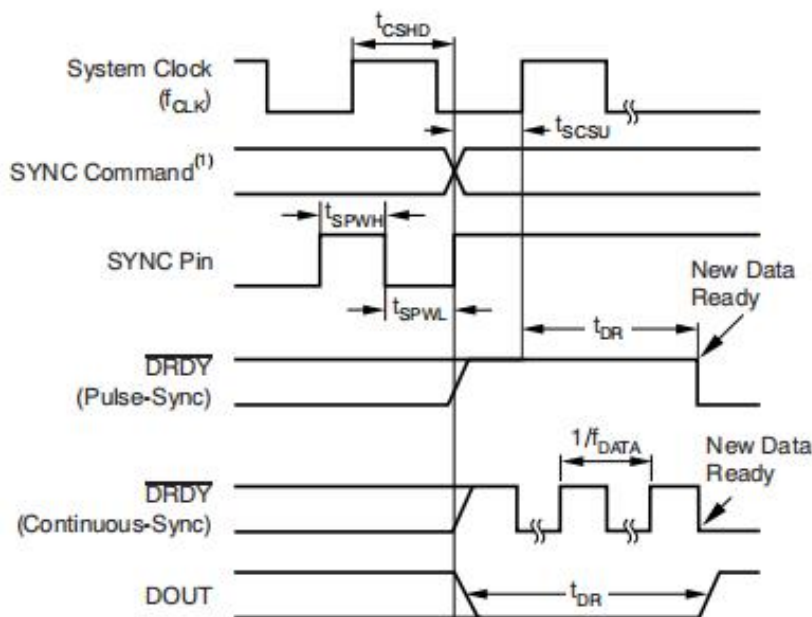


图 29 脉冲同步时序

7.3.2.2 连续同步模式

在连续同步模式下，可以应用单个同步脉冲或连续时钟。当应用单个同步脉冲（上升沿）时，设备的行为类似于脉冲同步模式。然而，在这种模式下， $\overline{\text{DRDY}}$ 持续保持低电平，直到新的数据准备好。当转换数据非零时，新的转换数据准备好，下图显示了连续同步模式的时序。

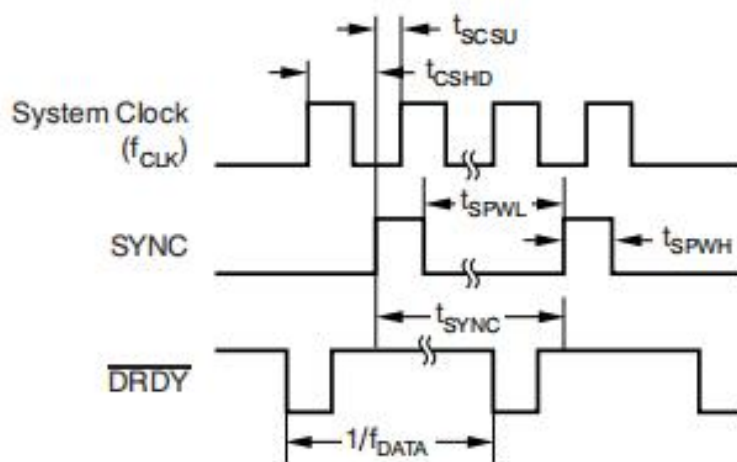


图 30 连续同步时序

当连续时钟应用于 SYNC 引脚时，周期必须是输出数据速率的整数倍，或者设备重新同步。当同步输入首次应用于 CLK 的第一个上升沿时，设备重新同步（在条件 $t_{\text{SYNC}} \neq t_{\text{CLK}}$ 下）。 $\overline{\text{DRDY}}$ 持续输出，但保持低电平，直到新的数据准备好。然后，当应用的同步时钟周期与输出数据速率匹配时，设备自由运行而无需重新同步。应用的时钟和输出数据速率（ $\overline{\text{DRDY}}$ ）不必匹配。

表 15 图 29 和图 30 的脉冲同步时序参数

参数	描述	最小值	最大值	单位
t_{SYNC}	同步脉冲宽度 ³	1	有限	n/f_{DATA}
t_{CSHD}	CLK 到 SYNC 保持时间	10	/	f_{DATA}
t_{SCSU}	SYNC 到 CLK 建立时间	10	/	ns
$T_{\text{SPWH,L}}$	SYNC 脉冲宽度	2	/	$1/f_{\text{clk}}$
t_{DR}	数据准备时间（同步输入）	见附 1		
	数据准备时间（FIR 延迟）	$62.98046875/f_{\text{DATA}}+46/f_{\text{clk}}$		

附 1: t_{DR} 数据准备时间（同步输入）

f_{DATA}	f_{CLK}
128K	440
64K	616
32K	968
16K	1672
8K	2824

7.3.3 复位($\overline{RESET}$ 引脚和复位命令)

HWD1281 可以通过两种方式复位：将 $\overline{RESET}$ 引脚置低或发送 reset 命令。当使用 $\overline{RESET}$ 引脚时，将其置于低电平并保持至少 $2/f_{\text{CLK}}$ 的时间来触发复位。HWD1281 在引脚置高电平前一直会保持复位状态。当使用复位命令时， $\overline{RESET}$ 会在命令的 SCLK 的第八个上升沿之后的 f_{CLK} 的下一个上升沿生效。注意：为确保复位命令能起作用，SPI 接口可能需要复位，如下图所示。

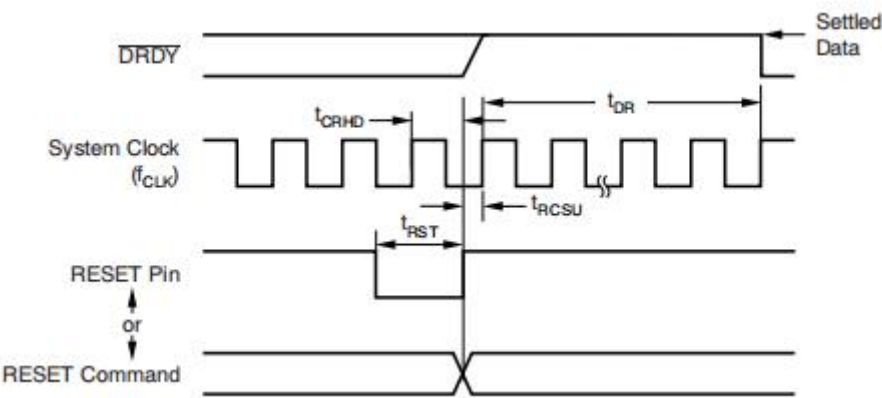


图 31 重置时序

复位时，寄存器会被设置为默认值，并且转换操作会在 CLK 的下一个上升沿同步。新的转换数据将可

³ 连续同步模式：一个字有运行的 SYNC 时钟输入，不会导致重新同步。

用，如下表所示。

表 16 图 31 的重置时序

参数	描述	最小值	单位
t _{CRHD}	CLK 到 $\overline{\text{RESET}}$ 保持时间	10	ns
t _{RGSU}	$\overline{\text{RESET}}$ 到 CLK 建立时间	10	ns
t _{RST}	$\overline{\text{RESET}}$ 低电平时间	2	1/f _{CLK}
t _{DR}	数据准备就绪时间	62.98046875/f _{DATA} + 468/f _{CLK}	

7.3.4 待机（ $\overline{\text{PWDN}}$ 引脚和待机指令）

有两种方法可以使 HWD1281 待机：将 $\overline{\text{PWDN}}$ 引脚置低或发送待机指令。当 $\overline{\text{PWDN}}$ 引脚被拉低时，内部电路会暂停运行以将功耗降至最低，同样寄存器设置的内容被重置。当工作在断电模式后， $\overline{\text{PWDN}}$ 引脚被拉高，要注意输出端口持续有效，且输入端口不能悬空。当发送待机指令后，SPI 端口和配置寄存器持续有效。下图和下表显示了时序。

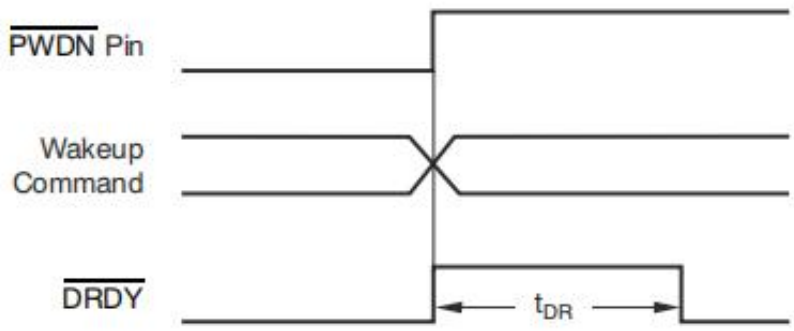


图 32 $\overline{\text{PWDN}}$ 引脚和唤醒命令时序

表 17 新数据上电、 $\overline{\text{PWDN}}$ 引脚和唤醒命令时序

参数	描述	滤波器模式	
t _{DR}	上电后数据就绪时间 216 个 CLK 周期；	参见附录	SINC ⁴
	当 $\overline{\text{PWDN}}$ 引脚或唤醒指令后新数据准备完毕	62.98046875/f _{DATA} + 468/f _{CLK} ⁵	FIR

7.3.5 上电时序

HWD1281 提供 AVDD、AVSS 和 DVDD 三种电源。下图显示了 HWD1281 的上电顺序。电源的上电顺序可以任意组合，提供客户最大的灵活度。由于模拟电源(AVDD -AVSS)和 DVDD 数字电源的差异，因此需

⁴ 电源上电， $\overline{\text{PWDN}}$ 引脚默认为 1000SPS FIR

⁵ 对唤醒命令减去 2 个 CLK 周期。在命令到 $\overline{\text{DRDY}}$ 下降周期，唤醒命令从 CLK 的下一个上升沿计时到 SCLK 的第八个上升沿之后。

要一个内部复位信号(Internal Reset)将 ADC 芯片初始化为一个已知的初始状态,以便其能正常工作。在电源上电完成后,再施加内部复位信号 $2^{16}f_{CLK}$ 周期,此时芯片内部电路正确复位,可以获得新的转换数据,如下图所示和下表所示。

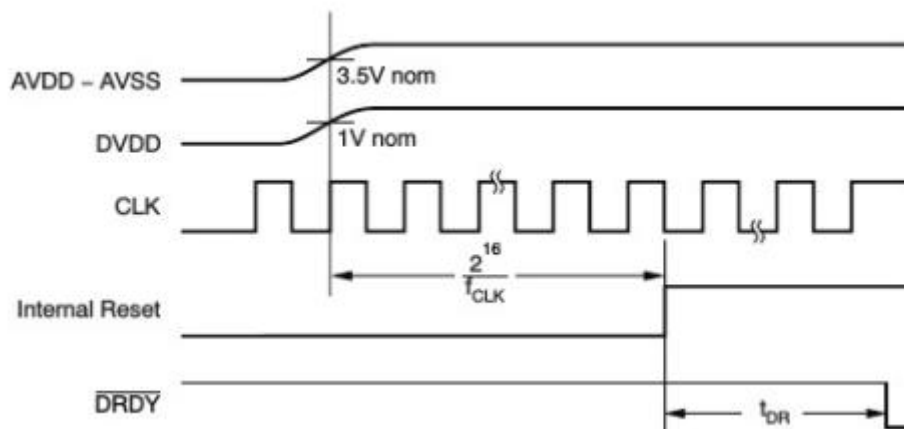


图 33 上电时序

7.3.6 DVDD 电源供电

DVDD 数字电源的工作电压范围是+1.65V 至+3.6V。如果 DVDD 的工作电压低于 2.25V。则将 DVDD 引脚连接到 BYPASS 引脚。如果 DVDD 大于或等于 2.25V,则禁止连接到 BYPASS 引脚(开路连接)。下图显示了这种连接关系。

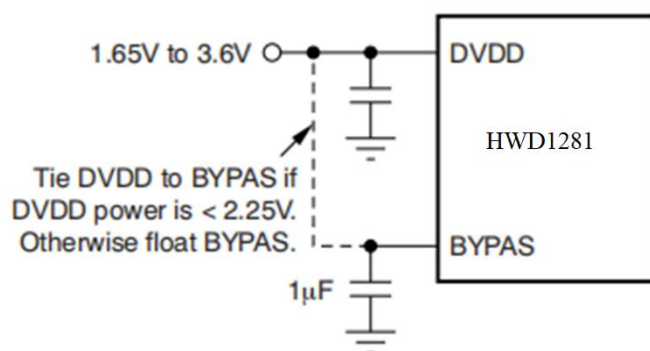


图 34 DVDD 电源

7.3.7 串行接口

串行接口用于读取转换数据和访问配置寄存器。该接口由三个基本信号组成: SCLK (串行时钟)、DIN (数据输入) 和 DOUT (数据输出)。当数据准备好可以读取后,一个额外的输出信号 $\overline{DRDY}$ 就会转变为低电平(在连续读取数据模式下)。下图展示了使用多个转换器时的连接情况。

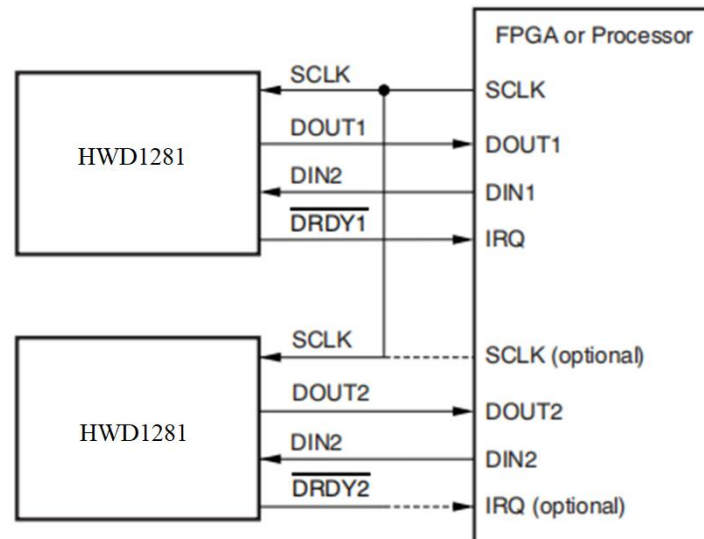


图 35 用于多个设备的引脚模式接口

7.3.7.1 串行时钟

串行时钟（SCLK）是一个用于将数据输入（DIN）和从 HWD1281 输出（DOUT）的输入信号。此输入是施密特触发输入，具有高度抗噪声干扰能力。然而，建议尽可能的保持 SCLK 信号干净，以防止因意外的数据移位而产生的毛刺。

数据在 SCLK 的上升沿移入 DIN，并在 SCLK 的下降沿从 DOUT 移出。如果 SCLK 在 64 个 $\overline{\text{DRDY}}$ 周期内保持低电平，正在进行的数据传输或命令将终止，并且 SPI 接口重置。下一个 SCLK 脉冲将开始一个新的通信周期。当传输中断或 SCLK 出现意外脉冲时，此超时功能可用于恢复接口。当不工作时，SCLK 应保持低电平。

7.3.7.2 数据输入（DIN）

数据输入引脚（DIN）用于向 HWD1281 输入寄存器数据和命令。在连续读取数据模式下读取转换数据时（发出“停止连续读取数据”命令时除外），应使 DIN 保持低电平。DIN 上的数据在 SCLK 的上升沿移入转换器。在引脚模式下，不使用 DIN。

7.3.7.3 数据输出（DOUT）

数据输出引脚（DOUT）用于从 HWD1281 输出数据。数据在 SCLK 的下降沿从 DOUT 移出。在引脚模式下，仅从该引脚读取转换数据。

7.3.7.4 数据准备输出（ $\overline{\text{DRDY}}$ ）

$\overline{\text{DRDY}}$ 是一个输出信号；当它变为低电平时，这种转变表示新的转换数据已准备好，如下图所示。当

通过连续模式读取数据时，在 $\overline{\text{DRDY}}$ 变为低电平之前，数据必须在四个 CLK 周期内被读取。当通过命令模式读取数据时，读取操作可以与下一个 $\overline{\text{DRDY}}$ 的出现重叠，而不会造成数据损坏。

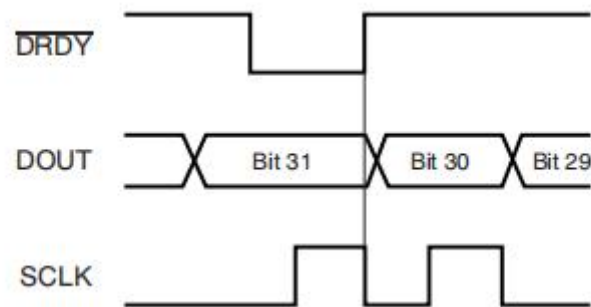


图 36 带有数据获取功能的 $\overline{\text{DRDY}}$

$\overline{\text{DRDY}}$ 在 SCLK 的第一个下降沿复位为高电平。上图和下图分别展示了有和没有数据回读功能时 $\overline{\text{DRDY}}$ 的作用。如果不获取数据（未提供 SCLK），在更新期间， $\overline{\text{DRDY}}$ 脉冲会在四个 f_{CLK} 周期内保持高电平，如下图所示。

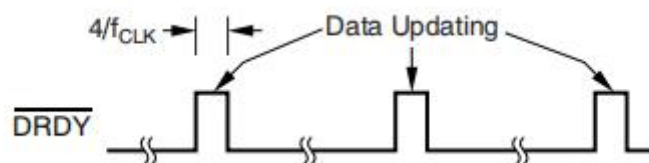


图 37 不带数据获取功能的 $\overline{\text{DRDY}}$

7.3.8 数据格式

HWD1281 以二进制补码格式提供 32 位转换数据，如表 13 所示。数据的最低有效位（LSB）是一个冗余符号位：‘0’表示正数，‘1’表示负数。然而，当输出被钳位到 +FS 时，LSB = 1；当输出被钳位到 -FS 时，LSB = 0。如果需要，数据回读可以在 24 位处停止，具体如下图所示。

数据输入VIN (VINP-VINN)	32位理想输出码
$\gt \frac{V_{REF}}{2}$	7FFFFFFh
$\frac{V_{REF}}{2}$	7FFFFFFEh
$\frac{V_{REF}}{2 \times (2^{30} - 1)}$	0000002h
0	0000000h
$\frac{-V_{REF}}{2 \times (2^{30} - 1)}$	FFFFFFFh
$\frac{-V_{REF}}{2} \times \frac{2^{30}}{2^{30} - 1}$	8000001h
$\lt \frac{-V_{REF}}{2} \times \frac{2^{30}}{2^{30} - 1}$	8000000h

图 38 32 位理想输出码

注：理想输出码排除噪声、线性度、失调和增益误差的影响。

7.3.9 读取数据

HWD1281 有两种读取转换数据的方式：连续读取数据和按命令读取数据。

7.3.9.1 连续读取数据

在连续读取数据模式下，转换后的数据无需发送读取命令即可直接从设备中输出。

- 上电时的默认模式
- 通过 RDATA 命令启用

当 $\overline{DRDY}$ 变低，表示有新数据可用时，数据的最高有效位（MSB）出现在 DOUT 上，如下图所示。数据通常在 SCLK 的上升沿读取，在 SCLK 的第一个下降沿出现时， $\overline{DRDY}$ 变回高电平。在 32 位数据被移出后，进一步的 SCLK 转换会使 DOUT 变为低电平。如果需要，可以在 24 位处停止读取操作。数据移位操作必须在 $\overline{DRDY}$ 再次变低或数据可能损坏之前的四个 CLK 周期内完成。

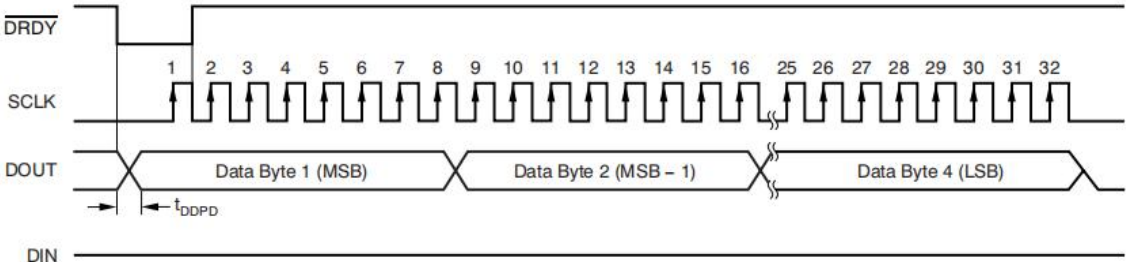


图 39 连续读取数据

连续读取数据模式是引脚模式下的默认数据模式。当发出停止连续读取数据命令时， $\overline{DRDY}$ 输出被阻

断，但 HWD1281 继续进行转换。在非连续模式下，数据只能通过命令读取。

表 18 图 39 的时序数据

参数	描述	最小值	典型值	最大值	单位
$t_{DDR\overline{D}}$	从 $\overline{DRDY}$ 到 DOUT 上有效最高位（MSB）传输延时 ⁶			100	ns

7.3.9.2 按命令读取数据

通过 SDATAC 命令可以停止连续读取数据模式。在这种模式下，转换数据通过命令读取。在按命令读取数据模式下，每次进行数据转换时都必须向设备发送读取数据命令，如下图所示。

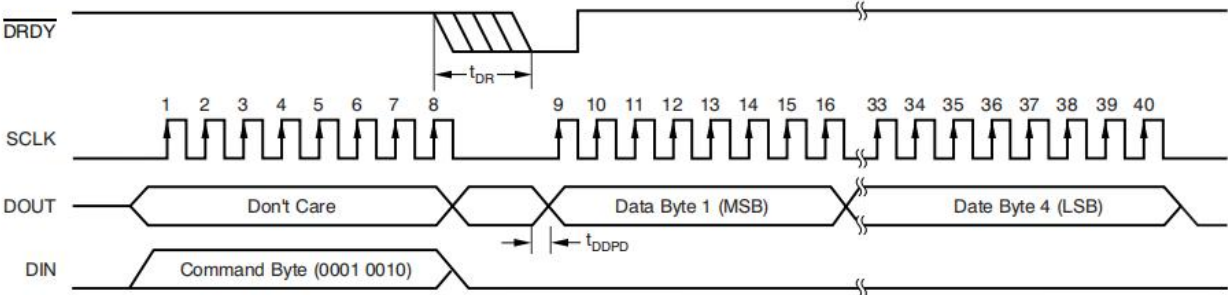


图 40 按命令读取数据（ t_{DDPD} 时序如表 15 所示）

当接收到读取数据命令（在第八个 SCLK 上升沿）时，数据可供读取，但只有当 $\overline{DRDY}$ 变为低电平时（ t_{DR} ）才可以读取。当 $\overline{DRDY}$ 变为低电平时，转换数据出现在 DOUT 上。数据可以在 SCLK 的上升沿读取。

表 19 图 40 的读取数据时序

参数	描述	最小值	典型值	最大值	单位
t_{DR}	数据读取命令后新数据的时间	0		1	f_{DATA}

7.3.10 单次转换操作

HWD1281 可以在软件控制下使用 STANDBY 命令进行非常高效的单次转换。如下图所示为 STANDBY 命令的时序。

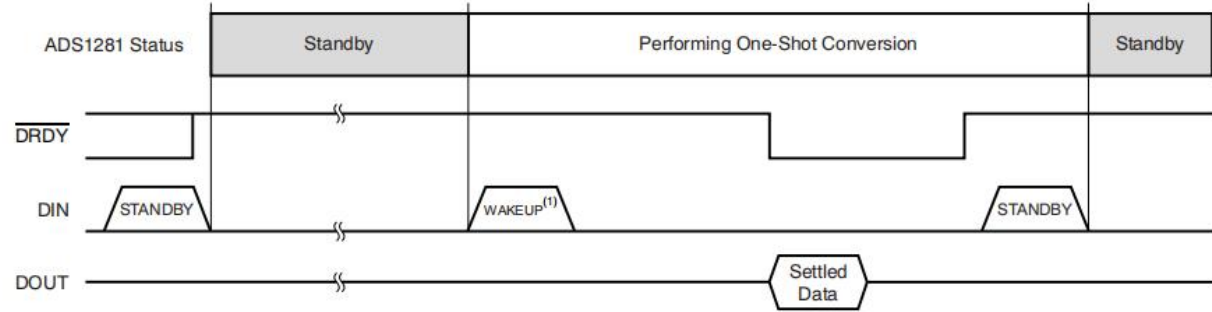


图 41 使用 STANDBY 命令进行单次转换

⁶ DOUT 负载=20pF//100kΩ

首先，发出 STANDBY 命令以设置待机模式。当准备进行测量时，发出 WAKEUP 命令。监控 $\overline{\text{DRDY}}$ ，当它变为低电平时，完全转换的数据已经准备好，可以在连续读取数据模式下直接读取。之后，再发出一个 STANDBY 命令。当准备进行下一次测量时，重复这个循环，从另一个 WAKEUP 命令开始。

7.3.11 失调校准和增益校准寄存器

转换数据可以进行失调和增益校准，然后再产生最终输出代码。失调和满量程寄存器的值可以通过直接写入或通过校准命令自动设置。公式 9 展示了这种校准关系：

$$\text{最终输出数据} = (\text{输入} - \text{OFSCAL}) \times \frac{\text{GAINCAL}}{400000\text{h}}$$

(9)

如下图所示，数字滤波器的输出首先减去失调寄存器（OFC）的值，然后乘以满量程寄存器（FSC）值。

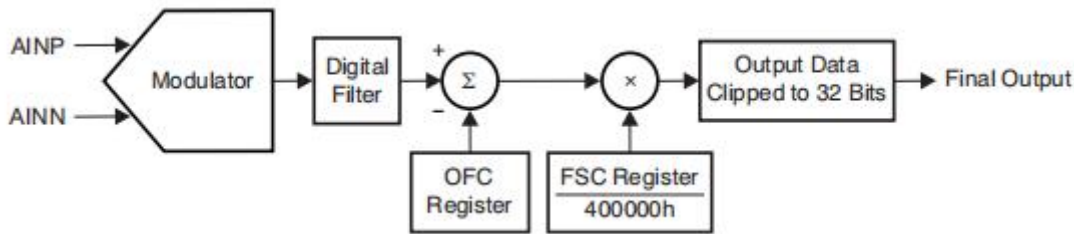


图 42 校准模块图

7.3.11.1 OFC[2:0]寄存器

失调校准是一个 24 位字，由三个 8 位寄存器组成，如表 22 所示。该寄存器是左对齐的，以与 32 位转换数据对齐。失调量以二进制补码格式表示，最大正值为 7FFFFFFh，最大负值为 800000h。这个值从转换数据中减去。失调寄存器的默认值为 000000h，表示无失调校准。请注意，虽然失调校准寄存器值可以校正从 -FS 到 +FS 的失调量（如下表所示），但为了避免输入过载，模拟输入不能超出满量程范围。

表 20 失调校准值

OFC 寄存器	最终输出码值 ⁷
7FFFFFFh	80000000h
000001h	FFFFFF00h
000000h	00000000h
FFFFFFh	00000100h
800000h	7FFFFFF00h

7.3.11.2 FSC[2:0]寄存器

满量程校准是一个 24 位字，由三个 8 位寄存器组成，如表 23 所示。满量程校准值是 24 位二进制、归

⁷ 全 32 位最终输出码，输入为零码

一化到 1.0 的代码 40000h。表 21 概述了满量程寄存器值的缩放。满量程寄存器值为 40000h（默认值）时没有增益校准（增益 = 1）。请注意，虽然满量程校准寄存器值可以校正增益误差大于 1（增益校正 < 1），但模拟输入的满量程范围不能超出以避免输入过载。

表 21 满量程校准寄存器值

FSC 寄存器	增益校准
800000h	2.0
400000h	1.0
200000h	0.5
000000h	0

表 22 失调校准字

寄存器	字节	比特顺序							
OFC0	LSB	B7	B6	B5	B4	B3	B2	B1	B0 (LSB)
OFC1	MID	B15	B14	B13	B12	B11	B1	B9	B8
OFC2	MSB	B23(MSB)	B22	B21	B20	B19	B18	B17	B16

表 23 满量程校准字

寄存器	字节	比特顺序							
FSC0	LSB	B7	B6	B5	B4	B3	B2	B1	B0 (LSB)
FSC1	MID	B15	B14	B13	B12	B11	B1	B9	B8
FSC2	MSB	B23(MSB)	B22	B21	B20	B19	B18	B17	B16

7.3.12 校准命令

校准命令可以发送给 HWD1281 来校准转换数据。失调和增益校准寄存器的值通过内部写入来执行校准。在发送命令之前，必须将适当的输入信号施加到 HWD1281 的输入上以进行校准。使用较慢的数据速率可以获得更一致的校准结果；这是由于这些数据速率提供的噪声较低。此外，在校准期间，确保基准电压完全稳定。下图显示了校准命令序列。

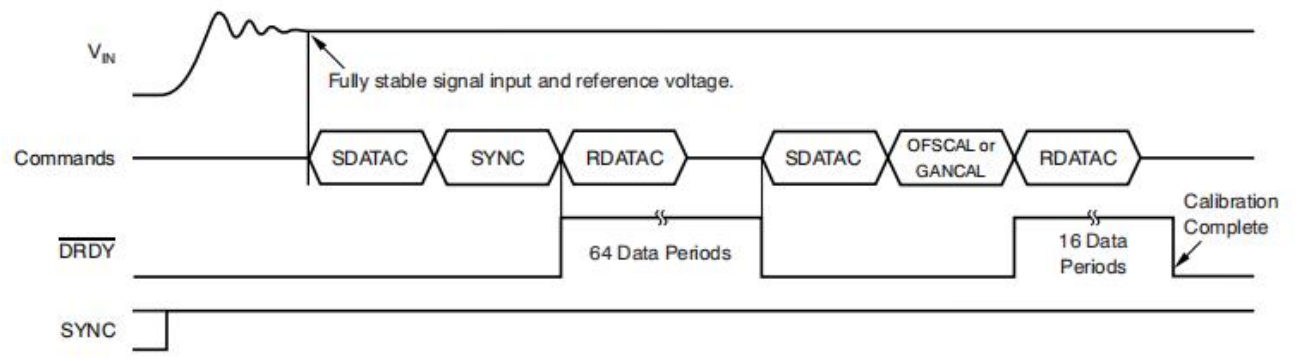


图 43 失调/增益校准时序

在模拟输入电压（和基准电压）稳定后，发送停止数据连续命令，然后是同步和读取数据连续命令。

64 个数据周期后， $\overline{\text{DRDY}}$ 变低。在 $\overline{\text{DRDY}}$ 变低后，发送停止数据连续命令，然后是校准命令，接着是读取数据连续命令。16 个数据周期后，校准完成，此时可以读取转换数据。在校准序列期间，SYNC 输入必须保持高电平。

7.3.12.1 失调校准命令

失调校准命令执行失调校准。在发送失调校准命令之前，必须将零输入信号施加到 HWD1281，并允许输入稳定。当命令发送时，HWD1281 平均 16 次读数，并将此值写入 OFC 寄存器。OFC 寄存器的内容随后可以被读取或写入。在校准失调期间，满量程校正被旁路。

7.3.12.2 增益校准命令

增益校准命令执行增益校准。在发送增益校准命令之前，必须将直流输入信号施加到 HWD1281，该信号应在满量程范围内，但不超过、正或负。在信号稳定后，可以发送命令。HWD1281 平均 16 次读数，然后计算补偿增益误差的值。增益校正值随后写入 FSC 寄存器。GANCAL 寄存器的内容随后可以被读取或写入。请注意，虽然增益校准命令可以校正大于 1（增益校正<1）的增益误差，但为避免输入过载，模拟输入不能超过满量程范围。增益校准应在失调校准之后执行。

7.3.12.3 用户校准

1. 将 OFSCAL[2:0]寄存器设置为 0h，将 GANCAL[2:0]寄存器设置为 400000h。这些值分别将失调和增益寄存器设置为 0 和 1。

2. 向系统输入施加零差分输入。等待系统稳定，然后平均 n 个输出读数。平均读数的数量越高，校准结果越一致。将平均值写入 OFC 寄存器。

3. 向系统输入施加一个正或负的差分直流信号，或一个小于满量程输入的交流信号。等待系统稳定，然后平均 n 个输出读数。写入 FSC 寄存器的值通过公式 10 和公式 11 计算。

直流信号校准见公式 10 和公式 11。预期输出代码基于 31 位输出数据。

$$\text{FSC}[2:0] = 400000\text{h} \times \left(\frac{\text{预期输出代码}}{\text{实际输出代码}} \right) \quad (10)$$

$$\text{预期输出代码} = 2 \times V_{\text{IN}} \times \frac{2^{31}}{V_{\text{REF}}} \quad (11)$$

对于交流信号校准，使用采集数据的 RMS 值（如公式 12 所示）。

$$FSC[2:0] = 400000h \times \frac{\text{预期RMS值}}{\text{实际RMS值}}$$

(12)

7.3.13 命令

在连续读取数据模式下，下表中列出用于控制 HWD1281 的操作。只有在寄存器模式下才能进行命令操作。大多数命令是独立的（即长度为 1 字节）；寄存器的读写操作除了实际数据字节外，还需要第二个命令字节。

表 24 命令描述

命令	类型	描述	第一命令字节 ^{8,9}	第二命令字节 ¹⁰
WAKEUP	控制	从待机模式唤醒	0000 000X (00h 或 01h)	
STANDBY	控制	进入待机模式	0000 001X (02h 或 03h)	
SYNC	控制	同步 A/D 转换	0000 010X (04h 或 05h)	
RESET	控制	将寄存器重置为默认值	0000 011X (06h 或 07h)	
RDATA	控制	连续读取数据	0001 0000 (10h)	
SDATA	控制	停止连续读取数据	0001 0001 (11h)	
RDATA	数据	按命令读取数据	0001 0010 (12h)	
RREG	寄存器	读取 nnnnn 寄存器在地址 rrrr ¹¹	001r rrrr (20h + 000r rrrr)	000n nnnn(00h + n nnnn)
WREG	寄存器	写入 nnnnn 寄存器在地址 rrrr	010r rrrr (40h + 000r rrrr)	000n nnnn(00h + n nnnn)
OFSCAL	校准	失调校准	0110 0000 (60h)	
GANCAL	校准	增益校准	0110 0001(61h)	

在命令和字节之间以及字节内的命令之间需要 24 个 f_{CLK} 周期的延迟，从一条命令的最后一个 SCLK 上升沿开始，到下一条命令的第一个 SCLK 上升沿结束。此延迟如下图所示。

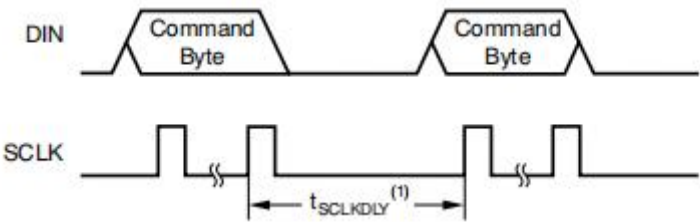


图 44 失调/增益校准时序

注：理想输出码排除噪声、线性度、失调和增益误差的影响。

⁸ X=不关心

⁹ rrrr=寄存器读/写命令的起始地址

¹⁰ nnnnn = 要读/写的寄存器数量 - 1。例如，要读/写三个寄存器，设置 nnnnn = 2 (00010)

¹¹ 在发送命令之前需要停止连续读取数据模式。

7.3.13.1 待机模式

此指令将 HWD1281 置于待机模式。在待机模式下，设备进入低功耗状态，此时低静态电流可保持寄存器设置和 SPI 接口活动。要完全关闭设备，拉低 PWDN 引脚（寄存器设置不会保存）。要退出待机模式，发送 WAKEUP 指令。待机模式操作如下图所示。

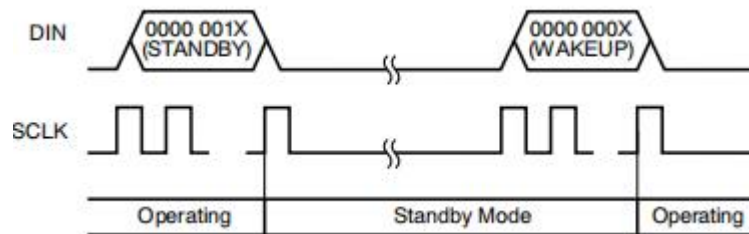


图 45 STADNBY 命令序列

7.3.13.2 同步 A/D 转换

此指令用于同步 A/D 转换。接收到此指令后，正在进行的读取操作将被取消，转换过程将重新开始。为了同步多个 HWD1281，此指令必须同时发送给所有设备。注意，同步引脚必须为高电平才能执行此指令。

7.3.13.3 启动数据读取连续模式

此指令用于启动数据读取连续模式（默认模式）。在此模式下，无需发送数据读取指令即可直接从设备读取转换数据。每次 $\overline{\text{DRDY}}$ 变低时，新的数据就可读取。

7.3.13.4 停止数据读取连续模式

此指令用于停止数据读取连续模式。在发送寄存器和数据指令之前，需要先发送此指令退出数据读取连续模式。此指令会抑制 $\overline{\text{DRDY}}$ 输出，但 HWD1281 会继续转换。

7.3.13.5 通过指令读取转换数据

指令用于读取转换数据。

7.3.13.6 读取单个或多个寄存器数据

此指令用于读取单个或多个寄存器数据。指令由一个操作码字节和后续的寄存器数据输出组成。操作码字节的第一个字节包含起始地址，第二个字节指定要读取的寄存器数量 - 1。

指令字节：001r rrrr，其中 rrrr 是第一个要读取寄存器的地址。

第二个字节：00n nnnn，其中 nnnnn 是要读取的寄存器数量 - 1。

从第 16 个 SCLK 下降沿开始，寄存器数据在 DOUT 上出现。

RREG 指令如下图所示。注意，每个字节传输之间需要 24 个 SCLK 周期的延迟。

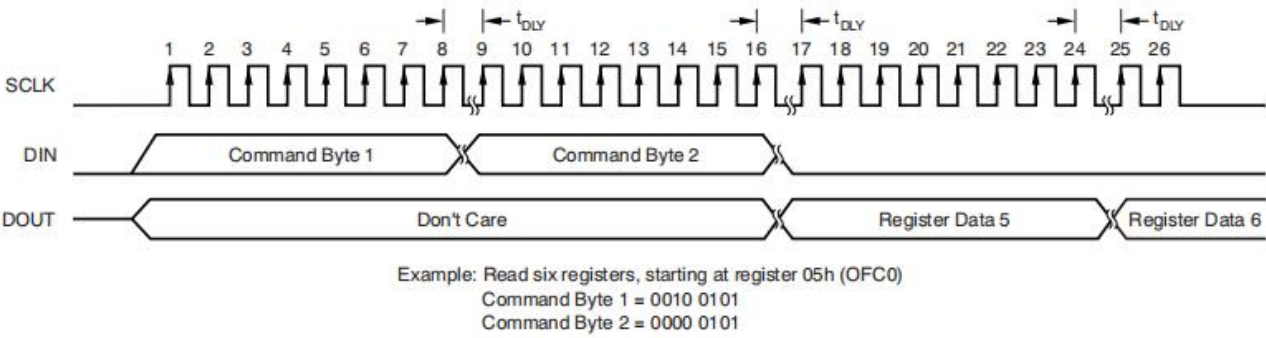


图 46 读取寄存器数据（时序图，表 25 展示了 t_{DLY} ）

7.3.13.7 写入单个或多个寄存器数据

此指令用于写入单个或多个寄存器数据。指令由一个两字节操作码和后续的寄存器输入数据组成。操作码字节的第一个字节包含目标地址，第二个字节指定要写入的寄存器数量-1。

指令字节：001r rrrr，其中 rrrrr 是第一个要写入寄存器的地址。

第二个字节：00n nnnn，其中 nnnnn 是要写入的寄存器数量-1。

下图展示了 WREG 指令。注意，每个字节传输之间需要 24 个 SCLK 周期的延迟。

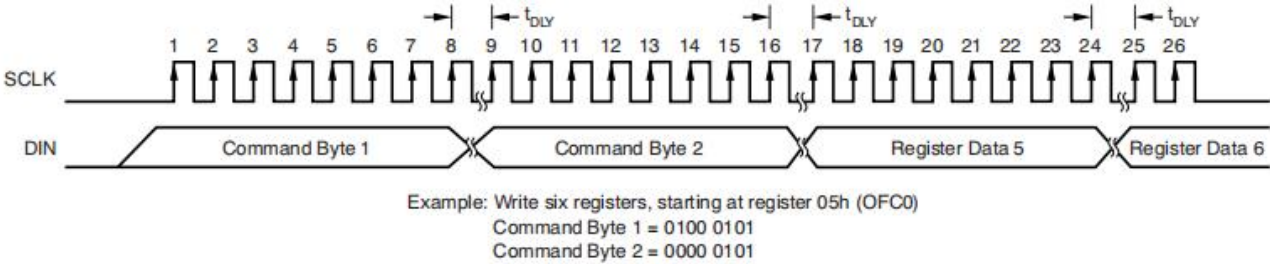


图 47 写入寄存器数据（时序图，表 25 展示了 t_{DLY} ）

7.3.13.8 失调校准

描述：此命令执行失调校准。在发送此命令之前，应将转换器（或外部前置放大器）的输入归零并使其稳定。此操作后，失调校准寄存器会更新。

7.3.13.9 增益校准

描述：此命令执行增益校准。在发送此命令之前，应将转换器的输入设置为稳定的直流输入，最好接近（但不超过）正满量程。此操作后，增益校准寄存器会更新。

表 25 t_{DLY} 值

参数	最小值
t_{DLY}	$24f_{CLK}$

7.3.14 寄存器 MAP

寄存器模式（PINMODE = 0）允许对设备寄存器进行读写访问。总的来说，这些寄存器包含了配置设

备所需的所有信息，例如数据速率、滤波器选择、校准等。这些寄存器可通过 RREG 和 WREG 命令进行访问。这些寄存器可以单独访问，也可以通过发送或接收连续字节作为一组寄存器进行访问。

表 26 寄存器 Map

地址	寄存器	复位值	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
00h	ID	C0h	ID3	ID2	ID1	ID0	0	0	0	0
01h	CONFIG0	52h	SYNC	1	DR2	DR1	DR0	PHS	FLITR1	FLITR0
02h	Reserved	08h	0	0	0	0	1	0	0	0
03h	HPF0	32h	HPF07	HPF06	HPF05	HPF04	HPF03	HPF02	HPF01	HPF00
04h	HPF1	03h	HPF15	HPF14	HPF13	HPF12	HPF11	HPF10	HPF09	HPF08
05h	OFC0	00h	OFC07	OFC06	OFC05	OFC04	OFC03	OFC02	OFC01	OFC00
06h	OFC1	00h	OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC09	OFC08
07h	OFC2	00h	OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16
08h	FSC0	00h	FSC07	FSC6	FSC5	FSC4	FSC3	FSC2	FSC1	FSC0
09h	FSC1	00h	FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC9	FSC8
0Ah	FSC2	40h	FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16

表 27 寄存器（地址 00h）

7	6	5	4	3	2	1	0
ID3	ID2	ID1	ID0	0	0	0	0

复位值 = X8h。

位[7:4] ID[3:0]

工厂编程的识别位（只读）

位[3:0] 保留

始终写入'0'

表 28 配置寄存器 0（地址 01h）

7	6	5	4	3	2	1	0
SYNC	1	DR2	DR1	DR0	PHASE	FLITER1	FLITER0

复位值 = 52h。

位[7] SYNC

同步模式

0: 脉冲同步模式（默认）

1: 连续同步模式

位[6] 保留

始终写入'1'（默认）

位[5:3] 数据速率选择（DR[2:0]）

000: 250SPS

001: 500SPS

010: 1000SPS（默认）

011: 2000SPS

100: 4000SPS

位[2] FIR 相位响应 (PHASE)

0: 线性相位 (默认)

1: 最小相位

位[1:0] 数字滤波器选择 (FILTR[1:0])

00: 片内滤波器旁路, 调制器输出模式

01: 仅 Sinc

10: Sinc + LPF (默认)

11: Sinc + LPF + HPF

表 29 保留: (地址 02h)

7	6	5	4	3	2	1	0
0	0	0	0	1	0	0	0

复位值 = 08h。

位[7:0] 保留

始终写入'08h'

HPF1 和 HPF0: 这两个字节 (分别为高字节和低字节) 设置高通滤波器的截止频率。

表 30 HPF0: 高通滤波器截止频率, 低字节 (地址 03h)

7	6	5	4	3	2	1	0
HP07	HP06	HP05	HP04	HP03	HP02	HP01	HP00

复位值 = 32h。

表 31 HPF1: 高通滤波器截止频率, 低字节 (地址 04h)

7	6	5	4	3	2	1	0
HP15	HP14	HP13	HP12	HP11	HP10	HP09	HP08

复位值 = 03h。

OFC2、OFC1、OFC0: 这三个字节设置 OFC 值。

表 32 OFC0: 失调校准, 低字节 (地址 05h)

7	6	5	4	3	2	1	0
OC07	OC06	OC05	OC04	OC03	OC02	OC01	OC00

复位值 = 00h。

表 33 OFC1: 失调校准, 低字节 (地址 06h)

复位值 = 00h。

7	6	5	4	3	2	1	0
OC15	OC14	OC13	OC12	OC11	OC10	OC09	OC08

表 34 OFC2: 失调校准, 低字节 (地址 07h)

7	6	5	4	3	2	1	0
OC23	OC22	OC21	OC20	OC19	OC18	OC17	OC16

复位值 = 00h。

FSC2、FSC1、FSC0: 这三个字节设置 FSC 值。

表 35 FSC0: 增益校准, 低字节 (地址 08h)

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

7	6	5	4	3	2	1	0
FSC07	FSC06	FSC05	FSC04	FSC03	FSC02	FSC01	FSC00

复位值 = 00h。

表 36 FSC0：增益校准，低字节（地址 09h）

7	6	5	4	3	2	1	0
FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC09	FSC08

复位值 = 00h。

表 37 FSC0：增益校准，低字节（地址 0Ah）

7	6	5	4	3	2	1	0
FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16

复位值 = 40h。

8 应用建议

HWD1281 是一款高分辨率的 ADC。需要注意供电电路和 PCB 板设计，要将微控制器和振荡器等高噪声数字元件放置在远离转换器或前端元件的 PCB 区域。将数字元件放置在电源端口附近，以保持数字电流路径较短并与敏感的模拟元件分开。

下图显示了典型的检波器接口。该应用电路中 HWD1281 和 OPA211 前置放大器采用+2.5V 电源供电。图中所示的 OPA211 增益为+4[$G=1+2(R_2/R_1)$]，这种前置放大器配置本身具有良好的共模抑制功能。49.9 欧姆电阻将驱动器输出与旁路电容隔离开来。

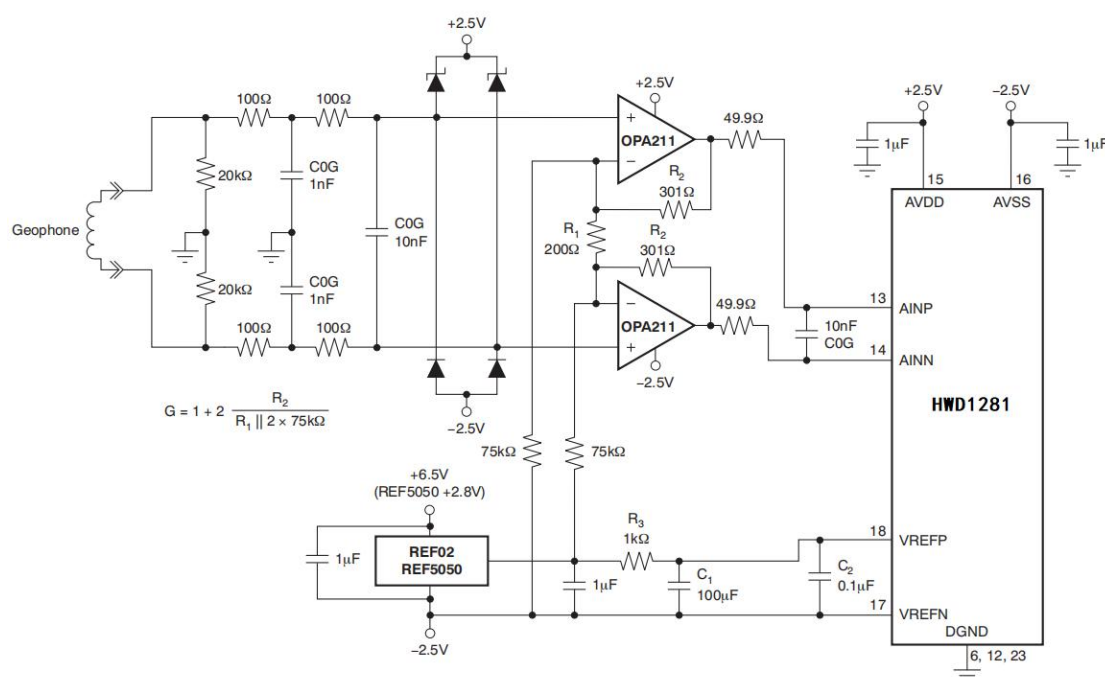


图 48 HWD1281 检波器接口，双电源配置

REF02 (+5V 基准电压) 为 HWD1281 提供基准电压。参考输出由可选的 R3 和 C1 滤波网络进行滤波。上电后，滤波器需要几秒钟才能稳定。电容 C2 提供参考输入的高频旁路，应靠近 HWD1281 引脚放置。请注意，R3 会导致系统增益误差(1.2%)。该滤波器可以在外部缓冲，以消除增益误差。

或者，也可以使用 REF5050(5V)或 REF5045 (4.5V)基准电压源。REF5045 基准电压源具有+5V 电源供电的优势。REF5050 需要+5.2V 的最小电源。

与任何精密电路一样，使用良好的电源旁路技术。将电容靠近器件引脚放置。如果使用开关 dc/dc 电源为器件供电，请检查电源的频率成分是否在 HWD1281 通带内。电压纹波应尽可能低。

下图展示了与 FPGA 器件的数字连接。本例中，两个 HWD1281 相连。可以使用两个 HWD1281 各自的 $\overline{\text{DRDY}}$ 输出；但是，当器件同步时，仅一个器件的 $\overline{\text{DRDY}}$ 输出就够了。设备之间的共享 SCLK 连线时可选

的。

每个器件的调制器超量程标志（MFLAG）与 FPGA 相关。为了实现同步，一条同步控制线连接所有 HWD1281 器件。

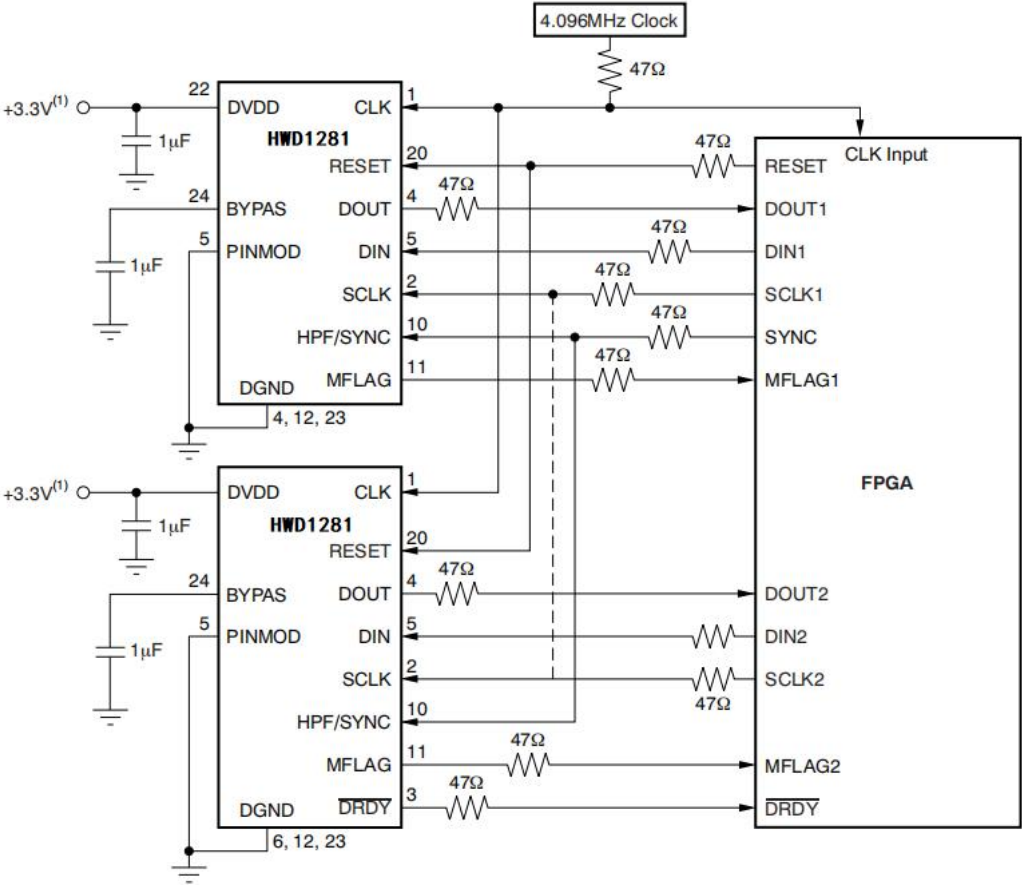


图 49 FPGA 器件应用

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物；

10 订货信息

表 38 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	引脚材料	重量（g）	详细规范
1	HWD1281TSSOP24M3	TSSOP24	塑料	N1 级	铜镀锡	0.1	Q/HWD 50346-2023
2	HWD1281	CSOP24	陶瓷	B 级	可伐合金 镀镍金	0.85	Q/HWD 20532-2019

注1:

- a) B级器件满足GJB 597B-2012 《半导体集成电路通用规范》B级的筛选要求。
- b) N1级器件满足GJB 7400A 《合格制造厂认证用半导体集成电路通用规范》N1级的筛选要求

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。