

**HWDMIN10M08 型**  
**内嵌 Flash 高速低功耗 CPLD 电路**  
**产品手册**  
**V2.1.0**

成都华微电子科技股份有限公司

2025 年 11 月 25 日

版本历史

| 版次     | 更改说明                                                                                                                                                                                                             | 更改人 | 更改日期     | 备注 |
|--------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|----------|----|
| V1.0.0 | 初始发行版本                                                                                                                                                                                                           | 叶友  | 20230815 |    |
| V1.1.0 | 1. 增加表 1 配置存储器总容量；<br>2. 将表 8 中的产品状态改为量产                                                                                                                                                                         | 叶友  | 20230918 |    |
| V2.1.0 | 更新手册模板；<br>通篇合并 HWDMIN10M08PBGA169E 和<br>HWDMIN10M08PBGA169I、HWDMIN10M08PQFP144I<br>产品内容；<br>新增引出端功能列表、差分特性参数、PLL 开关特性参<br>数、I/O 时序参数列表；<br>增加使用注意事项中 I/O 限制、PLL 注意事项、ADC 设<br>计注意事项、上电时间要求等内容；<br>修改部分文字书写错误内容。 | 叶友  | 20251125 |    |

## 目 次

|                        |    |
|------------------------|----|
| 1 概述 .....             | 1  |
| 2 产品特点 .....           | 1  |
| 3 功能框图 .....           | 2  |
| 4 封装信息 .....           | 3  |
| 4.1 封装信息 .....         | 3  |
| 4.2 焊盘推荐 .....         | 12 |
| 4.3 焊接推荐 .....         | 13 |
| 5 绝对最大额定值及推荐工作范围 ..... | 13 |
| 5.1 绝对最大额定值 .....      | 13 |
| 5.2 推荐工作范围 .....       | 14 |
| 6 电特性参数 .....          | 14 |
| 7 功能描述 .....           | 17 |
| 7.1 概述 .....           | 17 |
| 7.2 功能描述 .....         | 17 |
| 8 应用建议 .....           | 21 |
| 8.1 主板管理应用 .....       | 21 |
| 8.2 工业应用 .....         | 21 |
| 8.3 电动汽车应用 .....       | 21 |
| 8.4 测试与测量应用 .....      | 21 |
| 9 转换软件应用 .....         | 21 |
| 10 使用注意事项 .....        | 22 |
| 10.1 I/O 限制 .....      | 22 |
| 10.2 PLL 注意事项 .....    | 23 |
| 10.3 ADC 设计注意事项 .....  | 23 |
| 10.4 上电时间要求 .....      | 25 |
| 10.5 防静电注意事项 .....     | 25 |
| 11 订货信息 .....          | 26 |

## 1 概述

HWDMIN10M08是“瞬时”功能实现、非易失性CPLD、采用55nm 10层金属内嵌Flash工艺制程，芯片可编程资源类型为逻辑单元LC、M9K、DSP、PLL、ADC，最大工作频率416Mhz。相比其他CPLD，该系列CPLD具有更多资源类型、更高性能特点。HWDMIN10M08可用资源如下表所示：

表 1 HWDMIN10M08 可用资源

| 逻辑单元数 (LC) (K)       | M9K (Kb) | UFM+CFM (Kb) | 配置存储器总容量 (Kb) (1) | DSP | PLL | User IO |         | LVDS  |       |       | ADC |
|----------------------|----------|--------------|-------------------|-----|-----|---------|---------|-------|-------|-------|-----|
|                      |          |              |                   |     |     | BGA 169 | QFP 144 | 专用发送器 | 仿真发送器 | 专用接收器 |     |
| 8                    | 378      | 1376         | 2240              | 24  | 1   | 130     | 101     | 15    | 116   | 116   | 1   |
| (1) 可能的最大值，取决于选择的模式。 |          |              |                   |     |     |         |         |       |       |       |     |

## 2 产品特点

- 1) 具有单引导自配置能力的核心体系结构的器件。
- 2) “瞬时”功能实现，非易失性结构。
- 3) 内部存储的自配置双映像。
- 4) 全面的设计保护功能。
- 5) 集成带温度感应的高达 9 个输入、9bit 的 SAR 功能的 ADC。
- 6) 10 ms 以内的安全片上配置。
- 7) 集成了 RAM，闪存，数字信号处理 (DSP)，ADC，锁相环 (PLL) 和 I/O 的单一器件。
- 8) 灵活的电源方案。
- 9) 休眠模式—显著地降低了待机功耗，再启动不到 1 ms。
- 10) 支持热插拔。

3 功能框图

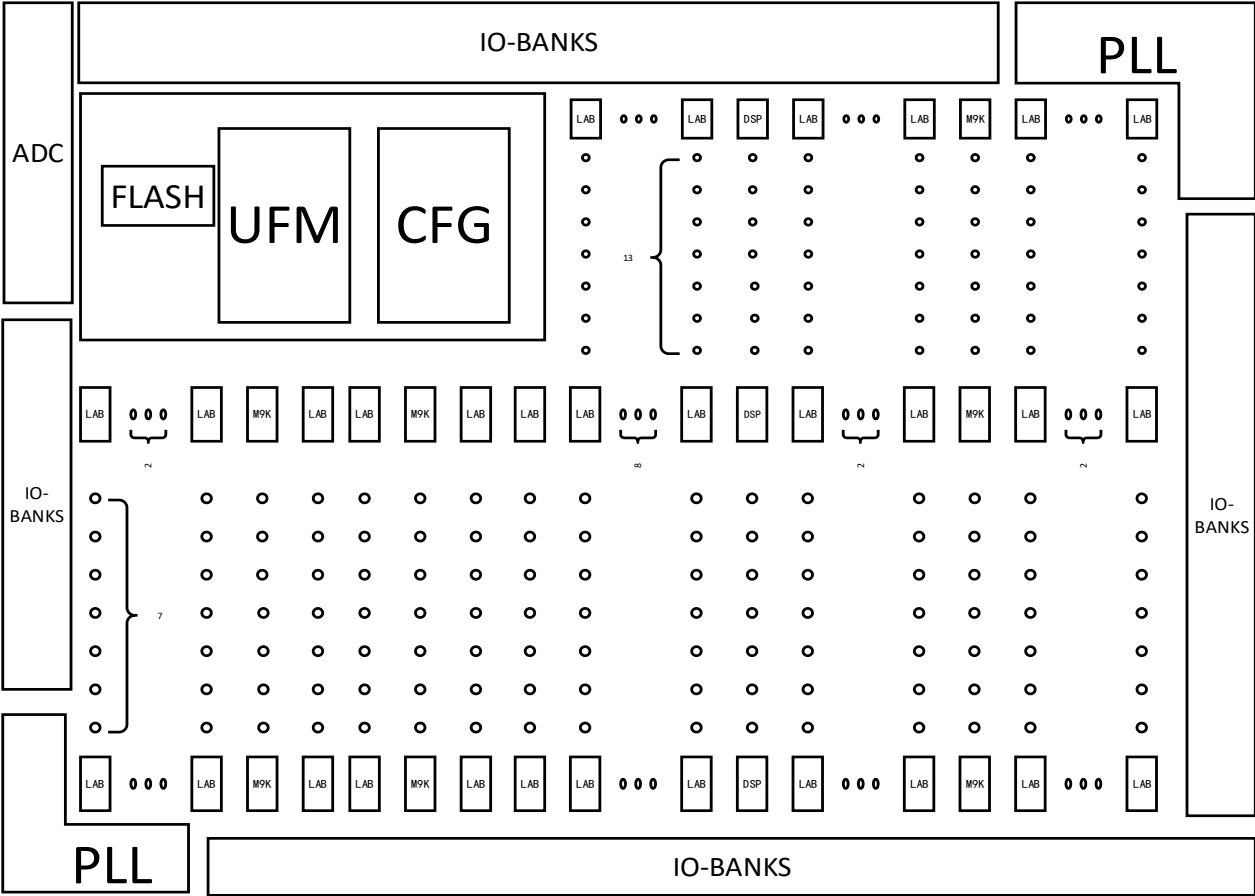


图 1 功能框图

HWDMIN10M08典型应用场景如下图所示。

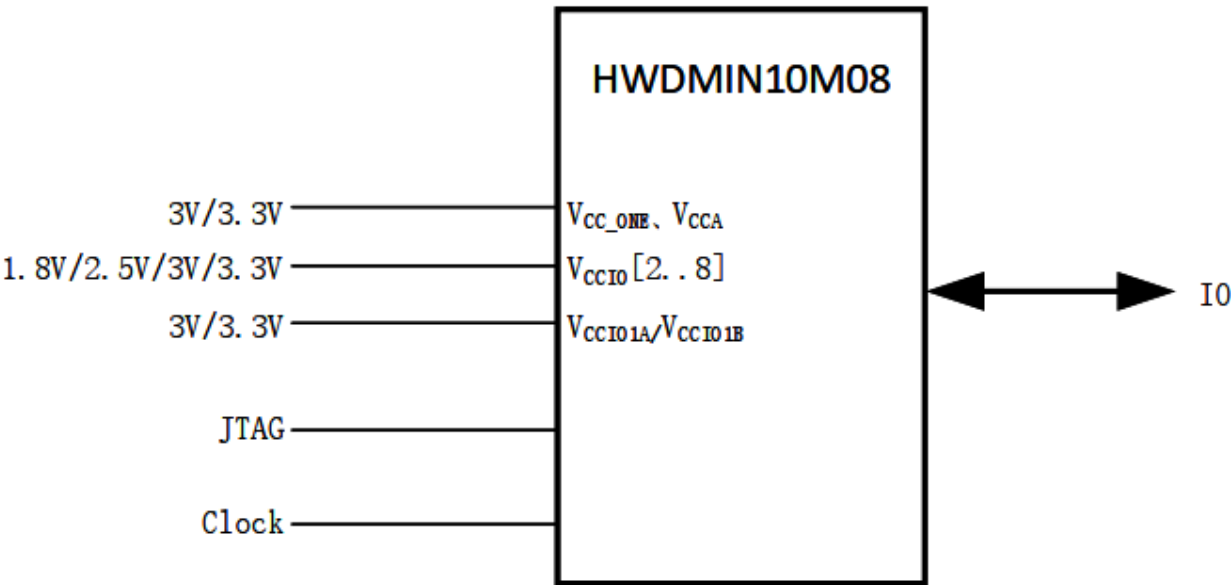


图 2 典型应用场景（外部供电模式）

## 4 封装信息

### 4.1 封装信息

引出端功能如下表所示。

表 2 引出端功能定义

| 引脚名称          | 引脚功能        | 引脚描述                                                                                                                                             |
|---------------|-------------|--------------------------------------------------------------------------------------------------------------------------------------------------|
| CLK [0..3]p   | 时钟, I/O     | 专用全局时钟输入管脚,也可用于差分全局时钟输入或用户输入管脚的正极终端输入。也可用作普通 I/O 管脚。                                                                                             |
| CLK[0..3]n    | 时钟, I/O     | 专用全局时钟输入管脚,也可用于差分全局时钟输入或用户输入管脚的负极终端输入。也可用作普通 I/O 管脚。                                                                                             |
| DPCLK[0..3]   | I/O, 输入     | DPCLK 管脚可连接到全局时钟网络, 以实现高扇出控制信号, 例如: 时钟, 异步清零, 预置和时钟使能。DPCLK 管脚不能馈送 PLL 输入。                                                                       |
| PLL_L_CLKOUTp | I/O, 输出     | PLL 的外部时钟输出的可选正极终端。如果由 PLL 输出馈送, 那么这些管脚可被分配为单端或差分 I/O 标准。                                                                                        |
| PLL_L_CLKOUTn | I/O, 输出     | PLL 的外部时钟输出的可选负极终端。如果由 PLL 输出馈送, 那么这些管脚可被分配为单端或差分 I/O 标准。                                                                                        |
| CONFIG_SEL    | Input, I/O  | 这是一个复用管脚。使用此管脚在双配置映像模式下选择配置映像。如果 CONFIG_SEL 管脚设置为低电平, 那么第一个配置映像为配置映像 0。如果 CONFIG_SEL 管脚设置为高电平, 那么第一个配置映像为配置映像 1。                                 |
| CONF_DONE     | 双向(开漏), I/O | 这是一个复用管脚。CONF_DONE 管脚在配置之前和配置期间驱动至低电平。在接收到所有配置数据和初始化周期开始之后, 释放 CONF_DONE。                                                                        |
| CRC_ERROR     | 输出(开漏), I/O | 这是一个复用管脚。高电平有效(active high)信号表示错误检测电路已经检测到配置 RAM 比特上的错误。CRC_ERROR 管脚是一个可选管脚, 在循环冗余校验(CRC)错误检测电路使能时使用。                                            |
| DEV_CLRn      | 输入, I/O     | 这是一个复用管脚。可选的芯片范围的复位管脚, 能够覆盖所有器件寄存器上的所有清零。<br>当此管脚驱动至低电平时, 所有寄存器均被清零; 当此管脚驱动至高电平时, 所有寄存器均按程序运行。DEV_CLRn 管脚不影响 JTAG 边界扫描和编程操作。                     |
| DEV_OE        | 输入, I/O     | 这是一个复用管脚。可选管脚, 能够覆盖器件上的所有三态。<br>当此管脚驱动至低电平时, 所有 I/O 管脚均为三态; 当此管脚驱动至高电平时, 所有 I/O 管脚均按程序运行。                                                        |
| JTAGEN        | I/O         | 这是一个复用管脚。此管脚根据 JTAG 管脚共享选项比特的设置来工作。<br>如果 JTAG 管脚共享没有使能, 那么 JTAGEN 管脚是一个普通 I/O 管脚, 并且 JTAG 管脚用作 JTAG 专用管脚。<br>如果 JTAG 管脚共享使能, 并且 JTAGEN 管脚拉低, 那么 |

| 引脚名称                  | 引脚功能                       | 引脚描述                                                                                                                                                                                                                                                  |
|-----------------------|----------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|                       |                            | JTAG 管脚用作复用管脚。<br>如果 JTAG 管脚共享使能，并且 JTAGEN 管脚拉高，那么 JTAG 管脚用作 JTAG 专用管脚。                                                                                                                                                                               |
| nCONFIG               | 输入，I/O                     | 这是一个复用管脚，在用户模式下用作 nCONFIG 管脚或者单端输入管脚。在用户模式之前，这些管脚用作配置管脚。在配置模式期间，管脚名称为 nCONFIG。在用户模式期间，管脚名称为 Input_only。<br>如果在用户模式期间拉低此管脚，那么器件将会丢失其配置数据，进入复位状态，并且三态(tri-state)所有 I/O 管脚。将此管脚拉至一个逻辑高电平会启动重配置。                                                          |
| nSTATUS               | 双向(开漏)，I/O                 | 这是一个复用管脚，在用户模式下用作 nSTATUS 管脚或者普通用户 I/O 管脚。默认情况下，nSTATUS 管脚是用户模式下的一个专用配置管脚。<br>器件在上电后立即驱低 nSTATUS 管脚，并且在上电复位(POR)时间后释放此管脚。<br>作为状态输出，如果在配置期间发生错误，那么 nSTATUS 管脚将被拉低。<br>作为状态输入，在配置或初始化期间，当 nSTATUS 管脚被外部源驱低时，器件进入错误状态。                                  |
| TCK                   | 输入，I/O                     | JTAG 测试时钟输入管脚。这是一个复用管脚。                                                                                                                                                                                                                               |
| TDO                   | 输出，I/O                     | 这是一个复用管脚，在用户模式下用作 JTAG TDO 管脚或者普通用户 I/O 管脚。                                                                                                                                                                                                           |
| TDI                   | 输入，I/O                     | 这是一个复用管脚，在用户模式下用作 JTAG TDI 管脚或者普通用户 I/O 管脚。<br>通过将 TDI 管脚连接到 VCCIO Bank 1B，可以禁用 JTAG 电路。                                                                                                                                                              |
| TMS                   | 输入，I/O                     | 这是一个复用管脚，在用户模式下用作 JTAG TMS 管脚或者普通用户 I/O 管脚。<br>通过将 TMS 管脚连接到 VCCIO Bank 1B，可以禁用 JTAG 电路。                                                                                                                                                              |
| DIFFIO_RX_L[#:#][n,p] | I/O, 专用 RX 通道，仿真 LVDS 输出通道 | 当用作差分输入时，这些是左侧 I/O bank 上的真 LVDS 接收器通道。后缀为"p"的管脚为差分通道传送正信号。后缀为"n"的管脚为差分通道传送负信号。如果不用于差分信号发送，那么这些管脚可作用用户 I/O 管脚。<br>当用作差分输出时，这些是左侧 I/O bank 上的真 LVDS 输出通道。仿真 LVDS 输出缓冲器需要外部电阻网络。后缀为"p"的管脚为差分通道传送正信号。后缀为"n"的管脚为差分通道传送负信号。如果不用于差分信号发送，那么这些管脚可作用用户 I/O 管脚。 |
| DIFFIO_RX_R[#:#][n,p] | I/O, 专用 RX 通道，仿真 LVDS 输出通道 | 当用作差分输入时，这些是右侧 I/O bank 上的真 LVDS 接收器通道。后缀为"p"的管脚为差分通道传送正信号。后缀为"n"的管脚为差分通道传送负信号。如果不用于差分信号发送，那么这些管脚可作用用户 I/O 管脚。                                                                                                                                        |

| 引脚名称                     | 引脚功能                        | 引脚描述                                                                                                                                                                                                                                                  |
|--------------------------|-----------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|                          | 道                           | 发送，那么这些管脚可作用用户 I/O 管脚。<br>当用作差分输出时，这些是右侧 I/O bank 上的真 LVDS 输出通道。仿真 LVDS 输出缓冲器需要外部电阻网络。后缀为"p"的管脚为差分通道传送正信号。后缀为"n"的管脚为差分通道传送负信号。如果不用于差分信号发送，那么这些管脚可作用用户 I/O 管脚。                                                                                         |
| DIFFIO_RX_T[#:#][n,p]    | I/O, 专用 RX 通道, 仿真 LVDS 输出通道 | 当用作差分输入时，这些是顶部 I/O bank 上的真 LVDS 接收器通道。后缀为"p"的管脚为差分通道传送正信号。后缀为"n"的管脚为差分通道传送负信号。如果不用于差分信号发送，那么这些管脚可作用用户 I/O 管脚。<br>当用作差分输出时，这些是顶部 I/O bank 上的真 LVDS 输出通道。仿真 LVDS 输出缓冲器需要外部电阻网络。后缀为"p"的管脚为差分通道传送正信号。后缀为"n"的管脚为差分通道传送负信号。如果不用于差分信号发送，那么这些管脚可作用用户 I/O 管脚。 |
| DIFFIO_RX_B[#:#][n,p]    | I/O, 专用 RX 通道, 仿真 LVDS 输出通道 | 当用作差分输入时，这些是底部 I/O bank 上的真 LVDS 接收器通道。后缀为"p"的管脚为差分通道传送正信号。后缀为"n"的管脚为差分通道传送负信号。如果不用于差分信号发送，那么这些管脚可作用用户 I/O 管脚。<br>当用作差分输出时，这些是底部 I/O bank 上的真 LVDS 输出通道。仿真 LVDS 输出缓冲器需要外部电阻网络。后缀为"p"的管脚为差分通道传送正信号。后缀为"n"的管脚为差分通道传送负信号。如果不用于差分信号发送，那么这些管脚可作用用户 I/O 管脚。 |
| DIFFIO_TX_RX_B[#:#][n,p] | I/O, 专用 TX/RX 通道            | 这些是底部 I/O bank 上的真 LVDS 发送器通道或者真 LVDS 接收器通道。后缀为"p"的管脚为差分通道传送正信号。后缀为"n"的管脚为差分通道传送负信号。如果不用于差分信号发送，那么这些管脚可作用用户 I/O 管脚。                                                                                                                                   |
| VREFB<#>N0               | Power, I/O                  | 这些管脚是复用管脚。对于 Bank 1A 和 1B，VREF 管脚是共享的。每个 I/O bank 的输入参考电压。如果一个 bank 对输入操作使用一个电压参考的 I/O 标准，那么将这些管脚用作此 bank 的电压参考管脚。                                                                                                                                    |
| GND                      | 接地                          | 器件接地管脚。                                                                                                                                                                                                                                               |
| ADC1IN[1..8]             | I/O, 输入                     | 这些多用途管脚支持单端模拟输入，或者 bank 不同时支持模拟和数字信号。当不用作模拟输入管脚时，这些管脚可用作任何其他数字 I/O 管脚。<br>ADCIN[8]管脚支持预分频器(prescaler)特性。<br>ADC1IN[1..8]管脚用于单电源供电器件。                                                                                                                  |
| ADC_VREF                 | 输入                          | 模数转换器(ADC)电压参考输入。                                                                                                                                                                                                                                     |
| ANAIN1                   | 输入                          | 这是 ADC1 的专用单端模拟输入管脚。                                                                                                                                                                                                                                  |
| REFGND                   | 输入                          | 此管脚是模拟管脚的 ADC 接地参考管脚。                                                                                                                                                                                                                                 |

| 引脚名称       | 引脚功能 | 引脚描述                                                                                                                                |
|------------|------|-------------------------------------------------------------------------------------------------------------------------------------|
| VCC_ONE    | 电源   | 通过一个片上稳压器，用于内核和外设的电源管脚。<br>电压从内部调节至 1.2V，以对内核和外设供电。                                                                                 |
| VCCIO[#]   | 电源   | 用于 bank 1 到 bank 8 的 I/O 电源电压管脚。每个 bank 支持不同的电压电平。<br>VCCIO 管脚对所有 I/O 标准的 bank 1 到 bank 8 的输入和输出缓冲器提供电源。<br>VCCIO 管脚对 JTAG 和配置管脚上电。 |
| VCCA[1..6] | 电源   | 用于 PLL 和 ADC 模块的电源管脚。                                                                                                               |

4.1.1 HWDMIN10M08PBGA169 封装信息

HWDMIN10M08PBGA169采用塑料BGA169封装，外形及引脚排列图如下图所示。

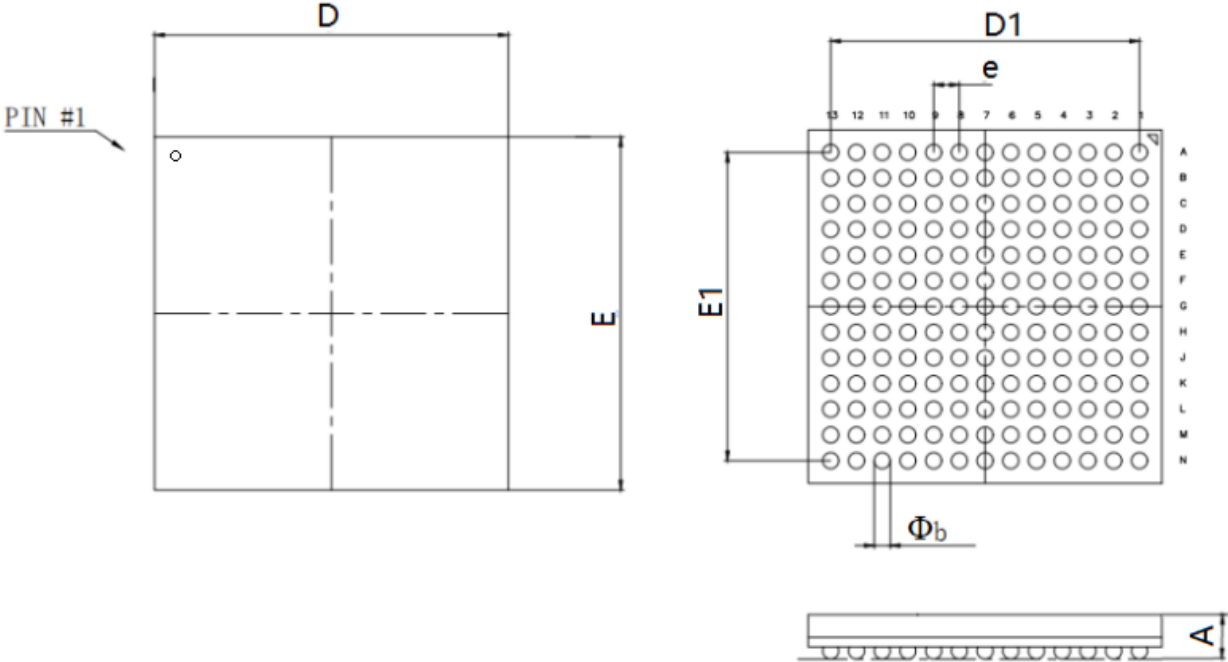


图 3 HWDMIN10M08PBGA169 封装外形图及引脚排列图

HWDMIN10M08PBGA169的塑料BGA169封装尺寸信息如下表所示。

表 3 HWDMIN10M08PBGA169 尺寸信息

| 尺寸符号 | 数值（单位：mm） |      |       |
|------|-----------|------|-------|
|      | 最小        | 公称   | 最大    |
| A    | 1.18      | —    | 1.58  |
| D    | 10.80     | —    | 11.20 |
| E    | 10.80     | —    | 11.20 |
| D1   | —         | 9.60 | —     |
| E1   | —         | 9.60 | —     |

| 尺寸符号 | 数值（单位：mm） |      |      |
|------|-----------|------|------|
|      | 最小        | 公称   | 最大   |
| e    | —         | 0.80 | —    |
| Φb   | 0.40      | —    | 0.60 |

HWDMIN10M08PBGA169引脚描述如下表所示。

**表 4 HWDMIN10M08PBGA169 引脚描述**

| 引出端序号 | 符号                           | 引出端序号 | 符号                    |
|-------|------------------------------|-------|-----------------------|
| D1    | DIFFIO_RX_L1n/ADC1IN1        | J13   | DIFFIO_RX_R9p         |
| C2    | DIFFIO_RX_L1p/ADC1IN2        | H10   | DIFFIO_RX_R8n         |
| E3    | DIFFIO_RX_L3n/ADC1IN3        | H13   | DIFFIO_RX_R9n         |
| E4    | DIFFIO_RX_L3p/ADC1IN4        | H9    | DIFFIO_RX_R10p        |
| C1    | DIFFIO_RX_L5n/ADC1IN5        | G13   | DIFFIO_RX_R11p        |
| B1    | DIFFIO_RX_L5p/ADC1IN6        | H8    | DIFFIO_RX_R10n        |
| F1    | DIFFIO_RX_L7n/ADC1IN7        | G12   | DIFFIO_RX_R11n        |
| E1    | DIFFIO_RX_L7p/ADC1IN8        | G9    | DIFFIO_RX_R14p/CLK2p  |
| E5    | JTAGEN                       | G10   | DIFFIO_RX_R14n/CLK2n  |
| G1    | DIFFIO_RX_L11n/TMS           | F13   | DIFFIO_RX_R16p/CLK3p  |
| H1    | VREFB1N0                     | E13   | DIFFIO_RX_R16n/CLK3n  |
| G2    | DIFFIO_RX_L11p/TCK           | F12   | DIFFIO_RX_R18p        |
| F5    | DIFFIO_RX_L12n/TDI           | E12   | DIFFIO_RX_R18n        |
| F6    | DIFFIO_RX_L12p/TDO           | F9    | DIFFIO_RX_R26p/DPCLK3 |
| F4    | DIFFIO_RX_L14n               | D13   | VREFB6N0              |
| G4    | DIFFIO_RX_L14p               | F10   | DIFFIO_RX_R26n/DPCLK2 |
| H2    | DIFFIO_RX_L16n               | C13   | IO                    |
| H3    | DIFFIO_RX_L16p               | F8    | DIFFIO_RX_R27p        |
| G5    | DIFFIO_RX_L18n/CLK0n         | B12   | DIFFIO_RX_R28p        |
| J1    | DIFFIO_RX_L19n               | E9    | DIFFIO_RX_R27n        |
| H6    | DIFFIO_RX_L18p/CLK0p         | B11   | DIFFIO_RX_R28n        |
| J2    | DIFFIO_RX_L19p               | C12   | DIFFIO_RX_R29p        |
| H5    | DIFFIO_RX_L20n/CLK1n         | B13   | DIFFIO_RX_R30p        |
| M1    | DIFFIO_RX_L21n               | C11   | DIFFIO_RX_R29n        |
| H4    | DIFFIO_RX_L20p/CLK1p         | A12   | DIFFIO_RX_R30n        |
| M2    | DIFFIO_RX_L21p               | E10   | DIFFIO_RX_R31p        |
| N2    | DIFFIO_RX_L22n/DPCLK0        | D9    | DIFFIO_RX_R31n        |
| L1    | VREFB2N0                     | D12   | DIFFIO_RX_R33p        |
| N3    | DIFFIO_RX_L22p/DPCLK1        | D11   | DIFFIO_RX_R33n        |
| L2    | IO                           | C10   | DIFFIO_RX_T14p        |
| M3    | DIFFIO_RX_L27n/PLL_L_CLKOUTn | A8    | DIFFIO_RX_T15p        |
| K1    | DIFFIO_RX_L28n               | C9    | DIFFIO_RX_T14n        |
| L3    | DIFFIO_RX_L27p/PLL_L_CLKOUTp | A9    | DIFFIO_RX_T15n        |
| K2    | DIFFIO_RX_L28p               | B10   | DIFFIO_RX_T16p        |

| 引出端序号 | 符号                | 引出端序号                                                            | 符号                       |
|-------|-------------------|------------------------------------------------------------------|--------------------------|
| L5    | DIFFIO_TX_RX_B1n  | A10                                                              | DIFFIO_RX_T17p           |
| M4    | DIFFIO_RX_B2n     | B9                                                               | DIFFIO_RX_T16n/DEV_CLRn  |
| L4    | DIFFIO_TX_RX_B1p  | A11                                                              | DIFFIO_RX_T17n           |
| M5    | DIFFIO_RX_B2p     | D8                                                               | DIFFIO_RX_T18p/DEV_OE    |
| K5    | DIFFIO_TX_RX_B3n  | E8                                                               | DIFFIO_RX_T18n           |
| N4    | DIFFIO_RX_B4n     | B7                                                               | VREFB8N0                 |
| J5    | DIFFIO_TX_RX_B3p  | D7                                                               | CONFIG_SEL               |
| N5    | DIFFIO_RX_B4p     | A7                                                               | DIFFIO_RX_T19p           |
| N6    | DIFFIO_TX_RX_B5n  | E7                                                               | nCONFIG                  |
| N7    | DIFFIO_RX_B6n     | A6                                                               | DIFFIO_RX_T19n           |
| M7    | DIFFIO_TX_RX_B5p  | B6                                                               | DIFFIO_RX_T20p           |
| N8    | DIFFIO_RX_B6p     | A4                                                               | DIFFIO_RX_T21p           |
| J6    | DIFFIO_TX_RX_B7n  | B5                                                               | DIFFIO_RX_T20n           |
| M8    | DIFFIO_RX_B8n     | A3                                                               | DIFFIO_RX_T21n           |
| K6    | DIFFIO_TX_RX_B7p  | E6                                                               | DIFFIO_RX_T22p           |
| M9    | DIFFIO_RX_B8p     | B3                                                               | DIFFIO_RX_T23p           |
| J7    | DIFFIO_TX_RX_B9n  | D6                                                               | DIFFIO_RX_T22n/CRC_ERROR |
| N11   | VREFB3N0          | B4                                                               | DIFFIO_RX_T23n           |
| K7    | DIFFIO_TX_RX_B9p  | C4                                                               | DIFFIO_RX_T24p/nSTATUS   |
| N12   | IO                | A5                                                               | IO                       |
| M13   | DIFFIO_TX_RX_B10n | C5                                                               | DIFFIO_RX_T24n/CONF_DONE |
| N10   | DIFFIO_RX_B11n    | A2                                                               | DIFFIO_RX_T26p           |
| M12   | DIFFIO_TX_RX_B10p | B2                                                               | DIFFIO_RX_T26n           |
| N9    | DIFFIO_RX_B11p    | N13, N1, M6, L9, J4,<br>H12, G7, F3, E11, D5,<br>C3, B8, A13, A1 | GND                      |
| M11   | DIFFIO_TX_RX_B12n | E2                                                               | REFGND                   |
| L11   | DIFFIO_TX_RX_B12p | F2                                                               | VCCIO1A                  |
| J8    | DIFFIO_TX_RX_B14n | G3                                                               | VCCIO1B                  |
| K8    | DIFFIO_TX_RX_B14p | K3, J3                                                           | VCCIO2                   |
| M10   | DIFFIO_TX_RX_B16n | L8, L7, L6                                                       | VCCIO3                   |
| L10   | DIFFIO_TX_RX_B16p | J11, H11                                                         | VCCIO5                   |
| K10   | DIFFIO_RX_R1p     | G11, F11                                                         | VCCIO6                   |
| K11   | DIFFIO_RX_R2p     | C8, C7, C6                                                       | VCCIO8                   |
| J10   | DIFFIO_RX_R1n     | K4                                                               | VCCA1                    |
| L12   | DIFFIO_RX_R2n     | D10                                                              | VCCA2                    |
| K12   | DIFFIO_RX_R7p     | D4                                                               | VCCA3                    |
| L13   | IO                | K9                                                               | VCCA4                    |
| J12   | DIFFIO_RX_R7n     | H7, G8, G6, F7                                                   | VCC_ONE                  |
| K13   | VREFB5N0          | D3                                                               | ADC_VREF                 |
| J9    | DIFFIO_RX_R8p     | D2                                                               | ANAIN1                   |

4.1.2 HWDMIN10M08PQFP144 封装信息

HWDMIN10M08PQFP144采用塑料QFP144封装，外形及引脚排列图如下图所示。

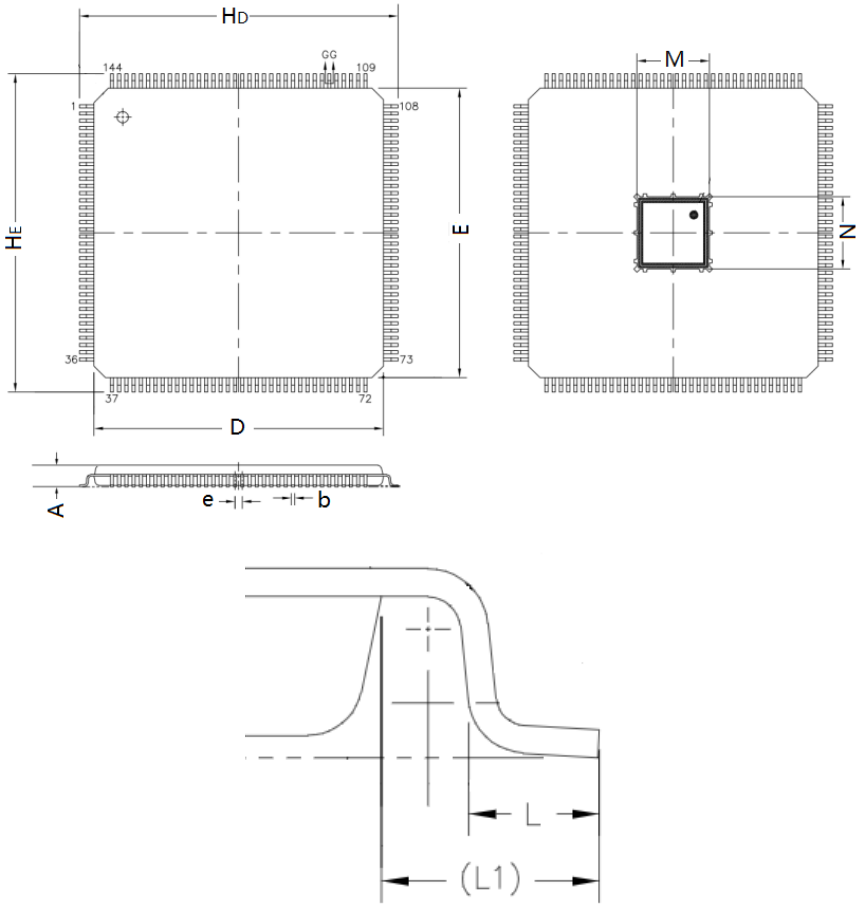


图 4 HWDMIN10M08PQFP144 封装外形图及引脚排列图

HWDMIN10M08PQFP144的塑料QFP144封装尺寸信息如下表所示。

表 5 HWDMIN10M08PQFP144 尺寸信息

| 尺寸符号 | 数值（单位：mm） |      |       |
|------|-----------|------|-------|
|      | 最小        | 公称   | 最大    |
| A    | —         | —    | 1.70  |
| b    | 0.14      | —    | 0.30  |
| HD   | 21.40     | —    | 22.60 |
| HE   | 21.40     | —    | 22.60 |
| D    | 19.50     | —    | 20.50 |
| E    | 19.50     | —    | 20.50 |
| e    | —         | 0.50 | —     |
| M    | 4.80      | —    | 5.20  |
| N    | 4.90      | —    | 5.20  |

| 尺寸符号 | 数值（单位：mm） |     |      |
|------|-----------|-----|------|
|      | 最小        | 公称  | 最大   |
| L    | 0.45      | 0.6 | 0.75 |
| L1   | 1 REF     |     |      |

HWDMIN10M08PQFP144引脚描述如下表所示。

**表 6 HWDMIN10M08PQFP144 引脚描述**

| 引出端序号 | 符号                               | 引出端序号 | 符号                      |
|-------|----------------------------------|-------|-------------------------|
| 6     | DIFFIO_RX_L1n/ADC1IN1            | 86    | DIFFIO_RX_R11n          |
| 7     | DIFFIO_RX_L1p/ADC1IN2            | 88    | DIFFIO_RX_R14p/CLK2p    |
| 8     | DIFFIO_RX_L3n/ADC1IN3            | 89    | DIFFIO_RX_R14n/CLK2n    |
| 10    | DIFFIO_RX_L3p/ADC1IN4            | 90    | DIFFIO_RX_R16p/CLK3p    |
| 11    | DIFFIO_RX_L5n/ADC1IN5            | 91    | DIFFIO_RX_R16n/CLK3n    |
| 12    | DIFFIO_RX_L5p/ADC1IN6            | 92    | DIFFIO_RX_R18p          |
| 13    | DIFFIO_RX_L7n/ADC1IN7            | 93    | DIFFIO_RX_R18n          |
| 14    | DIFFIO_RX_L7p/ADC1IN8            | 96    | DIFFIO_RX_R26p/DPCLK3   |
| 15    | JTAGEN                           | 97    | VREFB6N0                |
| 16    | DIFFIO_RX_L11n/TMS               | 98    | DIFFIO_RX_R26n/DPCLK2   |
| 17    | VREFB1N0                         | 99    | DIFFIO_RX_R27p          |
| 18    | DIFFIO_RX_L11p/TCK               | 100   | DIFFIO_RX_R28p          |
| 19    | DIFFIO_RX_L12n/TDI               | 101   | DIFFIO_RX_R27n          |
| 20    | DIFFIO_RX_L12p/TDO               | 102   | DIFFIO_RX_R28n          |
| 21    | DIFFIO_RX_L14n                   | 105   | DIFFIO_RX_R33p          |
| 22    | DIFFIO_RX_L14p                   | 106   | DIFFIO_RX_R33n          |
| 24    | DIFFIO_RX_L16n                   | 110   | DIFFIO_RX_T1p           |
| 25    | DIFFIO_RX_L16p                   | 111   | DIFFIO_RX_T1n           |
| 26    | DIFFIO_RX_L18n/CLK0n             | 112   | VREFB7N0                |
| 27    | DIFFIO_RX_L18p/CLK0p             | 113   | IO                      |
| 28    | DIFFIO_RX_L20n/CLK1n             | 114   | IO                      |
| 29    | DIFFIO_RX_L20p/CLK1p             | 118   | DIFFIO_RX_T10p          |
| 30    | VREFB2N0                         | 119   | DIFFIO_RX_T10n          |
| 32    | DIFFIO_RX_L27n/PLL_L_CLKO<br>UTn | 120   | DIFFIO_RX_T16p          |
| 33    | DIFFIO_RX_L27p/PLL_L_CLKO<br>UTp | 121   | DIFFIO_RX_T16n/DEV_CLRn |
| 38    | DIFFIO_TX_RX_B1n                 | 122   | DEV_OE                  |
| 39    | DIFFIO_TX_RX_B1p                 | 123   | VREFB8N0                |
| 41    | DIFFIO_TX_RX_B3n                 | 126   | CONFIG_SEL              |
| 43    | DIFFIO_TX_RX_B3p                 | 124   | DIFFIO_RX_T19p          |
| 44    | DIFFIO_TX_RX_B5n                 | 129   | nCONFIG                 |
| 45    | DIFFIO_TX_RX_B5p                 | 127   | DIFFIO_RX_T19n          |
| 46    | DIFFIO_TX_RX_B7n                 | 130   | DIFFIO_RX_T20p          |

| 引出端序号 | 符号                | 引出端序号                                     | 符号                       |
|-------|-------------------|-------------------------------------------|--------------------------|
| 47    | DIFFIO_TX_RX_B7p  | 131                                       | DIFFIO_RX_T20n           |
| 50    | DIFFIO_TX_RX_B9n  | 132                                       | DIFFIO_RX_T22p           |
| 48    | VREFB3N0          | 134                                       | DIFFIO_RX_T22n/CRC_ERROR |
| 52    | DIFFIO_TX_RX_B9p  | 135                                       | IO                       |
| 54    | IO                | 136                                       | DIFFIO_RX_T24p/nSTATUS   |
| 55    | DIFFIO_TX_RX_B12n | 138                                       | DIFFIO_RX_T24n/CONF_DONE |
| 56    | DIFFIO_TX_RX_B12p | 140                                       | DIFFIO_RX_T26p           |
| 57    | DIFFIO_TX_RX_B14n | 141                                       | DIFFIO_RX_T26n           |
| 58    | DIFFIO_TX_RX_B14p | 95,83,68,63,53,42,142,137,133,125,116,104 | GND                      |
| 59    | DIFFIO_TX_RX_B16n | 4                                         | REFGND                   |
| 60    | DIFFIO_TX_RX_B16p | 9                                         | VCCIO1A                  |
| 61    | VREFB4N0          | 23                                        | VCCIO1B                  |
| 62    | IO                | 31                                        | VCCIO2                   |
| 64    | DIFFIO_TX_RX_B23n | 49,40                                     | VCCIO3                   |
| 65    | DIFFIO_TX_RX_B23p | 67                                        | VCCIO4                   |
| 66    | IO                | 82                                        | VCCIO5                   |
| 69    | DIFFIO_TX_RX_B27n | 94,103                                    | VCCIO6                   |
| 70    | DIFFIO_TX_RX_B27p | 117                                       | VCCIO7                   |
| 75    | DIFFIO_RX_R1p     | 139,128                                   | VCCIO8                   |
| 74    | DIFFIO_RX_R2p     | 35                                        | VCCA1                    |
| 77    | DIFFIO_RX_R1n     | 34                                        | VCCA2                    |
| 76    | DIFFIO_RX_R2n     | 107                                       | VCCA3                    |
| 79    | DIFFIO_RX_R7p     | 143                                       | VCCA4                    |
| 78    | IO                | 71                                        | VCCA5                    |
| 81    | DIFFIO_RX_R7n     | 2                                         | VCCA6                    |
| 80    | VREFB5N0          | 73,72,51,37,36,144,115,109,108,1          | VCC_ONE                  |
| 85    | DIFFIO_RX_R10p    | 5                                         | ADC_VREF                 |
| 84    | DIFFIO_RX_R11p    | 3                                         | ANAIN1                   |
| 87    | DIFFIO_RX_R10n    |                                           |                          |

## 4.2 焊盘推荐

HWDMIN10M08PBGA169焊盘推荐如下图所示，用户可根据焊接要求进行调整。

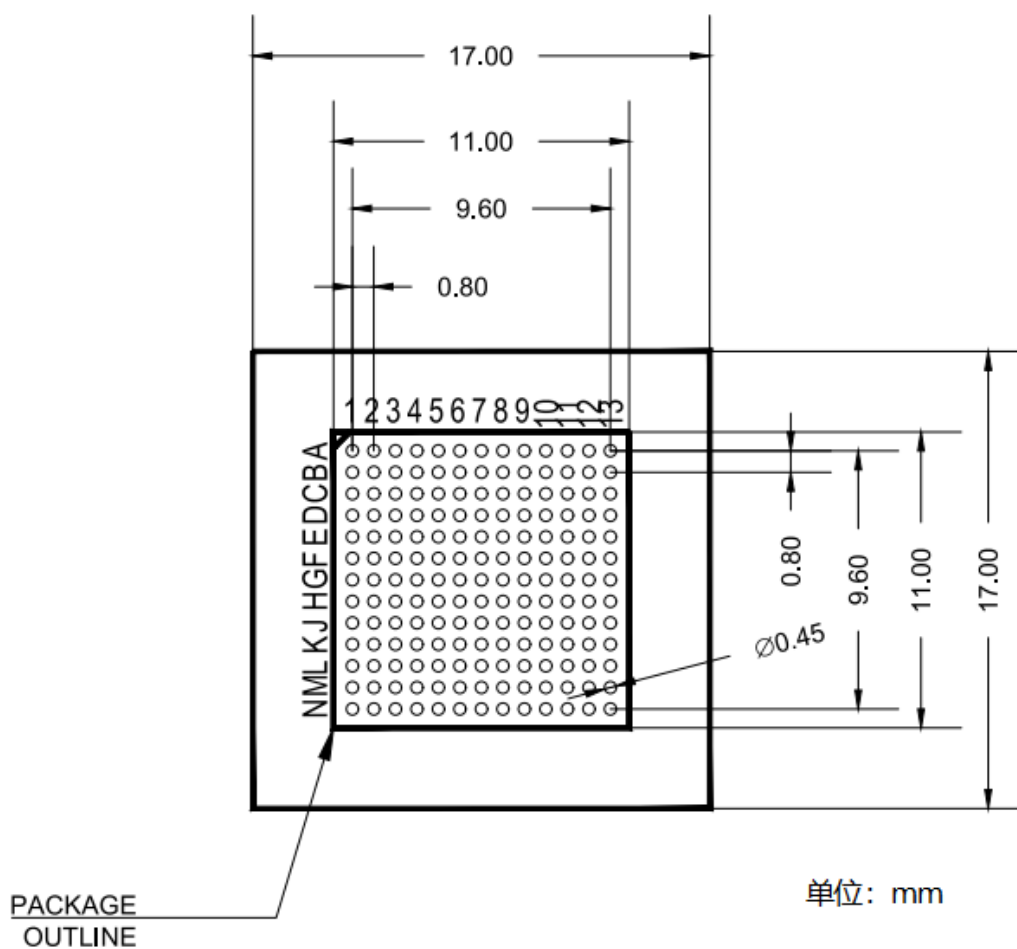


图 5 HWDMIN10M08PBGA169 推荐焊盘图

HWDMIN10M08PQFP144焊盘推荐如下图所示，用户可根据焊接要求进行调整。

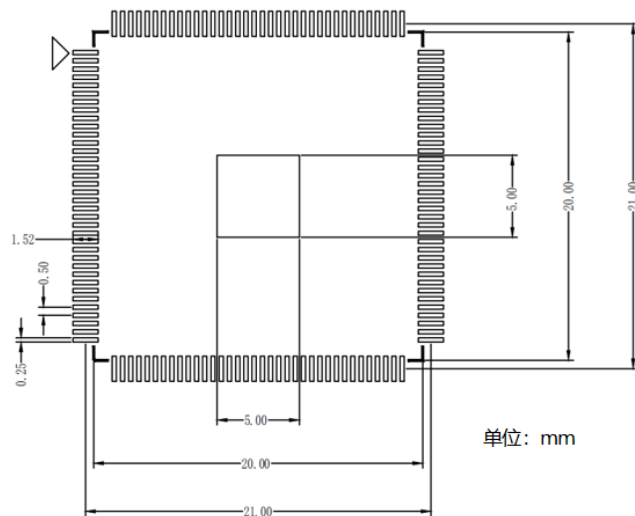


图 6 HWDMIN10M08PQFP144 推荐焊盘图

4.3 焊接推荐

HWDMIN10M08属于表面贴装器件，推荐再流焊焊接，推荐无铅回流曲线如下。

|                  |                             |
|------------------|-----------------------------|
| 回流加热方式           | 热风对流，红外/热风对流                |
| 加热速度             | 最大 3℃/s                     |
| 预热温度 150℃~200℃   | 60s~120s                    |
| 熔点以上温度保持时间（回流时间） | 60s~120s                    |
| 低于峰值温度 5℃以内的保持时间 | 最大 30s                      |
| 引脚或焊球峰值温度        | 最低 235℃，典型温度 245℃，不超过 260℃  |
| 降温速度             | 最大 6℃/s                     |
| 室温到峰值温度时间        | 最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟 |
| 建议焊膏             | ALPHA OM338 SAC305          |
| 备注               | 请根据选用的焊膏特性作相应的调整            |

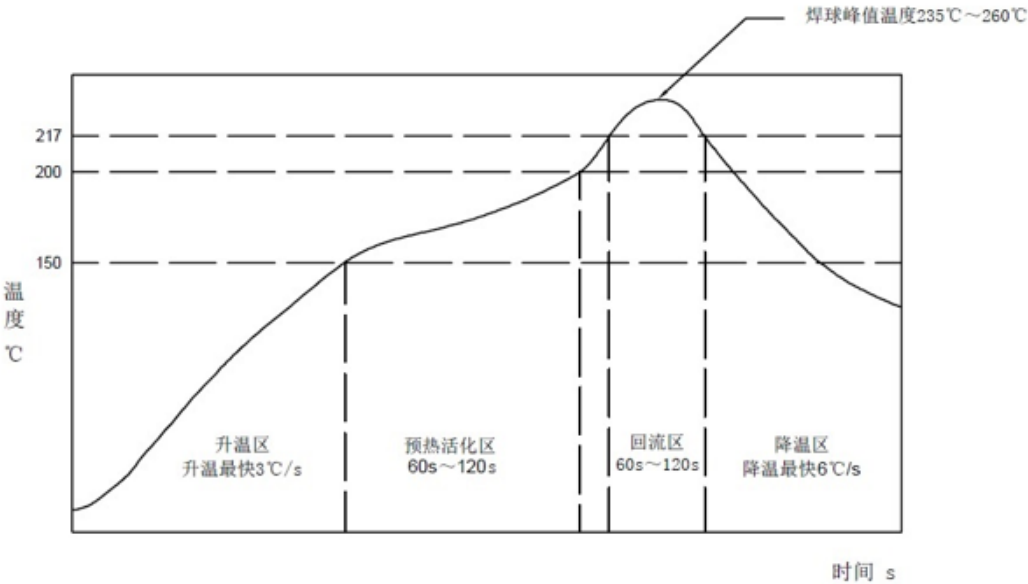


图 7 推荐无铅回流曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

表 7 绝对最大额定值

| 序号 | 参数名称                              | 参数值        |
|----|-----------------------------------|------------|
| 1  | 内核电源电压（V <sub>CC_ONE</sub> ）      | -0.5V~3.9V |
| 2  | I/O 电源电压（V <sub>CCIO</sub> ）      | -0.5V~3.9V |
| 3  | PLL 和 ADC 电源电压（V <sub>CCA</sub> ） | -0.5V~3.9V |

| 序号 | 参数名称                  | 参数值         |
|----|-----------------------|-------------|
| 4  | DC 输入电压 ( $V_I$ )     | -0.5V~4.12V |
| 5  | DC 输出电流 ( $I_{OUT}$ ) | -25mA~25mA  |
| 6  | 贮存温度范围 ( $T_{stg}$ )  | -65°C~150°C |
| 7  | 引线耐焊接温度 ( $T_h$ )     | 260°C       |

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

## 5.2 推荐工作范围

表 8 推荐工作范围

| 序号 | 参数名称                                 | 参数值                       |
|----|--------------------------------------|---------------------------|
| 1  | 内核电源电压 ( $V_{CC\_ONE}$ )             | 3.135V~3.465V/2.85V~3.15V |
| 2  | PLL 和 ADC 电源电压 ( $V_{CCA}$ )         | 3.135V~3.465V/2.85V~3.15V |
| 3  | I/O 电源电压 ( $V_{CCIO1A}/V_{CCIO1B}$ ) | 3.135V~3.465V/2.85V~3.15V |
| 4  | 3.3V I/O 电源电压 ( $V_{CCIO}[2..8]$ )   | 3.135V~3.465V             |
| 5  | 3.0V I/O 电源电压 ( $V_{CCIO}[2..8]$ )   | 2.85V~3.15V               |
| 6  | 2.5V I/O 电源电压 ( $V_{CCIO}[2..8]$ )   | 2.375V~2.625V             |
| 7  | 1.8V I/O 电源电压 ( $V_{CCIO}[2..8]$ )   | 1.71V~1.89V               |
| 8  | DC 输入电压 ( $V_I$ )                    | -0.5V~3.6V                |
| 9  | DC 输出电压 ( $V_O$ )                    | 0V~VCCIO                  |
| 10 | 工作环境温度 ( $T_A$ ) (N1 级/军温级)          | -55°C~125°C               |
| 11 | 工作环境温度 ( $T_A$ ) (工业级)               | -40°C~85°C                |

## 6 电特性参数

表 9 电特性

| 参数             | 符号            | 条 件<br>(除另有规定, $V_{CC\_ONE}=3.0V/3.3V$ ,<br>$V_{CCA}=3.0V/3.3V$ , $V_{CCIO}=2.5V$ ) | 最小值     | 最大值   | 单位      |
|----------------|---------------|-------------------------------------------------------------------------------------|---------|-------|---------|
| 内核电压           | $V_{CC\_ONE}$ | —                                                                                   | 3.0/3.3 |       | V       |
| IO 电压          | $V_{CCIO}$    | 3.3V 工作条件下                                                                          | 3.135   | 3.465 | V       |
|                |               | 3.0V 工作条件下                                                                          | 2.85    | 3.15  | V       |
|                |               | 2.5V 工作条件下                                                                          | 2.375   | 2.625 | V       |
|                |               | 1.8V 工作条件下                                                                          | 1.71    | 1.89  | V       |
| PLL 和 ADC 电源电压 | $V_{CCA}$     | —                                                                                   | 3.0/3.3 |       | V       |
| 输入漏电流          | $I_I$         | $V_{CC\_ONE}=3.0V/3.3V$ , $V_{CCIO}=3.0V/3.3V$ ,<br>$V_I=3.0V/3.3V$ 或 0V            | -10     | 10    | $\mu A$ |

| 参数                     | 符号              | 条 件<br>(除另有规定, $V_{CC\_ONE}=3.0V/3.3V$ ,<br>$V_{CCA}=3.0V/3.3V$ , $V_{CCIO}=2.5V$ ) | 最小值            | 最大值            | 单位      |
|------------------------|-----------------|-------------------------------------------------------------------------------------|----------------|----------------|---------|
| I/O 输出阻态漏电流            | $I_{OZ}$        | $V_{CC\_ONE}=3.0V/3.3V$ , $V_{CCIO}=3.0V/3.3V$ ,<br>$V_O=3.0V/3.3V$ 或 $0V$          | -10            | 10             | $\mu A$ |
| ADC_VREF 引脚漏电流         | $I_{ADC\_VREF}$ | $V_{CC\_ONE}=3.0V/3.3V$ , $V_I=3.0V/3.3V$ 或 $0V$                                    | —              | 20             | $\mu A$ |
| VCC_ONE 核电源静态电流        | $I_{CC\_ONE}$   | $V_{CC\_ONE}=3.0V/3.3V$ , $V_{CCIO}=3.0V/3.3V$ ,<br>无负载                             | —              | 150            | mA      |
| VCCA 静态电流              | $I_{VCCA}$      | $V_{CC\_ONE}=3.0V/3.3V$ , $V_{CCIO}=3.0V/3.3V$ ,<br>$V_{CCA}=3.0V/3.3V$ , 无负载       | —              | 100            | mA      |
| 差分非线性度                 | DNL             | 外部 $V_{REF}$ , 无码丢失                                                                 | -2             | 2              | LSB     |
|                        |                 | 内部 $V_{REF}$ , 无码丢失                                                                 | -3             | 3              | LSB     |
| 积分非线性度                 | INL             |                                                                                     | -5             | 5              | LSB     |
| 3.3V-LVTTL:            |                 |                                                                                     |                |                |         |
| 输入低电平电压                | $V_{IL}$        | $V_{CCIO}=3.3V$                                                                     | -0.3           | 0.8            | V       |
| 输入高电平电压                | $V_{IH}$        | $V_{CCIO}=3.3V$                                                                     | 1.8            | 3.6            | V       |
| 输出低电平电压                | $V_{OL}$        | $V_{CCIO}=3.3V$ , $I_{OL}=4mA$ ,                                                    | —              | 0.40           | V       |
| 输出高电平电压                | $V_{OH}$        | $V_{CCIO}=3.3V$ , $I_{OH}=-4mA$ ,                                                   | 2.4            | —              | V       |
| 3.3V-LVCMOS:           |                 |                                                                                     |                |                |         |
| 输入低电平电压                | $V_{IL}$        | $V_{CCIO}=3.3V$                                                                     | -0.3           | 0.8            | V       |
| 输入高电平电压                | $V_{IH}$        | $V_{CCIO}=3.3V$                                                                     | 1.8            | 3.6            | V       |
| 输出低电平电压                | $V_{OL}$        | $V_{CCIO}=3.3V$ , $I_{OL}=2mA$ ,                                                    | —              | 0.20           | V       |
| 输出高电平电压                | $V_{OH}$        | $V_{CCIO}=3.3V$ , $I_{OH}=-2mA$ ,                                                   | $V_{CCIO}-0.4$ | —              | V       |
| 3.3V-Schmitt Trigger:  |                 |                                                                                     |                |                |         |
| 输入低电平电压                | $V_{IL}$        | $V_{CCIO}=3.3V$                                                                     | -0.3           | 0.8            | V       |
| 输入高电平电压                | $V_{IH}$        | $V_{CCIO}=3.3V$                                                                     | 1.7            | $V_{CCIO}+0.3$ | V       |
| 3.0V-LVTTL:            |                 |                                                                                     |                |                |         |
| 输入低电平电压                | $V_{IL}$        | $V_{CCIO}=3.0V$                                                                     | -0.3           | 0.8            | V       |
| 输入高电平电压                | $V_{IH}$        | $V_{CCIO}=3.0V$                                                                     | 1.8            | $V_{CCIO}+0.3$ | V       |
| 输出低电平电压                | $V_{OL}$        | $V_{CCIO}=3.0V$ , $I_{OL}=4mA$ ,                                                    | —              | 0.45           | V       |
| 输出高电平电压                | $V_{OH}$        | $V_{CCIO}=3.0V$ , $I_{OH}=-4mA$ ,                                                   | 2.4            | —              | V       |
| 3.0V-LVCMOS:           |                 |                                                                                     |                |                |         |
| 输入低电平电压                | $V_{IL}$        | $V_{CCIO}=3.0V$                                                                     | -0.3           | 0.8            | V       |
| 输入高电平电压                | $V_{IH}$        | $V_{CCIO}=3.0V$                                                                     | 1.8            | $V_{CCIO}+0.3$ | V       |
| 输出低电平电压                | $V_{OL}$        | $V_{CCIO}=3.0V$ , $I_{OL}=0.1mA$ ,                                                  | —              | 0.2            | V       |
| 输出高电平电压                | $V_{OH}$        | $V_{CCIO}=3.0V$ , $I_{OH}=-0.1mA$ ,                                                 | $V_{CCIO}-0.2$ | —              | V       |
| 2.5V-LVTTL and LVCMOS: |                 |                                                                                     |                |                |         |

| 参数                     | 符号       | 条 件<br>(除另有规定, $V_{CC\_ONE}=3.0V/3.3V$ ,<br>$V_{CCA}=3.0V/3.3V$ , $V_{CCIO}=2.5V$ ) | 最小值                   | 最大值                   | 单位    |
|------------------------|----------|-------------------------------------------------------------------------------------|-----------------------|-----------------------|-------|
| 输入低电平电压                | $V_{IL}$ | $V_{CCIO} = 2.5V$                                                                   | -0.3                  | 0.7                   | V     |
| 输入高电平电压                | $V_{IH}$ | $V_{CCIO} = 2.5V$                                                                   | 1.7                   | $V_{CCIO}+0.3$        | V     |
| 输出低电平电压                | $V_{OL}$ | $V_{CCIO} = 2.5V$ , $I_{OL}=1mA$ ,                                                  | —                     | 0.4                   | V     |
| 输出高电平电压                | $V_{OH}$ | $V_{CCIO} = 2.5V$ , $I_{OH} = -1mA$                                                 | 2                     | —                     | V     |
| 2.5V- Schmitt Trigger: |          |                                                                                     |                       |                       |       |
| 输入低电平电压                | $V_{IL}$ | $V_{CCIO} = 2.5V$                                                                   | -0.3                  | 0.7                   | V     |
| 输入高电平电压                | $V_{IH}$ | $V_{CCIO} = 2.5V$                                                                   | 1.7                   | $V_{CCIO}+0.3$        | V     |
| 1.8V-LVTTL and LVCMOS: |          |                                                                                     |                       |                       |       |
| 输入低电平电压                | $V_{IL}$ | $V_{CCIO} = 1.8V$                                                                   | -0.3                  | $0.3 \times V_{CCIO}$ | V     |
| 输入高电平电压                | $V_{IH}$ | $V_{CCIO} = 1.8V$                                                                   | $0.7 \times V_{CCIO}$ | 2.25                  | V     |
| 输出低电平电压                | $V_{OL}$ | $V_{CCIO} = 1.8V$ , $I_{OL}=2mA$ ,                                                  | —                     | 0.45                  | V     |
| 输出高电平电压                | $V_{OH}$ | $V_{CCIO} = 1.8V$ , $I_{OH} = -2mA$                                                 | $V_{CCIO}-0.45$       | —                     | V     |
| ADC 分辨率                | —        |                                                                                     | —                     | 9                     | bits  |
| 总谐波失真                  | THD      | $F_{IN} = 50 \text{ kHz}$ , $F_S = 1 \text{ MHz}$ , PLL                             | —                     | -58                   | dB    |
| 采样率                    | $F_S$    | 累积采样率                                                                               | —                     | 1                     | Msp/s |
| 内部时钟最大工作频率             |          | $\leq 416$                                                                          |                       |                       | MHz   |

表 10 差分特性参数

| 特 性       | 符号               | 条 件<br>(除另有规定, V <sub>CC_ONE</sub> =3.0V/3.3V,<br>V <sub>CCA</sub> =3.0V/3.3V, V <sub>CCIO</sub> =2.5V) | 极限值   |       | 单 位 |
|-----------|------------------|---------------------------------------------------------------------------------------------------------|-------|-------|-----|
|           |                  |                                                                                                         | 最小    | 最大    |     |
| LVDS 直流规范 |                  |                                                                                                         |       |       |     |
| 输入差分电压    | V <sub>ID</sub>  |                                                                                                         | 100   | —     | mV  |
| 输入共模电压    | V <sub>ICM</sub> | D <sub>MAX</sub> ≤ 500 Mbps                                                                             | 0.05  | 1.8   | V   |
|           |                  | 500 Mbps ≤ D <sub>MAX</sub> ≤ 700 Mbps                                                                  | 0.55  | 1.8   | V   |
|           |                  | 700 Mbps < D <sub>MAX</sub> ≤ 800 Mbps                                                                  | 1.05  | 1.55  | V   |
| 输出差模电压    | V <sub>OD</sub>  |                                                                                                         | 247   | 600   | mV  |
| 输出共模电压    | V <sub>OS</sub>  |                                                                                                         | 1.125 | 1.375 | V   |

表 11 PLL 开关特性参数

| 特 性    | 符号       | 条 件<br>(除另有规定,<br>$V_{CC\_ONE}=3.0V/3.3V$ ,<br>$V_{CCA}=3.0V/3.3V$ , $V_{CCIO}=2.5V$ ) | 极限值 |       | 单位  |
|--------|----------|----------------------------------------------------------------------------------------|-----|-------|-----|
|        |          |                                                                                        | 最小  | 最大    |     |
| 输入时钟频率 | $f_{IN}$ |                                                                                        | 5   | 472.5 | MHz |

| 特 性                              | 符号             | 条 件<br>(除另有规定,<br>$V_{CC\_ONE}=3.0V/3.3V$ ,<br>$V_{CCA}=3.0V/3.3V$ , $V_{CCIO}=2.5V$ ) | 极限值 |       | 单位  |
|----------------------------------|----------------|----------------------------------------------------------------------------------------|-----|-------|-----|
|                                  |                |                                                                                        | 最小  | 最大    |     |
|                                  | $f_{INPFD}$    |                                                                                        | 5   | 325   | MHz |
| PLL 内部电压控制<br>振荡器 (VCO) 操作<br>范围 | $f_{VCO}$      |                                                                                        | 600 | 1300  | MHz |
| PLL 作为外部时钟<br>输出时的输出频率           | $f_{OUT\_EXT}$ |                                                                                        | —   | 472.5 | MHz |
|                                  | $f_{OUT}$      |                                                                                        | —   | 450   | MHz |

表 12 I/O 时序参数列表

| 特 性           | 符号           | 条 件<br>(除另有规定, $V_{CC\_ONE}=3.0V/3.3V$ ,<br>$V_{CCA}=3.0V/3.3V$ , $V_{CCIO}=2.5V$ ) | 极限值  |    | 单<br>位 |
|---------------|--------------|-------------------------------------------------------------------------------------|------|----|--------|
|               |              |                                                                                     | 最小   | 最大 |        |
| 全局时钟建立时间      | $T_{su}$     |                                                                                     | -3.5 | —  | ns     |
| 全局时钟保持时间      | $T_h$        |                                                                                     | 3.5  | —  | ns     |
| 全局时钟到输出的延时    | $T_{co}$     |                                                                                     | —    | 12 | ns     |
| Pin to Pin 延时 | $T_{pd}$     |                                                                                     | —    | 13 | ns     |
| 配置时间          | $t_{CONFIG}$ |                                                                                     | —    | 10 | ms     |

## 7 功能描述

### 7.1 概述

图 1 为 HWDMIN10M08 的架构框图。芯片架构采用多阵列矩阵，架构组成单元包括：含有 4 输入查找表和单一寄存器逻辑单元 (LC) 的逻辑阵列模块 LAB，通用 I/O，用户闪存模块 (UFM)、嵌入式 RAM (M9K)，嵌入式乘法器 (DSP)、ADC 和 PLL 等。

### 7.2 功能描述

#### 7.2.1 LAB 模块功能描述

逻辑阵列块中的每个 LAB 包含 16 个逻辑单元 (LCs)。LC 是逻辑的一小部分，可提供用户逻辑功能的有效实现。LAB 在整个设备上分为行和列。MultiTrack 互连可在 LAN 之间提供快速的精细定时延迟。LC 之间的快速路由可为逻辑和全局路由互连结构的附加级别提供最小的时序延迟。

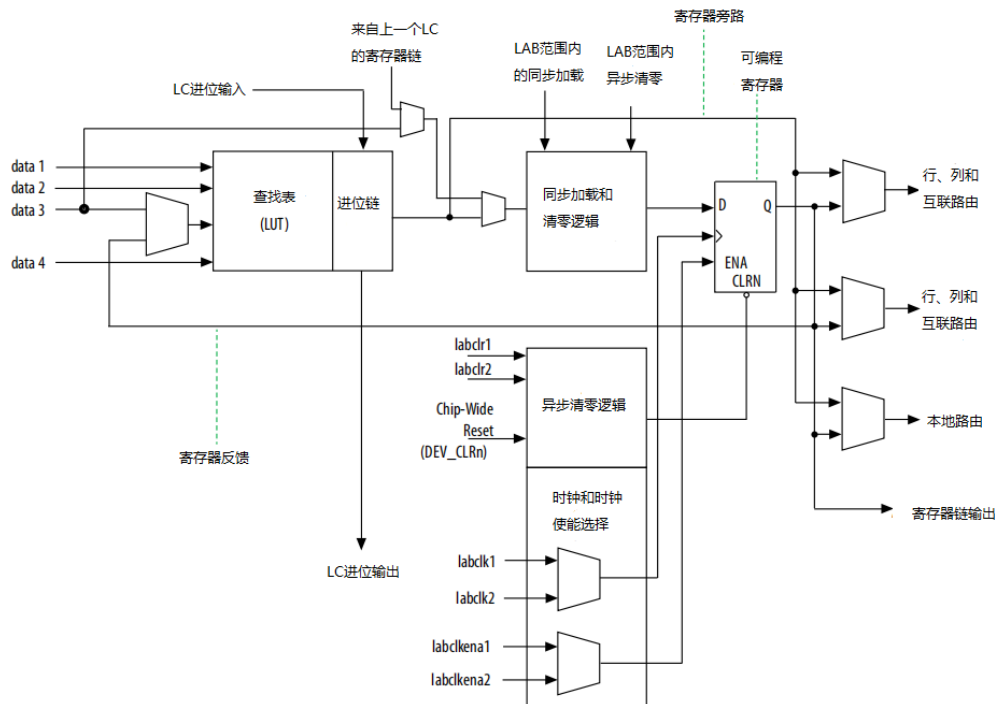


图 8 逻辑单元电路框图

## 7.2.2 I/O 模块功能描述

HWDMIN10M08 每行或每列的 I/O Bank 与其临近的 LAB 和行/列布线通道相接，行 I/O Bank 驱动行互联通道、列 I/O Bank 驱动列互联通道。行 I/O Bank 最多包含 9 个 IOE 单元，列 I/O Bank 最多包含 11 个 IOE 单元。器件的 I/O Bank 分为不同的 I/O Bank，每个 I/O Bank 都有专门的 VCCIO 供电引脚，其决定这个 I/O Bank 所支持的电平标准，VCCIO 可支持接入 3.3V/3.0V/2.5V/1.8V 多种电压；每个独立的 I/O Bank 可以支持不同的电平标准。

## 7.2.3 UFM 模块功能描述

HWDMIN10M08 具有单个 UFM 模块，可像串行 EEPROM 一样分别用于存储高达 1376 位的非易失性信息。UFM 模块通过多通道互连连接到逻辑阵列，允许任何 LC 连接到 UFM 模块。逻辑数组用于创建客户接口或协议逻辑，以在设备外部接口 UFM 块数据。UFM 模块有以下功能：

- 非易失性存储；
- UFM 模块内使用振荡器进行读取和程序操作；
- UFM 块的专用电路自动生成必要的内部编程和擦除算法；
- 自动增量寻址；
- UFM 模块支持具有串行地址和数据信号的串行接口。

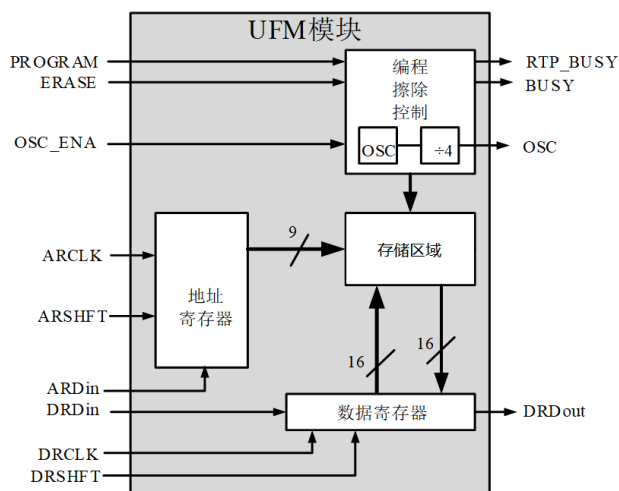


图9 UFM 模块电路结构

## 7.2.4 M9K 模块功能描述

嵌入式存储器结构由 M9K 存储器模块列组成。HWDMIN10M08 中嵌入式存储器结构包含 9,216 bit（包括奇偶校验位）模块。可以通过使用不同宽度和配置的每个 M9K 模块，以提供各种存储器功能，例如 RAM、ROM、移位寄存器和 FIFO。

另外，HWDMIN10M08 中的每个 M9K 存储器模块都提供一个能够运行在高达 284 MHz 的 9 Kb 的片上存储器。可以通过级联存储器模块以形成更宽或更深的逻辑结构。

## 7.2.5 DSP 模块功能描述

嵌入式乘法器可配置成一个  $18 \times 18$  乘法器或者两个  $9 \times 9$  乘法器。对于那些位宽大于  $18 \times 18$  的乘法运算，可以通过级联实现。乘法器数据的位宽没有限制，但数据位宽越大，乘法运算就会越慢。

在 HWDMIN10M08 中，共有 24 个 DSP，最多可配置成 48 个  $9 \times 9$  乘法器或 24 个  $18 \times 18$  乘法器。

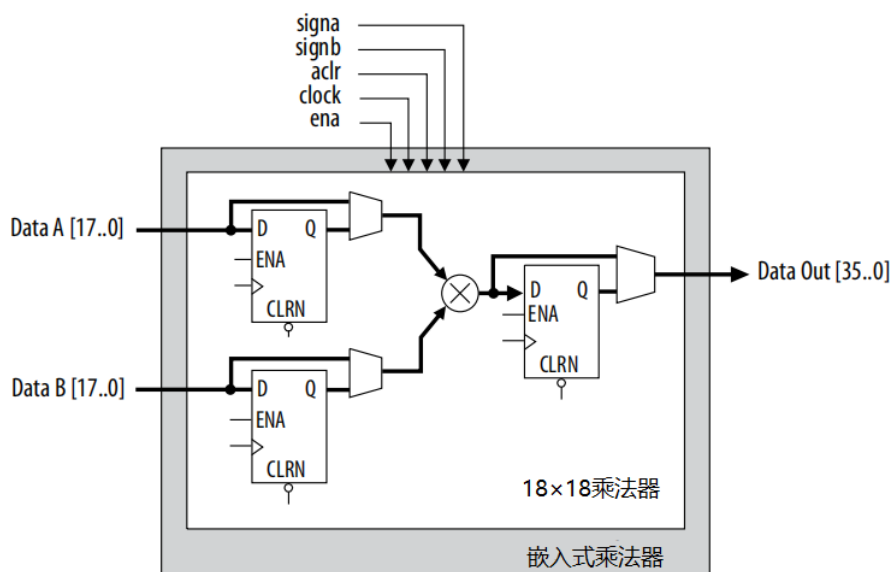


图10 DSP 模块电路图

### 7.2.6 ADC 模块功能描述

HWDMIN10M08 的 ADC 最多可以支持 8 个复用通道和 1 个模拟专用通道，ADC 内部支持差分输入模式和离散采样模式。

模数转换器（ADC），提供一个 9 bit 数字表示观测到的模拟信号。该模块为 HWDMIN10M08 提供片上温度监控和外部模拟信号的片内模数转换能力。ADC 解决方案提供了内置性能，可以将模拟量转换成数字数据，以用于信息处理、计算、数据传输和控制系统。

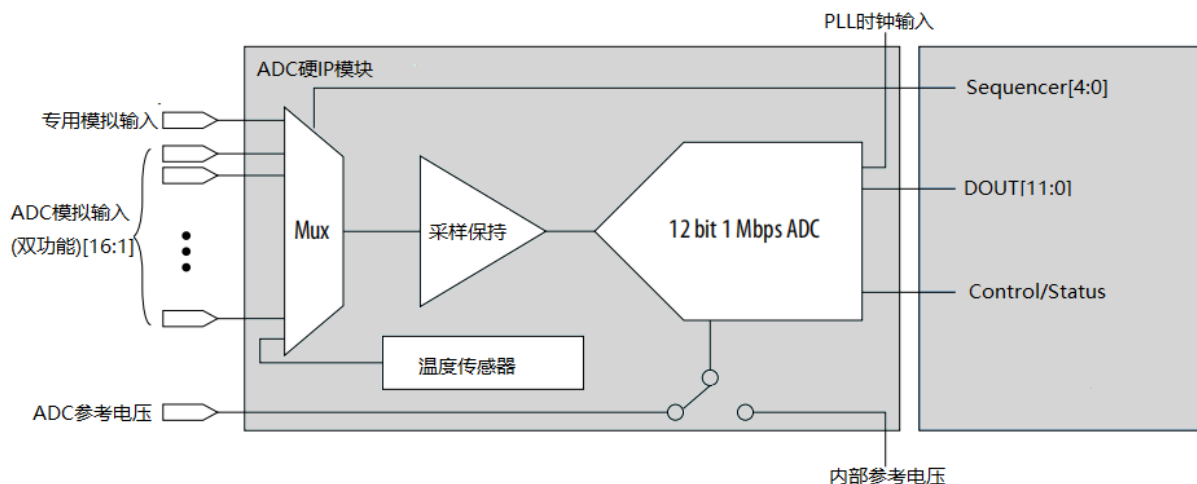


图 11 ADC 电路结构框图

### 7.2.7 PLL 模块功能描述

HWDMIN10M08 的 PLL 均采用三阶 II 类电荷泵锁相环设计，该模块为芯片提供了低抖动、低偏移、灵活的频率合成的时钟资源。其主要用途是将压控振荡器(VCO)的相位和频率同步到输入参考时钟。PLL 的核心主要分为计数器、鉴频鉴相器、电荷泵环路、滤波器和压控振荡器。计数器采用的是可编程设计，可根据不同的设计需求配置不同的分频比例。电荷泵电流大小可配置，以便在要求快速锁定时可实现 PLL 的快速频率捕捉。

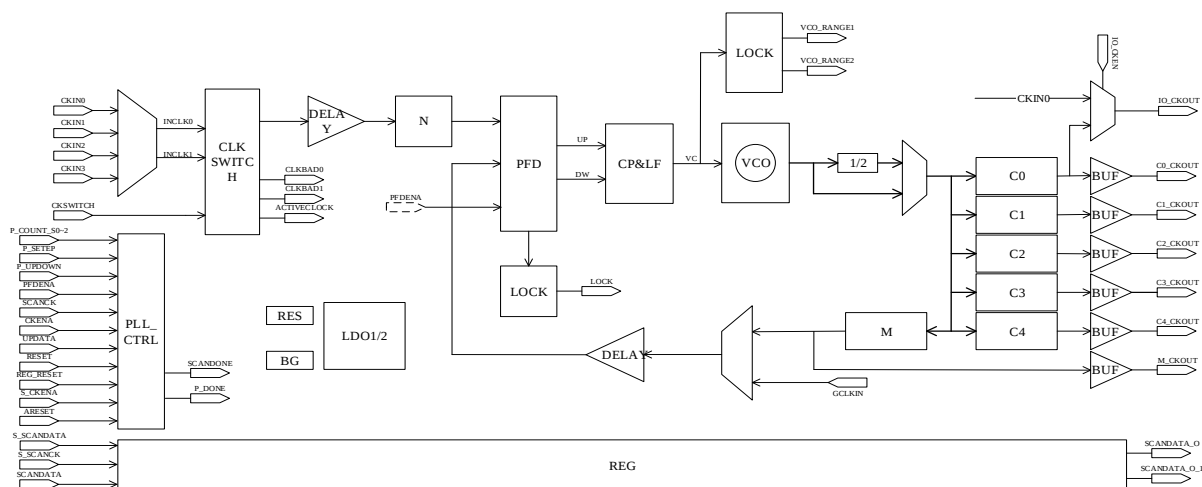


图 12 PLL 电路结构图

## 8 应用建议

### 8.1 主板管理应用

HWDMIN10M08 可以提供一款出色的 PMIC 解决方案，将瞬时开机、模拟输入和数字控制功能完美融为一体。除了 PMIC 功能之外，HWDMIN10M08 设备还借助集成式片上温度传感二极管以及对众多片外温度传感器的支持，提供了出色的散热管理支持。

### 8.2 工业应用

HWDMIN10M08 可以通过低延迟控制环路实现电机控制，并提供高精度时序和诊断并行处理，达到更高性能。

提供大量的 I/O、内部 ADC、集成控制和通信，以及定制的资源用途，充分满足性能要求。

部件数量更少、体型更小，提高可靠性，并降低淘汰风险。降低总体拥有成本。

### 8.3 电动汽车应用

混合动力汽车（HEV）和电动汽车（EV）在电机控制、能源转换和电池管理系统等方面实现了创新，提高了效率。但是，需要不断更新驱动这些系统的算法，进行设计修改以优化性能。

HWDMIN10M08 为绝缘栅极双极晶体管（IGBT）桥接保护提供硬件失效安全逻辑，DSP 模块设计流程能够提高系统性能，例如：板载充电器、牵引逆变器、DC/DC 转换器、电机控制系统和电池管理系统。

### 8.4 测试与测量应用

测试类别可以分为通信测试、半导体 ATE 和通用测试。

通信测试和监控设备包括有线、无线、光学、电信等细分市场的各种产品。这些产品包括网络/协议分析仪、频谱分析仪、比特错误率测试仪（BERT）、IP 语音（VoIP）测试仪、SONET/SDH 测试仪等。半导体自动化测试设备（ATE）包含各种仪器或卡，用于在晶圆和封装阶段测试存储器、数字、混合信号和片上系统（SoC）组件。通用测试仪器包括示波器、逻辑分析仪、信号发生器、视频测试设备、汽车测试设备等产品。这些产品广泛应用于从实验室到制造设施的各种环境中。

HWDMIN10M08 复杂的控制管理和即时开启等功能可以给各类测试设备提供系统总线转换和复杂电源系统管理的理想解决方案。

## 9 转换软件应用

该型产品需通过华微特定软件进行 bit 流转换后方可上板使用，具体使用步骤见下：

软件应用名称：POF+SOF\_Convert.exe，quartus 软件；

HWDMIN10M08 型配置文件: XXX.pof, XXX.sof;

步骤 1: 将软件 (POF+SOF\_Convert.exe) 拷贝到 HWDMIN10M08 型配置文件目录下;

步骤 2:

- 将 HWDMIN10M08 型的.sof 文件直接拖曳到软件上运行, 即可在同目录下生成对应文件 (XXX\_crc.sof);
- 将 HWDMIN10M08 型的.pof 文件直接拖曳到软件上运行, 在弹出模式选择窗口界面根据工程功能模式选择对应模式的序号, 然后点击回车即可在同目录下生成对应文件 (XXX\_crc.pof);

步骤 3: 使用所生成的 XXX\_crc.sof 或 XXX\_crc.pof 进行烧录程序, 重新添加配置文件;

步骤 4: 点击 Start 烧录配置文件。

## 10 使用注意事项

### 10.1 I/O 限制

#### 10.1.1 通用 I/O 限制

如果使用 VREF 管脚, 就应用以下限制:

- 如果使用共享的 VREF 管脚作为 I/O, 那么所有电压参考的输入缓冲器(SSTL、HSTL 和 HSUL)都被禁用。
- 如果使用共享的 VREF 管脚作为电压参考, 那么必须使能特定 I/O 管脚的输入缓冲器, 来使用电压参考的 I/O 标准。
- 对于器件的 bank1A 和 1B, 如果使用 VREF 管脚, 必须为 bank1A 和 1B 提供一个通用 VCCIO。
- 每个 VREF 管脚最大数量的电压参考输入是 I/O pad 总数的 75%。
- 除了用于静态信号的 I/O 管脚, 所有非电压参考的输出必须被布局在远离 VREF 管脚的两个 pad 中。

对于不同的 I/O 标准和条件, 必须限制 I/O 管脚的数量。如果使用 LVDS 发送器或接收器, 那么下列 I/O 限制规则也是适用的。下表列出了 I/O Bank 中特定 I/O 标准所允许的 I/O 管脚的最大百分比。

表 13 I/O Bank 中特定 I/O 标准所允许的 I/O 管脚的最大百分比

| I/O 电平标准               | 条件                | 每个 BANK 最大使用管脚数百分比 (%) |
|------------------------|-------------------|------------------------|
| 2.5V LVTTL/2.5V LVCMOS | 16mA 电流强度 (快/慢摆率) | 25                     |
|                        | 12mA 电流强度 (快/慢摆率) | 30                     |
|                        | 8mA 电流强度 (快/慢摆率)  | 45                     |
|                        | 4mA 电流强度 (快/慢摆率)  | 65                     |

#### 10.1.2 LVDS 设计要求

为了提高信号质量, 请按照下列的电路板设计:

- 基于控制差分阻抗的电路板设计。计算和比较所有的参数，如走线宽度，走线厚度和两个差分走线之间的距离。
- 尽可能在差分 I/O 对的走线之间保持等长。差分对间走线尽量靠近以最大化共模抑制比(CMRR)。
- 保持走线尽可能短以限制信号完整性的问题。较长的走线有更多的电感和电容。
- 匹配电阻放置在尽可能接近接收器输入管脚的地方。
- 使用表面贴装元件。
- 避免在电路板上使用 90° 角的走线。
- 使用高性能的连接器的。
- 设计背板和卡的走线，以便走线的阻抗能匹配连接器和匹配电阻。
- 全部信号的走线，尽量保持通孔的数量相等。
- 采用等长走线，以避免信号之间的偏移。不相等的走线长度导致交叉点偏移以及由于发送器通道至通道偏移(TCCS)值的增加而减少系统可容忍值。
- 少使用通孔因为它们造成阻抗不连续性。
- 保持翻转的单端 I/O 信号远离差分信号，以避免可能出现的噪声耦合。
- 不要将单端 I/O 时钟信号走线到差分信号相邻的层。
- 分析系统级信号。

## 10.2 PLL 注意事项

### PLL 控制信号

当满足下面其中一个条件时，就一定要在设计中包含 areset 信号：

- 设计中使能了 PLL 重配置或者时钟切换功能。
- 失锁(loss-of-lock)情况过后，必须保持 PLL 输入与输出时钟之间的相位关系。
- PLL 的输入时钟在上电时翻转或者不稳定。
- 当输入时钟稳定后并在规格范围内，置位 areset 信号。

连接限制：为遵循同步切换噪声(SSN)设计指南，建议不要使用同一 bank 中未使用的 I/O 作为 PLL 的输入时钟信号。

## 10.3 ADC 设计注意事项

### 10.3.1 ADC Ground 平面连接

对于 ADC 和 VREF 引脚，使用 REFGND 引脚作为模拟地平面连接。

### 10.3.2 关于电源引脚和 ADC Ground (REFGND)的电路板设计

模数转换信号的串扰要求是在 2GHz 内-100dB。电源、地和附近的通用 I/O 走线之间不得有并行布线。如果电源平面不方便布线，那么电源与地走线之间布线应尽量宽。

➤ 为减少 IR 压降和开关噪音，应将 ADC 电源走线和地的阻抗保持尽量低。电源的最大化 DC 电阻是  $1.5\Omega$ 。

➤ 连接到 ADC 的电源应具有串联连接的铁氧体磁珠，然后通过一个  $10\ \mu\text{F}$  电容器接地。此设置可确保无任何外部噪音进入器件电源引脚。

➤ 使用  $0.1\ \mu\text{F}$  电容对每个器件电源引脚进行去耦。尽量靠近器件引脚放置电容。

### 10.3.3 模拟输入的电路板设计

对模拟到数字信号的串扰要求是  $-100\text{dB}$  到  $2\text{GHz}$ 。模拟输入信号与 I/O 走线之间，以及模拟输入信号与 FPGA I/O 信号走线之间一定不能有并行布线。

➤ ADC 呈现一个开关电容加载到驱动电路。因此，总 RC 常数，包括封装、走线和寄生驱动器必须小于  $42.4\text{ns}$ 。这一考虑是为了确保输入信号在采样阶段完全稳定下来。

➤ 如果降低总采样率，那么所需的稳定时间可计算为  $0.45 \div \text{FS} > 10.62 \times \text{RC constant}$ 。

➤ 要获得更多的总 RC 余量，建议使驱动源阻抗尽可能低：

—对于非预分频器通道—小于  $1\text{k}\Omega$

—对于预分频器通道—小于  $11\Omega$

注意:不遵照源阻抗建议可能会影响参数，例如：总谐波失真(THD)、差分非线性(DNL)和积分非线性(INL)。

走线：

➤ 如有可能，在不同层上布线开关 I/O 走线。

➤ 输入信号走线阻抗没有特殊的要求。不过，输入走线的 DC 电阻必须尽可能低。

➤ 如果没有 REFGND 平面，尽量邻近 REFGND 安排模拟输入信号走线。

➤ 使用 REFGND 作为 ADC 输入信号的地基准。

➤ 对于预分频器使能的输入信号，将接地参考(ground reference)设为 REFGND。如果预分频器使能的输入信号的接地参考设为普通接地(GND)，那么会降低性能。

输入低通滤波器选择：

➤ 建议布置一个低通滤波器来滤除高频噪声被混叠到输入信号。

➤ 尽量靠近模拟输入信号放置低通滤波器。

➤ 截止频率取决于模拟输入频率。建议  $F_{\text{cutoff@ } -3\text{dB}}$  至少是两倍的输入频率。

### 10.3.4 ADC 参考电压引脚的电路板设计

模数转换信号的串扰要求是  $-100\text{dB}$  到  $2\text{GHz}$ 。模拟输入信号和 I/O 走线之间不存在并行布线。尽量邻近 REFGND 布局 VREF 走线。

如果 REFGND 平面不方便布线，那么尽量邻近 REFGND 布局模拟输入信号走线。

每个器件中有一个 ADC 基准电压引脚。此引脚使用 REFGND 作为地基准。将走线电阻保持在  $0.8\Omega$  以下。

## 10.4 上电时间要求

表 14 上电时间要求

| 符号       | 描述           | 上电时间       | 单位 |
|----------|--------------|------------|----|
| tVCC_ONE | 内核电源电压上电时间   | 0.20 至10.0 | ms |
| tVCCA    | 模拟电源电压上电时间   | 0.20 至10.0 | ms |
| tVCCIO   | 输出驱动电源电压上电时间 | 0.20 至10.0 | ms |

VCC\_ONE、VCCA和VCCIO这三组电源的上升时间需要处于 200 $\mu$ s 到10ms 之间，并且要求电源单调平滑爬升，没有回钩和台阶。这三组电源没有强制的上电顺序要求。

## 10.5 防静电注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物。

11 订货信息

表 15 产品订货信息

| 序号 | 产品型号                 | 封装形式    | 封装材料 | 质量保证等级 | 引脚材料   | 重量（g） | 详细规范             |
|----|----------------------|---------|------|--------|--------|-------|------------------|
| 1  | HWDMIN10M08PBGA169M3 | PBGA169 | 塑料   | N1 级   | SAC305 | 0.38g | Q/HWD 50324-2023 |
| 2  | HWDMIN10M08PQFP144M3 | PQFP144 | 塑料   | N1 级   | 铜镀锡    | 1.32g | Q/HWD 50323-2023 |
| 3  | HWDMIN10M08PBGA169I  | PBGA169 | 塑料   | 工业温区级  | SAC305 | 0.38g | Q/HWD 50668-2024 |
| 4  | HWDMIN10M08PQFP144I  | PQFP144 | 塑料   | 工业温区级  | 铜镀锡    | 1.32g | Q/HWD 50695-2025 |
| 5  | HWDMIN10M08PBGA169E  | PBGA169 | 塑料   | 军温级    | SAC305 | 0.38g | Q/HWD 50527-2024 |
| 6  | HWDMIN10M08PQFP144E  | PQFP144 | 塑料   | 军温级    | 铜镀锡    | 1.32g | Q/HWD 50322-2023 |

注1:

- a) N1级器件满足GJB 7400A 《合格制造厂认证用半导体集成电路通用规范》N1级的筛选要求。
- b) 工业温区级器件满足Q/HWD40022-2021 《华微工业温区级产品通用规范》的筛选要求，其工作环境温度范围应为-40℃～+85℃。
- c) 军温级器件满足Q/HWD40020-2018 《华微军温级产品通用规范》的筛选要求，其工作环境温度范围应为-55℃～+125℃。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。