

产品特性

- 高性能
 - 通道数：双通道同步采样 ADC
 - 分辨率：24bits
 - 单通道采样率：2MSPS (AC9610D-24) 或者 500kSPS (AC9611D-24)
 - INL: ± 0.9 ppm
 - SNR: 104 dBFS @ $f_{IN} = 1\text{kHz}$, -0.5dBFS , 2MSPS 采样率
 - THD: -128 dBc @ $f_{IN} = 1\text{kHz}$, -0.5dBFS , 2MSPS 采样率
 - NSD: -164.5 dBFS/Hz @ 2MSPS, AC9610D-24
- 低功耗
 - 22 mW/ch @ 2 MSPS
 - 11 mW/ch @ 500kSPS
- 易驱动, 降低外围设计复杂度
 - 宽输入共模电压, $-(1/128) \times V_{REF} \sim +(129/128) \times V_{REF}$
- 外部输入参考电压可调
 - 集成的精确 V_{REF} 缓冲器, 带 $2\mu\text{F}$ 的旁路电容
- 可配置的块平均滤波器, 抽取因子 $1 \sim 2^{16}$
 - 样本分辨率可拓展到 30bits
 - 可输出过载和同步比特位
- QSPI 数字通信接口
 - 每通道 ADC 可配置成 1、2 或 4 SDO Lanes, 以降低 SCK 时钟频率
 - 回波时钟模式简化了数字隔离器的使用
 - 1.8V 逻辑电平
- 7 mm×7 mm 64-Ball CSP_BGA 封装
 - 封装内部有电源和 V_{REF} 的滤波电容, 以减少总体占用面积

应用场景

AC9610D-24/AC9611D-24 是一颗双通道、同步采样、易驱动、2MSPS/500kSPS 采样率的逐次逼近 (SAR) 模数转换器 (ADC)。具有最大值 ± 0.9 ppm INL 和 24bit 无缺失码字, 可在 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 范围内实现无与伦比的精度。

可应用于下列典型场景:

- 医疗仪器
- 数字控制环
- ATE 测试设备
- 地震学
- 半导体制造
- 科学仪器

产品介绍

AC9610D-24/AC9611D-24 为双通道 24bit, 逐次逼近型 (SAR) ADC, 支持最高 2MSPS/500kSPS 采样率, 可实现 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 全温工作范围。

芯片内部集成低漂移、精密基准电压缓冲器。且封装内部集成关键电源旁路电容, 可以降低电源纹波要求, 减少外部电源去耦电容面积, 同时降低对电路板布局的敏感性。

AC9610D-24/AC9611D-24 内置了 offset 调整、增益补偿、平均滤波等 DSP 数字处理功能。Offset 调整功能允许用户配置 24bit 有符号调整值。增益补偿功能允许用户配置 $0 \sim 1.99997$ 的增益系数。平均滤波功能支持可配置长度的块平均, 可提高动态范围。

AC9610D-24/AC9611D-24 通过监测 CNV 上升沿来启动一次转换, 为了使 ADC 达到预期性能, CNV 信号须保证

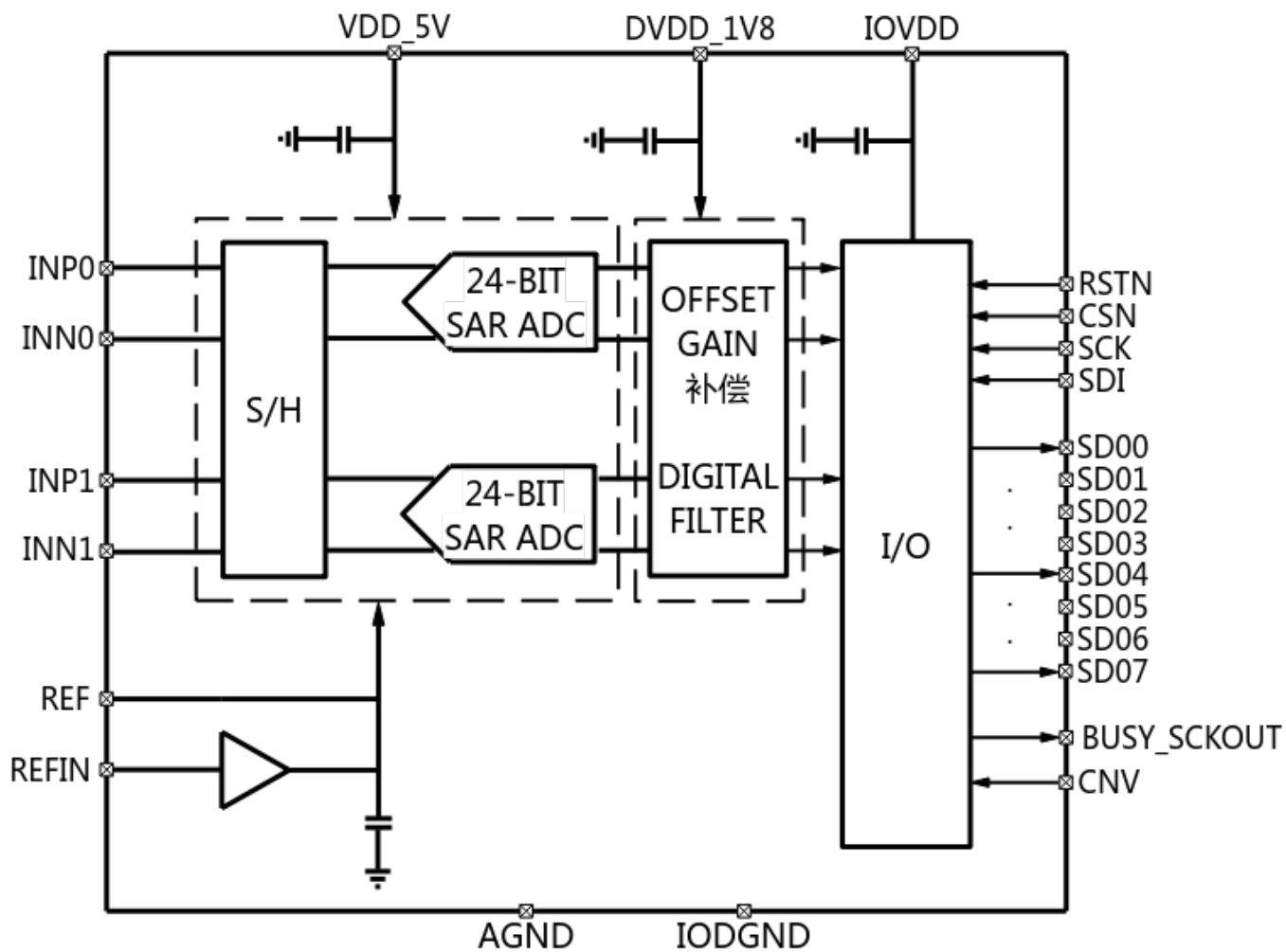
低抖动。

AC9610D-24/AC9611D-24 通过 SPI 接口进行配置或数据回读。用户可根据情况选择 1/2/4 Lanes SDO 数据传输模式, 使用多 SDO 通道模式可以降低 SCK 串行时钟速率, 减低系统设计复杂度。

SPI 进行 ADC 数据传输的时候支持 3 种时钟模式: SPI 时钟模式、回波时钟 (Echo) 模式、主时钟 (Host) 模式。当选择为 SPI 时钟模式时, BUSY_SCKOUT 管脚功能为 Busy 状态, SCK 由主机提供; 当选择为回波时钟模式或者主时钟模式时, BUSY_SCKOUT 管脚功能为 SCKOUT (SDO 随路时钟) 输出, 使用这两种模式放宽了主机的时序要求, 简化了数字隔离器的使用。



图1-1 AC9610D-24/AC9611D-24 功能架构





目 录

2 封装与管脚	1	5.4 PCB 设计指南	42
2.1 封装与管脚分布	1	6 寄存器描述	49
2.2 管脚描述	1	6.1 TOP 寄存器域	49
3 电气性能参数	3	6.2 ADC 寄存器域	54
3.1 芯片工作极限条件	3	7 结温及封装热阻参数	58
3.2 芯片 ESD 规格	3	7.1 温度和热阻参数	58
3.3 芯片推荐工作条件	4	8 封装	59
3.4 性能参数	4	8.1 封装视图与尺寸	59
3.5 数字引脚特性	6	8.2 封装物理参数	60
3.6 芯片时序参数	7	8.3 丝印标识	61
3.7 典型性能测试结果	13	9 焊接工艺建议	62
4 电路原理	17	9.1 概述	62
4.1 电路概览	17	9.2 加工准备	63
4.2 数字处理功能	19	10 芯片制造导入关键参数	64
4.3 QSPI 串行总线	23	11 芯片可靠性参数	65
4.4 ADC 采样与 SPI 数据转换回读	25	12 缩略语	66
5 应用指南	31	A 附录	67
5.1 上下电顺序	31	修订记录	67
5.2 配置流程	32		
5.3 原理图设计指南	38		



1 封装与管脚

1.1 封装与管脚分布

图1-1 引脚分布 (Top View)

	1	2	3	4	5	6	7	8	
A	AGND	REFIN	VDD_5V	AGND	AGND	CNV	RSTN	IOVDD	A
B	INP0	AGND	VDD_5V	AGND	AGND	IODGND	IODGND	IOVDD	B
C	INN0	AGND	AGND	AGND	AGND	IODGND	SDO3	SDO1	C
D	AGND	REF	REF	AGND	AGND	IODGND	SDO2	SDO0	D
E	AGND	REF	REF	AGND	AGND	IODGND	IODGND	BUSY_SCK OUT	E
F	INP1	AGND	AGND	AGND	AGND	IODGND	SDO6	SDO4	F
G	INN1	AGND	DVDD_1V 8	AGND	AGND	IODGND	SDO7	SDO5	G
H	AGND	AGND	DVDD_1V 8	AGND	CSN	SDI	SCK	IODGND	H
	1	2	3	4	5	6	7	8	

1.2 管脚描述

表1-1 引脚功能表

名称	引脚号	I/O	功能简介
INP0, INN0	B1、C1	I	ADC0 差分模拟输入。



名称	引脚号	I/O	功能简介
INP1, INN1	F1、G1	I	ADC1 差分模拟输入。
REFIN	A2	I	经过芯片内部 buffer 的参考输入。使用内部基准电压缓冲器时，REFIN 需要连接外部参考电压芯片输出（电压范围 4.096V 至 5V），REF 引脚此时建议外接 47μF 电容到地。
REF	D2、D3、E2、E3	I	不经过芯片内部 buffer 的参考输入。不使用内部基准电压缓冲器时，应将 REFIN 连接至 GND，并将 REF 连接外部参考电压芯片输出（电压范围 4.096V 至 5V）。封装内部有 2μF 旁路电容，帮助滤除噪声。
RSTN	A7	I	芯片复位输入，低电平表示复位。芯片内部默认上拉。
CNV	A6	I	采样脉冲输入，CNV 上升沿芯片结束采样。芯片内部默认下拉。
SCK	H7	I	SPI 时钟输入。芯片内部默认下拉。
CSN	H5	I	SPI 片选输入（低有效）。芯片内部默认上拉。
SDI	H6	I	SPI 数据写入。芯片内部默认下拉。
SDO0	D8	O	寄存器读写模式：SPI 数据输出； 数据传输模式：ADC0 串行数据输出。
SDO1	C8	O	ADC0 串行数据输出。
SDO2	D7	O	ADC0 串行数据输出。
SDO3	C7	O	ADC0 串行数据输出。
SDO4	F8	O	ADC1 串行数据输出。
SDO5	G8	O	ADC1 串行数据输出。
SDO6	F7	O	ADC1 串行数据输出。
SDO7	G7	O	ADC1 串行数据输出。
BUSY_SCKOUT	E8	O	SPI 时钟模式：ADC 转换 busy 信号； 回波时钟/主时钟模式：SDO 数据随路时钟。
VDD_5V	A3、B3	P	5V 电源供电，在 $V_{REF}=5V$ 时，该引脚供电电压应该为 5.3V~5.5V。
DVDD_1V8	G3、H3	P	1.8V 电源供电。
IOVDD	A8、B8	P	1.8V IO 供电。
AGND	A1、D1、E1、H1、B2、C2、F2、G2、H2、C3、F3、A4、B4、C4、D4、E4、F4、G4、H4、A5、B5、C5、D5、E5、F5、G5	G	模拟电源地。
IODGND	B6、C6、D6、E6、F6、G6、B7、E7、H8	G	数字 IO 电源地。



2 电气性能参数

2.1 芯片工作极限条件

表2-1 工作极限参数

条件参数		最小值	最大值	单位
供电电压	VDD_5V	-0.3	6.0	V
	DVDD_1V8	-0.3	2.1	
	IOVDD	-0.3	2.1	
Vref 电压	REF	-0.3	VDD_5V+0.3V	V
	REFIN	-0.3	VDD_5V+0.3V	V
模拟输入电压		-0.3	VDD_5V+0.3V	V
数字引脚输入电压		-0.3	IOVDD+0.3V	V
数字引脚输出电压		-0.3	IOVDD+0.3V	V
温度	最大工作结温	-40	125	℃
	存储温度	-55	150	℃
	最大回流焊温度	-	260	℃

警告

超过极限工作条件的应力可能会对芯片造成永久损坏。这些仅是应力额定值，并不意味着允许芯片在这些条件或推荐操作条件中规定的任何其他条件下的功能运行。长时间工作在绝对最大额定条件下可能会影响芯片的寿命以及可靠性。

2.2 芯片 ESD 规格

表2-2 ESD 规格

	分类	典型值	单位
ESD 规格	HBM	4k	V
	CDM	1.25k	V



2.3 芯片推荐工作条件

表2-3 推荐工作条件

参数说明			最小值	典型值	最大值	单位
供电电压	VDD_5V*	V _{REF} = 5V	5.3	5.4	5.5	V
		V _{REF} = 4.5V	4.8	5.0	5.25	V
		V _{REF} = 4.096V	4.75	5.0	5.25	V
	DVDD_1V8		1.71	1.8	1.89	V
	IOVDD		1.71	1.8	1.89	V
参考 REF 电压	REF	-	4.096	-	5	V
	REFIN	-	4.096	-	5	V
芯片工作 环境温度	T _A		-40	25	125	°C
模拟输入电压	输入电压范围	输入 P 端电压-N 端电压	$-(65/64)*V_{REF}$	-	$+(65/64)*V_{REF}$	V
	输入绝对电压	INP/INN 到地绝对电压	$-(1/128)*V_{REF}$	-	$+(129/128)*V_{REF}$	V
	输入共模电压	(INP+INN)/2	$-(1/128)*V_{REF}$	$1/2*V_{REF}$	$+(129/128)*V_{REF}$	V
芯片采样率	芯片采样率	AC9610D-24	0	-	2	MSP S
		AC9611D-24	0	-	500	kSPS

须知

芯片的 VDD_5V 供电电压与芯片参考电压需要满足相应的条件，具体条件见 [4.3.5 电源设计](#) 章节。

警告

请确保芯片 VDD_5V 供电电压大于芯片 V_{REF} 的电压，如果芯片供电电压 VDD_5V 的电压小于 V_{REF} 的电压，会导致芯片烧毁。

2.4 性能参数

默认测试条件如下：

- 环境温度：T_A=25°C；
- 供电电压与参考电压：VDD_5V=5.4V，DVDD_1V8=1.8V，IOVDD=1.8V；REFIN=5V；
- 芯片输入共模电压：2.5V；
- 芯片采样率：2MSPS/500kSPS。



表2-4 AC9610D-24/AC9611D-24 典型性能特性

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
输入电容	采样阶段到地等效电容	-	60	-	pF
输入电容	非采样阶段到地等效电容	-	2	-	pF
采样转化					
转换时间	AC9610D-24	360	430	480	ns
	AC9611D-24	500	650	800	ns
采样电容充电时间	AC9610D-24	250	300	350	ns
	AC9611D-24	1750	1800	1850	ns
最大采样率	AC9610D-24	0	-	2	MSPS
	AC9611D-24	0	-	500	kSPS
DC 特性					
无失码范围	-	24	-	-	bits
INL	-	-	±0.9	-	ppm
DNL	-	-	±0.5	-	LSB
Zero Error	-	-	±20	-	μV
Zero Error 温飘	-	-	±0.005	-	ppm/°C
Gain Error	Buffer disabled, REF = 5V	-	±0.009	-	%FS
	Buffer enabled, REFIN = 5V	-	±0.01	-	%FS
Gain Error 温飘	Buffer disabled, REF = 5V	-	±0.07	-	ppm/°C
	Buffer enabled, REFIN = 5V	-	±0.08	-	ppm/°C
低频噪声	0.1Hz~10Hz 带宽	-	2.8	-	μVpp
AC 特性					
动态范围	-	-	104.5	-	dB
噪声频谱密度 (NSD)	AC9610D-24	-	-164.5	-	dBFS/Hz
	AC9611D-24	-	-158.5	-	dBFS/Hz
SNR	f _{IN} = 1kHz, -0.5dBFS	-	104	-	dBFS
	f _{IN} = 100kHz, -0.5dBFS	-	103.5	-	dBFS
SNDR	f _{IN} = 1kHz, -0.5dBFS	-	104	-	dBFS
	f _{IN} = 100kHz, -0.5dBFS	-	103.0	-	dBFS
SFDR	f _{IN} = 1kHz, -0.5dBFS	-	131	-	dBc
	f _{IN} = 100kHz, -0.5dBFS	-	120	-	dBc
THD	f _{IN} = 1kHz, -0.5dBFS	-	-128	-	dBc



参数	测试条件	最小值	典型值	最大值	单位
	$f_{IN} = 100\text{kHz}$, -0.5dBFS	-	-113	-	dBc
ENOB	$f_{IN} = 1\text{kHz}$, -0.5dBFS	-	16.98	-	Bits
开启平均滤波动态范围	平均滤波样点数 = 2	-	107.5	-	dB
	平均滤波样点数 = 256	-	128.1	-	dB
	平均滤波样点数 = 65536	-	145.2	-	dB
通道隔离度	$f_{IN} = 1\text{kHz}$	-	135	-	dB
芯片-3dB 输入带宽	-	-	68	-	MHz
输入共模抑制比	$f_{IN} = 10\text{kHz}$	-	110	-	dB
输入参考指标					
REFIN 输入电流	-	-	10	-	nA
Reference Buffer Offset Error	-	-	± 100	-	μV
Reference Buffer Offset Error Drift	-	-	± 0.1	-	$\mu\text{V}/^{\circ}\text{C}$
REF 输入电流	$f_s = 2\text{MSPS}$	-	54	-	μA
	$f_s = 500\text{kSPS}$	-	12	-	μA
功耗特性					
正常工作电流, AC9610D-24, 2MSPS	$V_{DD_5V} = 5.4\text{V}$	-	3.3	-	mA
	$DV_{DD_1V8} = 1.8\text{V}$	-	12.9	-	mA
	$IOV_{DD} = 1.8\text{V}$, 4-lane SDO	-	1.9	-	mA
正常工作功耗	AC9610D-24, 2MSPS	-	44.46	-	mW
正常工作电流, AC9611D-24, 500kSPS	$V_{DD_5V} = 5.4\text{V}$	-	1.3	-	mA
	$DV_{DD_1V8} = 1.8\text{V}$	-	8	-	mA
	$IOV_{DD} = 1.8\text{V}$, 4-lane SDO	-	0.5	-	mA
正常工作功耗	AC9611D-24, 500kSPS	-	22.32	-	mW

2.5 数字引脚特性

直流规格是指数字输出不切换, 处于稳定的 0 或 1 有效逻辑电平时的规格特性。

表2-5 数字引脚特性

参数	测试条件	最小值	典型值	最大值	单位
数字 IO 供电电压					
IOVDD 供电电压	-	1.71	1.8	1.89	V



参数	测试条件	最小值	典型值	最大值	单位
数字 IO 输入特性					
高电平输入电压最小值	-	-	$0.75 \times \text{IOVDD}$	-	V
低电平输入电压最大值	-	-	$0.25 \times \text{IOVDD}$	-	V
高电平输入电流	-	-	200	-	μA
低电平输入电流	-	-	20	-	μA
数字 IO 输出特性					
高电平输出电压	-	-	$\text{IOVDD}-0.2 \sim \text{IOVDD}$	-	V
低电平输出电压	-	-	0~0.2	-	V
输出阻抗	-	-	20	-	Ω
输出电流	-	-	4/8/12/16	-	mA

2.6 芯片时序参数

2.6.1 CNV 采样时序参数

图2-1 CNV 启动时序参数

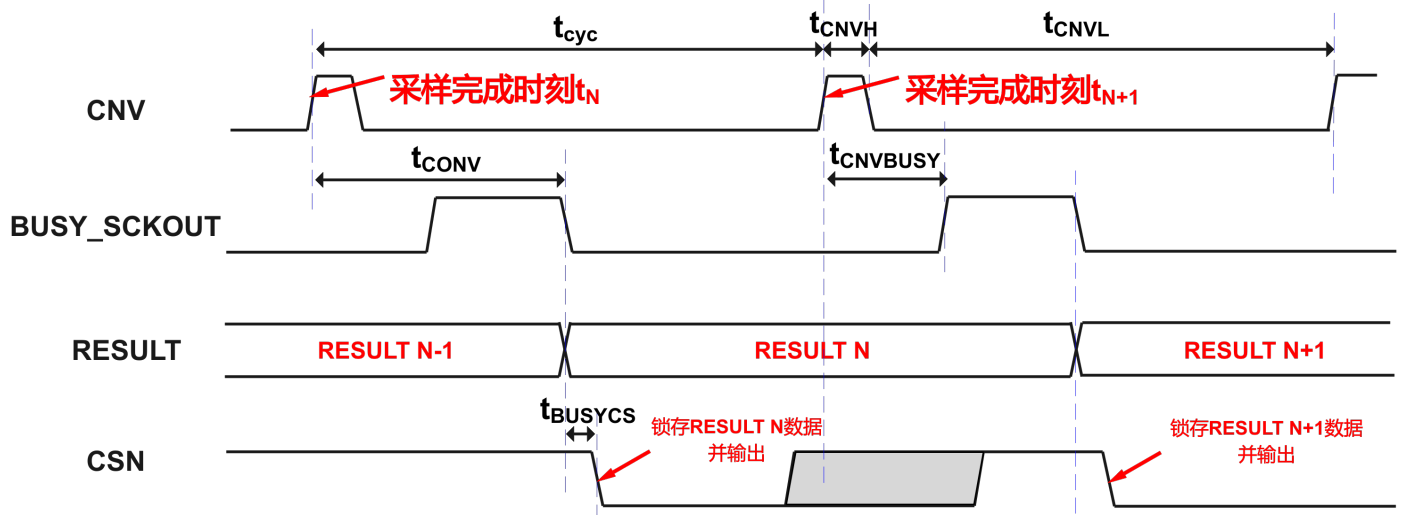


表2-6 CNV 启动时序参数

参数	测试条件	最小值	典型值	最大值	单位
t_{cyc}	采样时间间隔, AC9610D-24	500	-	-	ns
	采样时间间隔, AC9611D-24	2000	-	-	ns
t_{CONV}	ADC 转换时间, AC9610D-24	360	430	480	ns



参数	测试条件	最小值	典型值	最大值	单位
	ADC 转换时间, AC9611D-24	500	650	800	ns
t _{CNVBUSY}	CNV 上升沿到 BUSY 上升沿时间, AC9610D-24	80	100	120	ns
	CNV 上升沿到 BUSY 上升沿时间, AC9611D-24	80	110	140	ns
t _{CNVH}	CNV 高电平持续时间	20	-	-	ns
t _{CNVL}	CNV 低电平持续时间	20	-	-	ns
t _{BUSYCS}	BUSY 下降沿到 CS 下降沿时间	10	-	-	ns

AC9610D-24/AC9611D-24 在 CNV 上升沿结束采样电容充电, 开始采样转换操作, CNV 时钟最高可以支持 2MHz/500kHz 采样。

BUSY 信号 (通过 BUSY_SCKOUT 引脚输出) 为数据准备好的指示信号 (仅限 SPI 时钟模式), BUSY 开始拉低后, 即可开始进行采数。

BUSY 信号拉低之后, 用户通过拉低 CSN 信号进行数据传输。芯片在检测到 CSN 下降沿会进行输出数据锁存, 将该次 ADC 转化数据锁存的接口输出。数据在 CSN 信号拉低的过程中进行传输; CSN 低电平持续时间与用户选择数据传输方式有关; CSN 低电平持续时间可以跨越 CNV 采样脉冲。

须知

- 仅在 SPI 时钟模式下, 支持 BUSY_SCKOUT 引脚输出 BUSY 状态功能;
- 在回波时钟模式及主时钟模式下, BUSY_SCKOUT 管脚作为 SCKOUT 时钟 (SDO 随路时钟) 输出, BUSY 状态不可用。在回波时钟模式及主时钟模式下, 用户可以通过等待 t_{CONV} 时间来确保数据就绪;
- CSN 下降沿 (锁存输出数据时刻) 需要在 BUSY 状态拉低时间;
- 虽然 CSN 低电平持续时间可以跨越 CNV 采样脉冲, 但是为了防止 QSPI 在数据传输过程中对 CNV 采样沿产生影响, 进而影响 ADC 性能, 仍不建议 CSN 低电平持续时间跨越 CNV 采样脉冲;
- [3.4.3 读取窗口](#) 章节给出几种典型采样率下推荐的 CSN 拉低时刻与输出数据读取窗口。

2.6.2 SPI 配置寄存器模式接口时序参数

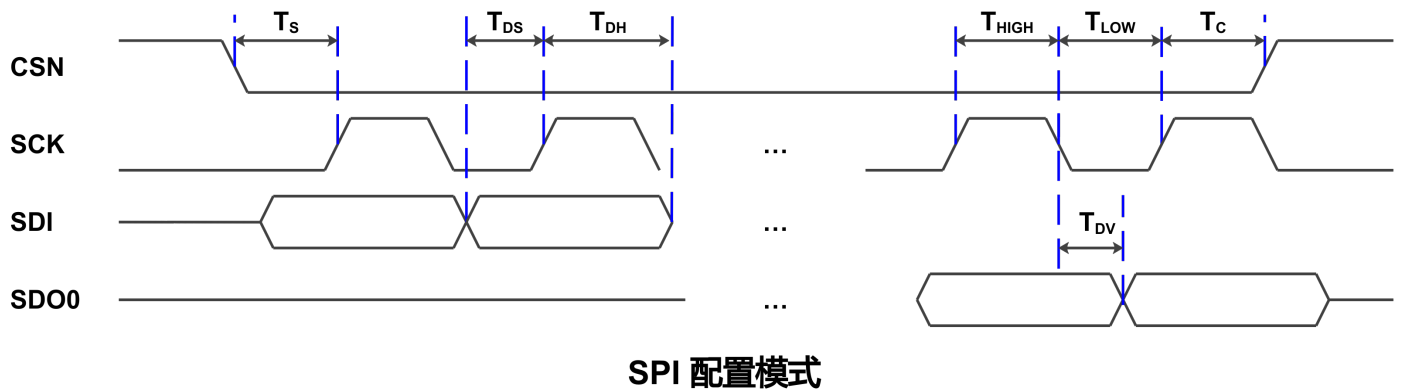
表2-7 SPI 配置模式时序参数

参数	说明	测试条件	最小值	典型值	最大值	单位
SPI 寄存器配置速率		IOVDD=1.8V	-	-	40	MHz
SPI 寄存器回读速率		IOVDD=1.8V	-	-	20	MHz
T _S	SPI CSN 下沿距离 SCK 上沿时间	IOVDD=1.8V	8	-	-	ns
T _C	SPI CSN 上沿距离 SCK 上沿时间	IOVDD=1.8V	8	-	-	ns
T _{DS}	SPI SDI 变化沿距离 SCK 上沿 setup 时间	IOVDD=1.8V	2.5	-	-	ns
T _{DH}	SPI SDI 变化沿距离 SCK 上沿 hold 时间	IOVDD=1.8V	3	-	-	ns



参数	说明	测试条件	最小值	典型值	最大值	单位
T _{HIGH}	SPI SCK 高电平时间 (SPI 配置寄存器)	IOVDD=1.8V	12.5	-	-	ns
T _{LOW}	SPI SCK 低电平时间 (SPI 配置寄存器)	IOVDD=1.8V	12.5	-	-	ns
T _{DV}	SPI SCK 下降距离 SDO _{OUT} 输出延时	IOVDD=1.8V	-	-	7.5	ns

图2-2 SPI 配置模式时序图



2.6.3 SPI 数据转换模式时序参数

2.6.3.1 SPI 时钟模式

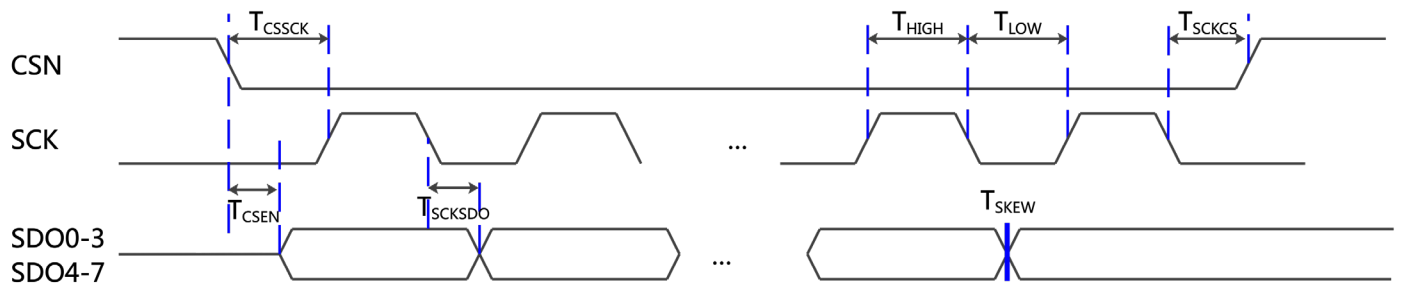
在 SPI 时钟模式下，ADC 转换码字通过 CSN 下降沿以及 SCK 下降沿驱动输出，数据输出分布在 SDO0~SDO7 不同的信号线上（依赖于选择数据输出 lane 数）。

表2-8 SPI 时钟模式时序参数

参数	说明	测试条件	最小值	典型值	最大值	单位
T _{CSSCK}	CSN 下降沿距离第一个 SCK 上升沿时间	IOVDD=1.8V	8	-	-	ns
T _{SCKCS}	CSN 上升沿距离最后一个 SCK 下降沿时间	IOVDD=1.8V	8	-	-	ns
T _{CSEN}	CSN 下降沿距离第一拍 SDO 数据稳定时间	IOVDD=1.8V	-	-	6	ns
T _{SCKSDO}	SCK 下降沿距离 SDO 数据输出稳定时间	IOVDD=1.8V	3	4	5	ns
T _{HIGH}	SCK 高电平时间	IOVDD=1.8V	6.25	-	-	ns
T _{LOW}	SCK 低电平时间	IOVDD=1.8V	6.25	-	-	ns
T _{SKEW}	多条 SDO 数据输出 skew	IOVDD=1.8V	-0.4	-	0.4	ns



图2-3 SPI 时钟模式时序



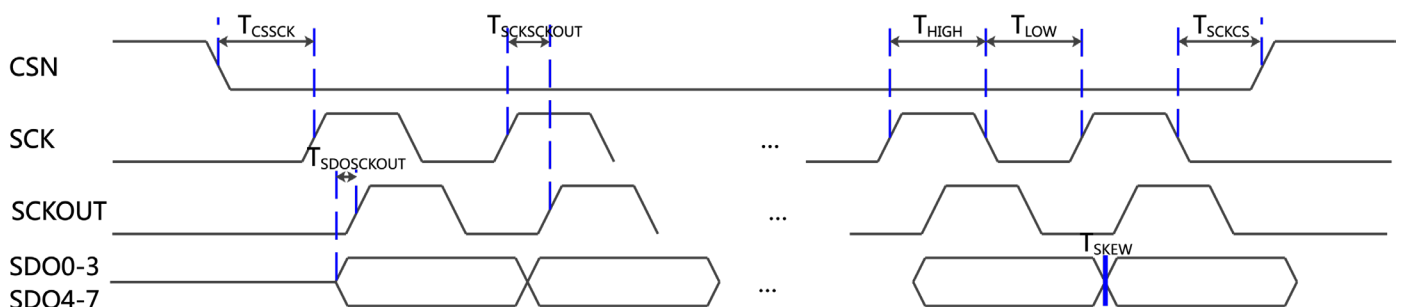
2.6.3.2 回波时钟 SDR 模式

在回波 SDR 模式下，ADC 转换码字通过 SCKOUT 上升沿驱动输出，SCKOUT 时钟来自 SCK，数据输出分布在 SDO0~SDO7 不同的信号线上（依赖于选择数据输出 lane 数）。

表2-9 回波时钟 SDR 模式时序参数

参数	说明	测试条件	最小值	典型值	最大值	单位
T_{CSSCK}	CSN 下降沿距离第一个 SCK 上升沿时间	IOVDD=1.8V	8	-	-	ns
T_{SCKCS}	CSN 上升沿距离最后一个 SCK 下降沿时间	IOVDD=1.8V	8	-	-	ns
$T_{SDOSCKOUT}$	SDO 数据变化沿与 SCKOUT 上升沿之间延时 ^[1]	IOVDD=1.8V	1.6	2.1	2.6	ns
$T_{SCKSCKOUT}$	芯片口 SCK 变化沿与 SCKOUT 变化沿之间延时	IOVDD=1.8V	5	6.5	8	ns
T_{HIGH}	SCK 高电平时间	IOVDD=1.8V	5	-	-	ns
T_{LOW}	SCK 低电平时间	IOVDD=1.8V	5	-	-	ns
T_{SKEW}	多条 SDO 数据输出 skew	IOVDD=1.8V	-0.4	-	0.4	ns

图2-4 回波 SDR 模式时序



说明

[1]：为了优化回波模式 SCKOUT 与 SDO 之间时序关系，用户可以使能 SCKOUT 输出额外延时寄存器 CFG_SCLKOUT_DELAY[4]（寄存器地址 0x009），使能之后， $T_{SDOSCKOUT}$ 会额外增加 600ps。



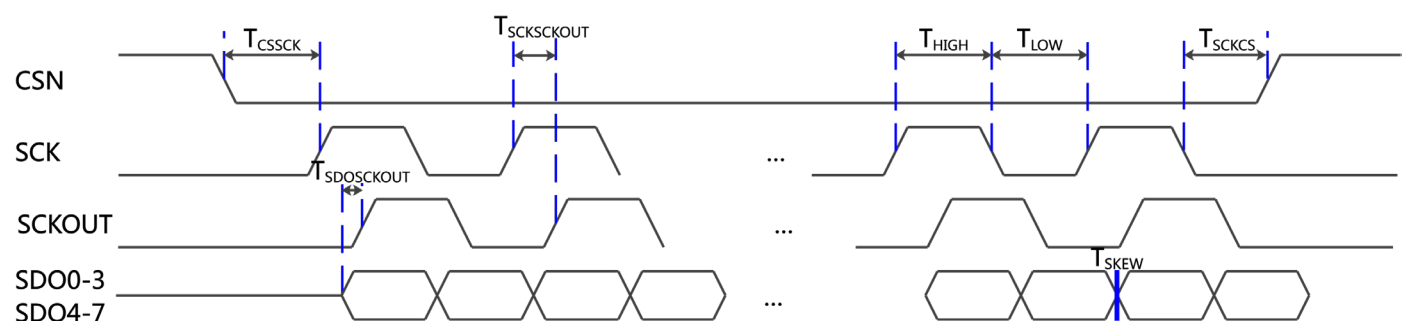
2.6.3.3 回波时钟 DDR 模式

在回波 DDR 模式下，ADC 转换码字通过 SCKOUT 双边沿驱动输出，SCKOUT 时钟来自 SCK，数据输出分布在 SDO0~SDO7 不同的信号线上（依赖于选择数据输出 lane 数）。

表2-10 回波时钟 DDR 模式时序参数

参数	说明	测试条件	最小值	典型值	最大值	单位
T_{CSSCK}	CSN 下降沿距离第一个 SCK 上升沿时间	IOVDD=1.8V	8	-	-	ns
T_{SCKCS}	CSN 上升沿距离最后一个 SCK 下降沿时间	IOVDD=1.8V	8	-	-	ns
$T_{SDOSCKOUT}$	SDO 数据变化沿与 SCKOUT 变化沿之间延时 ^[1]	IOVDD=1.8V	1	1.5	2	ns
$T_{SCKSCKOUT}$	芯片口 SCK 变化沿与 SCKOUT 变化沿之间延时	IOVDD=1.8V	5	6.5	8	ns
T_{HIGH}	SCK 高电平时间	IOVDD=1.8V	5	-	-	ns
T_{LOW}	SCK 低电平时间	IOVDD=1.8V	5	-	-	ns
T_{SKEW}	多条 SDO 数据输出 skew	IOVDD=1.8V	-0.4	-	0.4	ns

图2-5 回波 DDR 转换模式时序



说明

[1]: 为了优化回波模式 DDR SCKOUT 与 SDO 之间时序关系，用户可以使能 SCKOUT 输出额外延时寄存器 CFG_SCLKOUT_DELAY[4]（寄存器地址 0x009），使能之后， $T_{SDOSCKOUT}$ 会额外增加 600ps。

2.6.3.4 主时钟模式

在主时钟模式下，ADC 转换码字通过 SCKOUT 上升沿（SDR）或者双边沿（DDR）驱动输出，SCKOUT 时钟来自芯片内部振荡器，数据输出分布在 SDO0~SDO7 不同的信号线上（依赖于选择数据输出 lane 数）。

表2-11 主时钟模式时序参数

参数	说明	测试条件	最小值	典型值	最大值	单位
$T_{CSSCKOUT}$	CSN 下降沿距离第一个 SCKOUT 上升沿时间	OSC_DIV = No Divide	-	50	-	ns
		OSC_DIV = Divide by 2	-	100	-	ns



参数	说明	测试条件	最小值	典型值	最大值	单位
		OSC_DIV = Divide by 4	-	200	-	ns
		OSC_DIV = Divide by 8	-	400	-	ns
$T_{SCKOUTCS}$	CSN 上升沿距离最后一个 SCKOUT 下降沿时间	IOVDD=1.8V	8	-	-	ns
$T_{SDOSCKOUT_SDR}$	SDR 模式下, SDO 数据变化沿与 SCKOUT 上升沿之间延时 ^[1]	IOVDD=1.8V	1.6	2.1	2.6	ns
$T_{SDOSCKOUT_DDR}$	DDR 模式下, SDO 数据变化沿与 SCKOUT 变化沿之间延时 ^[1]	IOVDD=1.8V	1	1.5	2	ns
T_{SCKOUT}	SCKOUT 周期	OSC_DIV = No Divide	-	12.5	-	ns
		OSC_DIV = Divide by 2	-	25	-	ns
		OSC_DIV = Divide by 4	-	50	-	ns
		OSC_DIV = Divide by 8	-	100	-	ns
T_{HIGH}	SCK 高电平时间	IOVDD=1.8V	-	$0.5 \cdot T_{SCKOUT}$	-	ns
T_{LOW}	SCK 低电平时间	IOVDD=1.8V	-	$0.5 \cdot T_{SCKOUT}$	-	ns
T_{SKEW}	多条 SDO 数据输出 skew	IOVDD=1.8V	-0.4	-	0.4	ns

图2-6 主时钟 SDR 转换模式时序

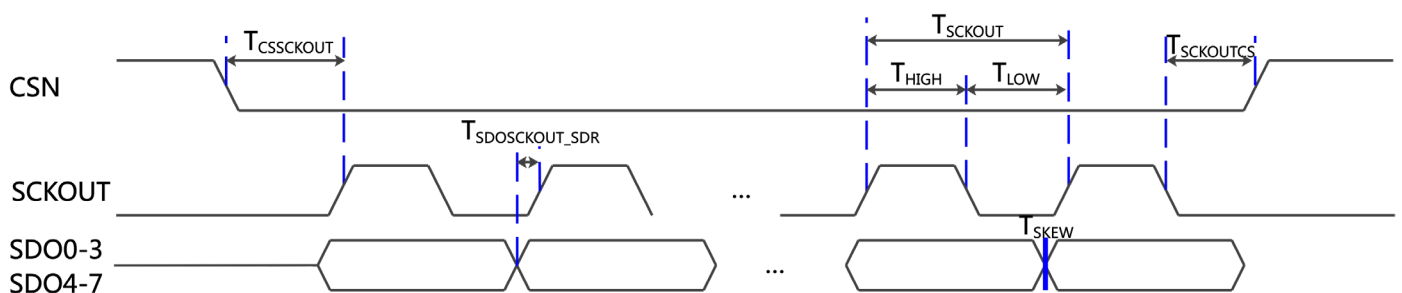
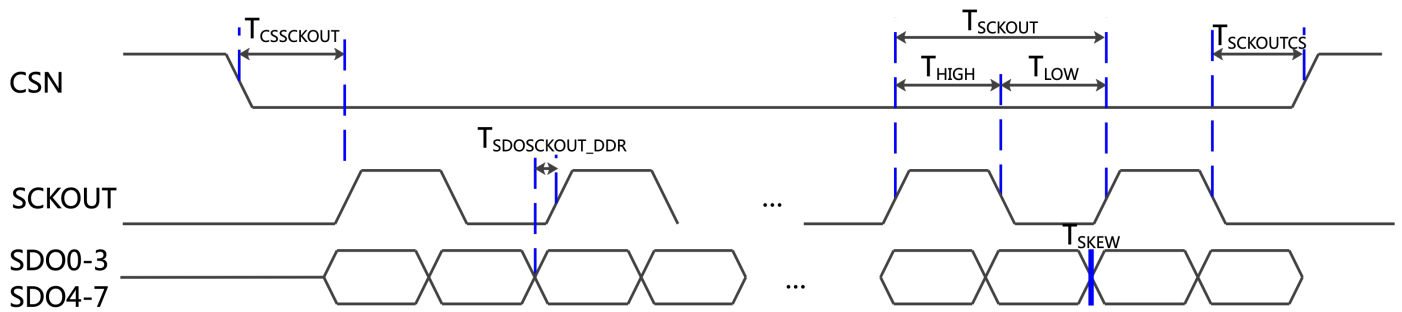


图2-7 主时钟 DDR 转换模式时序



说明

[1]: 为了优化主时钟模式 SCKOUT 与 SDO 之间时序关系, 用户可以使能 SCKOUT 输出额外延时寄存器 CFG_SCLKOUT_DELAY[4] (寄存器地址 0x009), 使能之后, $T_{SDOSCKOUT_SDR}$ 或者 $T_{SDOSCKOUT_DDR}$ 会额外增加 600ps。

2.7 典型性能测试结果

芯片默认测试条件如下:

- 环境温度: $T_A=25^{\circ}\text{C}$;
- 供电电压与参考电压: $V_{DD_5V}=5.4\text{V}$, $DV_{DD_1V8}=1.8\text{V}$, $IOV_{DD}=1.8\text{V}$; $REFIN=5\text{V}$;
- 芯片输入共模电压: 2.5V ;
- 测试芯片: AC9610D-24, 芯片采样率: 2MSPS。

图2-8 AC9610D-24 FFT 分析结果
(2MSPS, $f_{IN}=1\text{kHz}$, $V_{REF}=5\text{V}$)

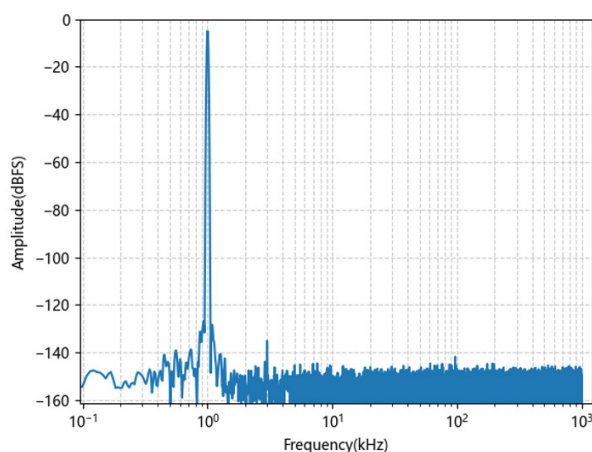


图2-9 AC9610D-24 FFT 分析结果
(2MSPS, $f_{IN}=10\text{kHz}$, $V_{REF}=5\text{V}$)

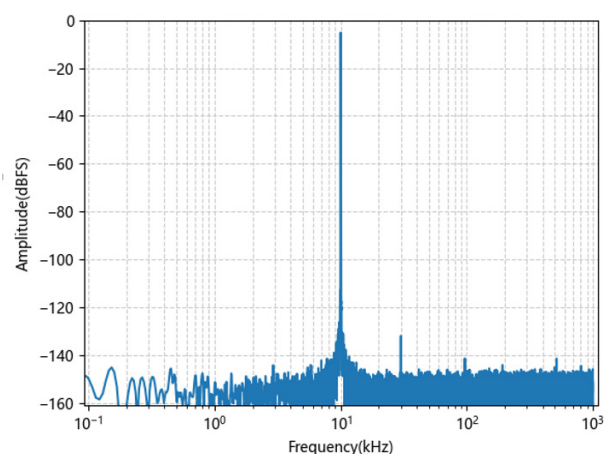




图2-10 AC9610D-24 FFT 分析结果
(2MSPS, $f_{IN}=100\text{kHz}$, $V_{REF}=5\text{V}$)

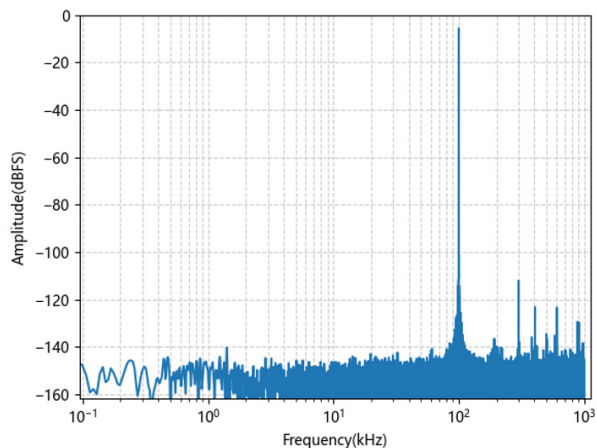


图2-11 直方图测试结果 (输入 PN 短接)

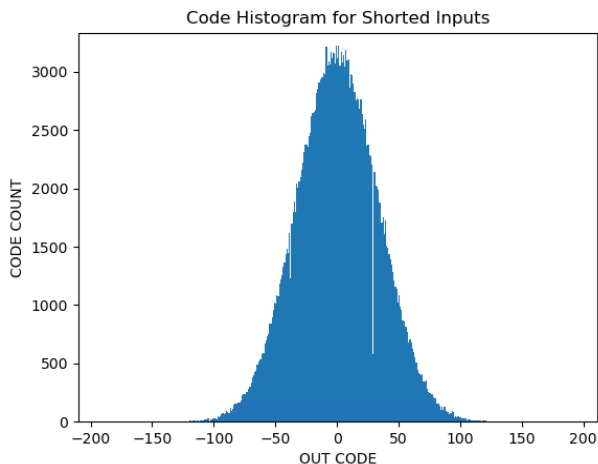


图2-12 SNR & SNDR VS 输入信号频率
(输入幅度-0.5dBFS)

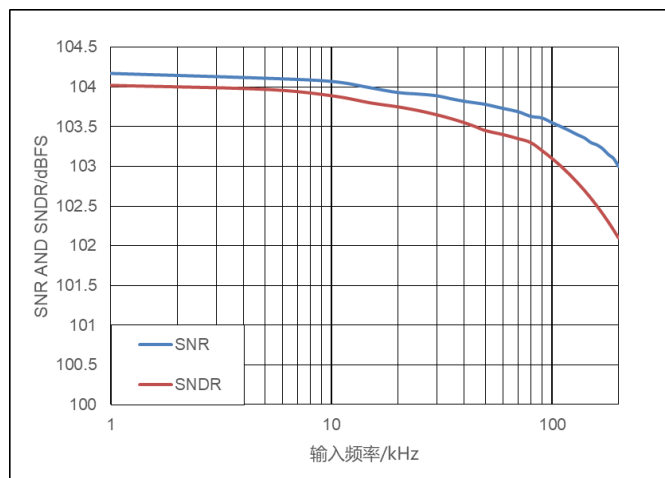


图2-13 SNR & SNDR VS 输入信号功率 ($f_{IN}=1\text{kHz}$)

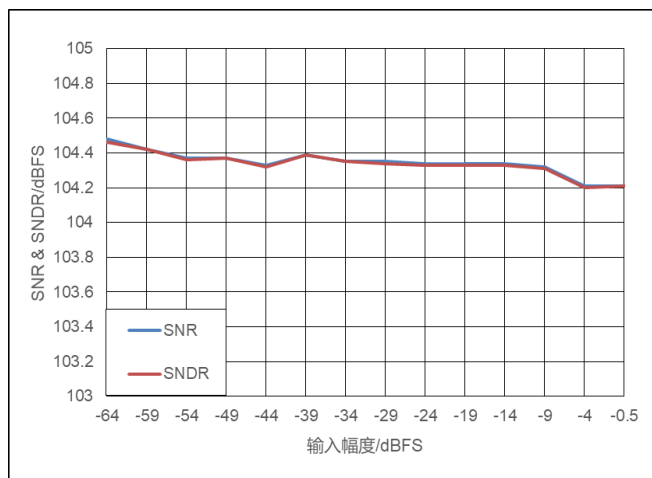


图2-14 THD VS 输入信号频率
(输入幅度-0.5/-3/-10dBFS)

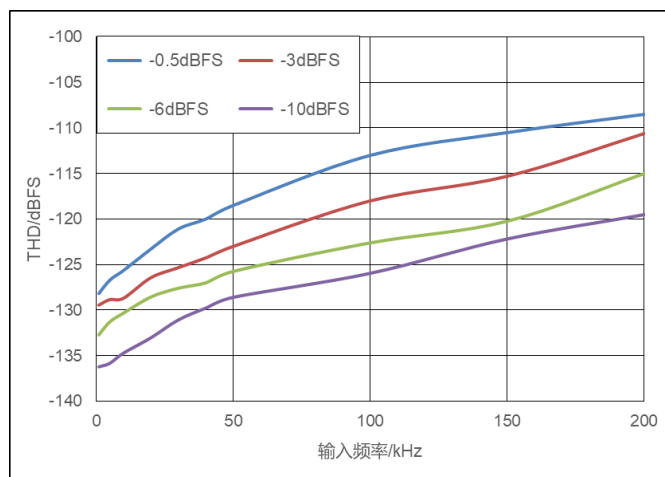


图2-15 SNR & SNDR VS 温度 ($f_{IN}=1\text{kHz}$, -1dBFS)

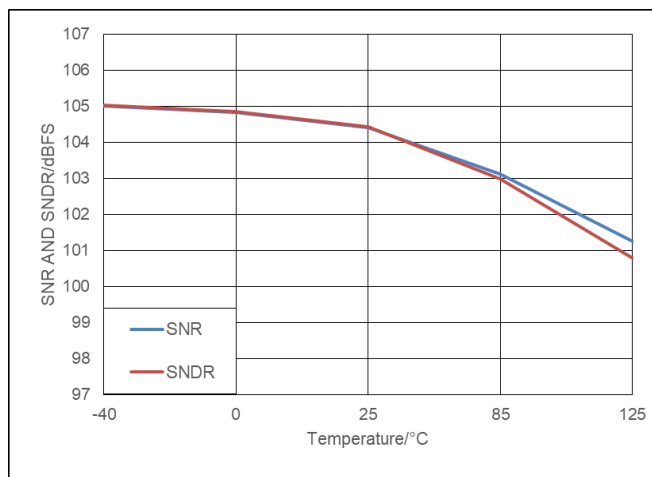


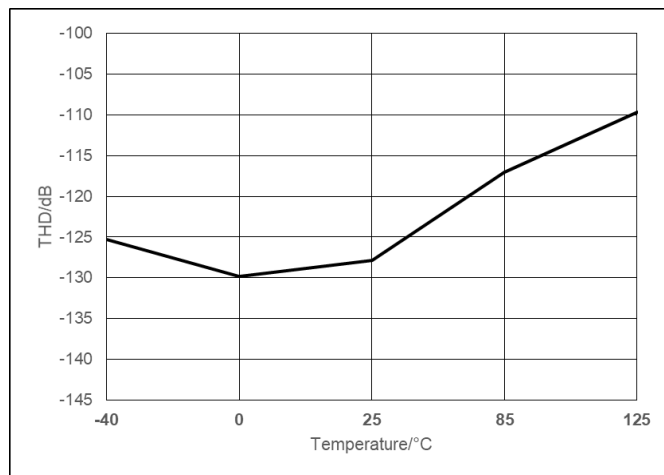
图2-16 THD VS 温度 ($f_{IN}=1\text{kHz}$, -1dBFS)

图2-17 Zero Error & Gain Error VS 温度

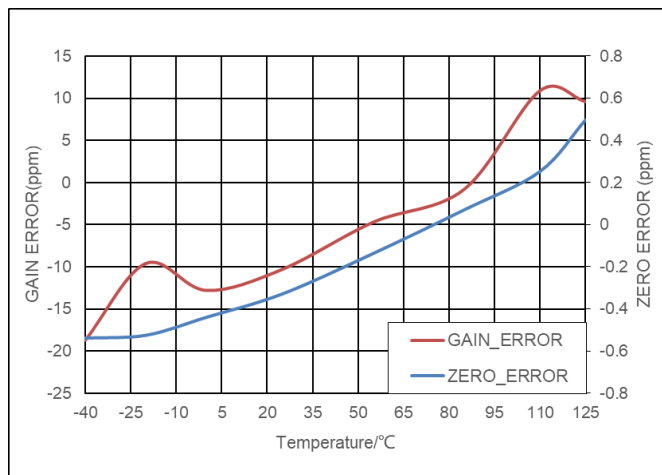
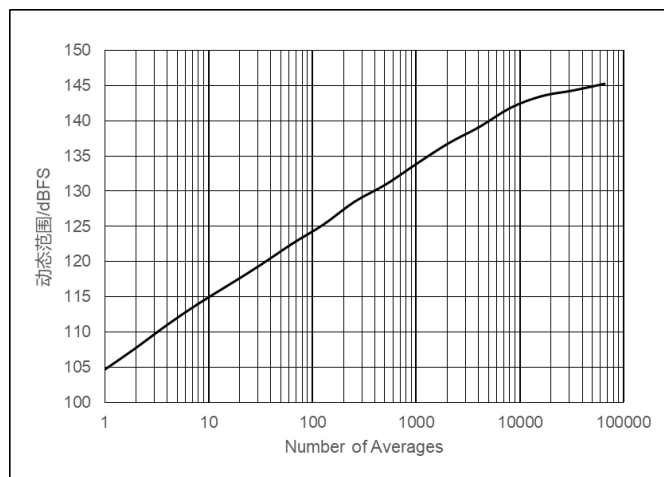
图2-18 动态范围 VS 平均滤波次数
($f_{IN}=1\text{kHz}$, -1dBFS)

图2-19 低频噪声 (100k 采样率, 经过 4096 采样点平均滤波后, 输出采样率 24.4SPS)

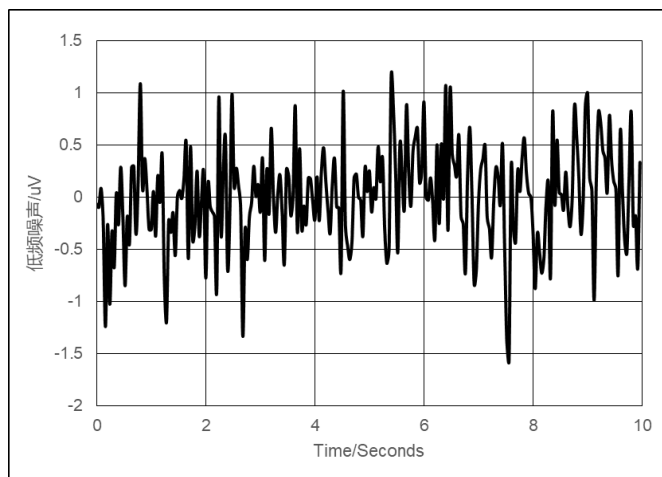


图2-20 模拟输入电流 (2MSPS 采样率)

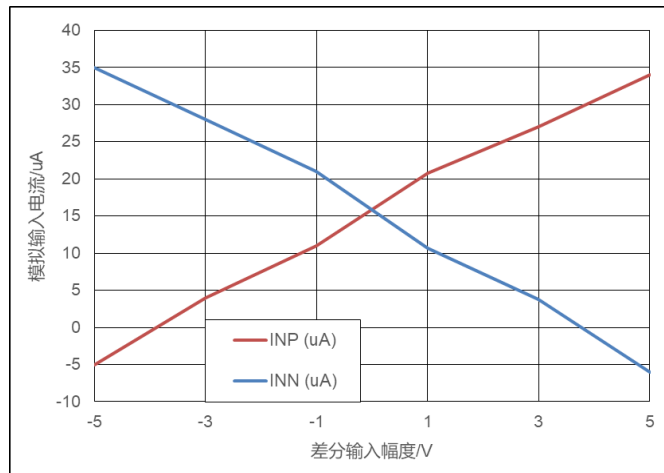


图2-21 模拟输入电流 (500kSPS 采样率)

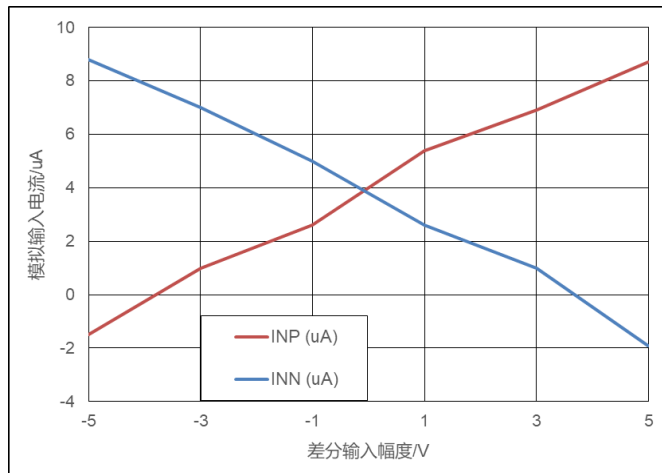


图2-22 REFIN 输入电流 VS 温度 (2MSPS 采样率)

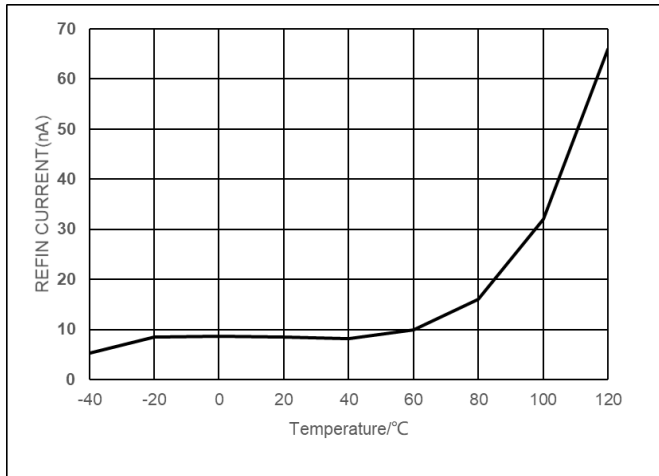


图2-23 REF 输入电流 VS 温度 (2MSPS 采样率)

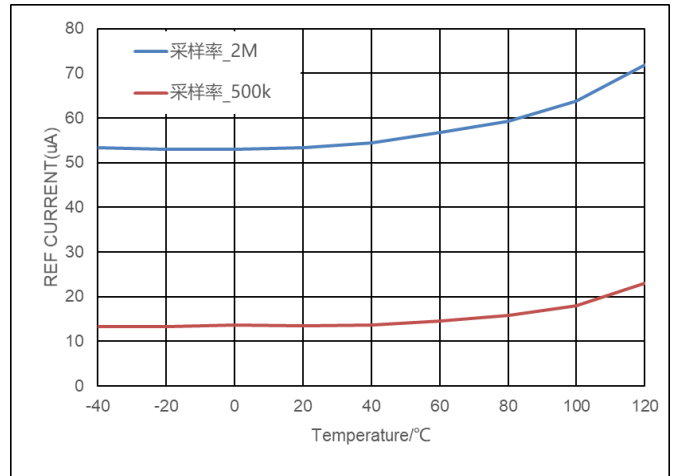


图2-24 芯片正常工作电流

(VDD_5V、DVDD_1V8、IOVDD) VS 采样率

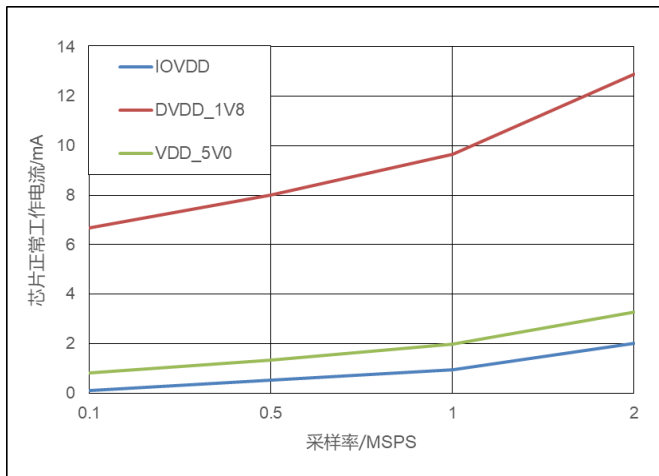


图2-25 芯片正常工作功耗 VS 采样率

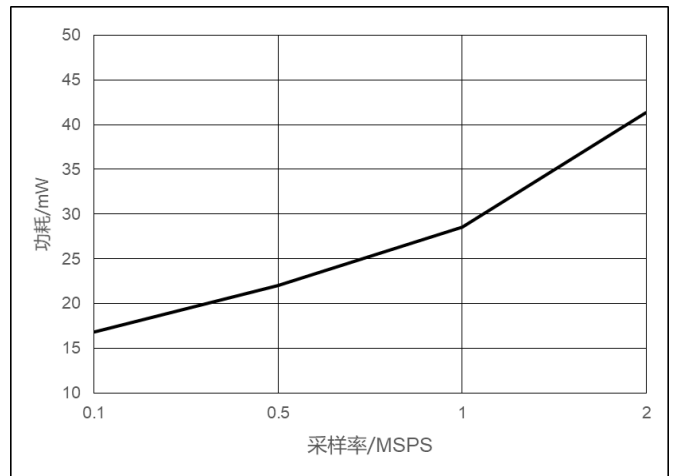


图2-26 芯片正常工作电流 VS 温度 (2MSPS)

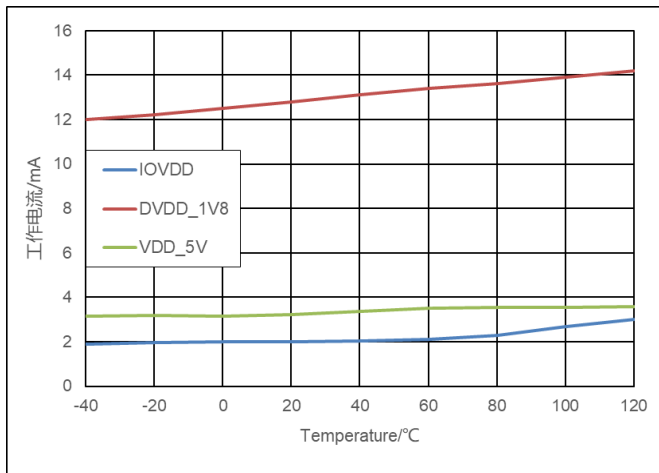
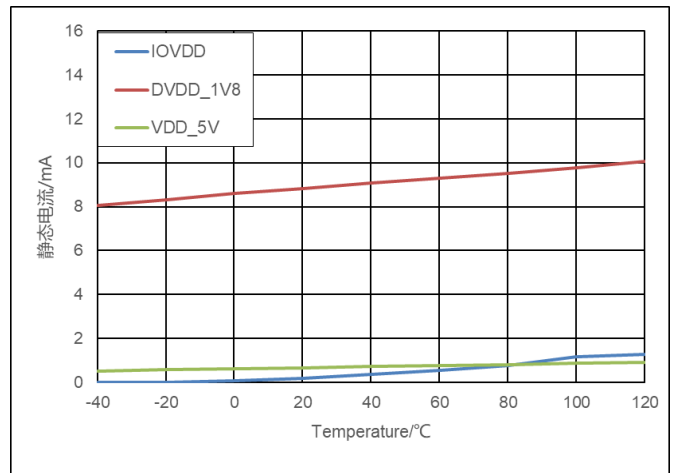


图2-27 芯片静态电流 VS 温度



3 电路原理

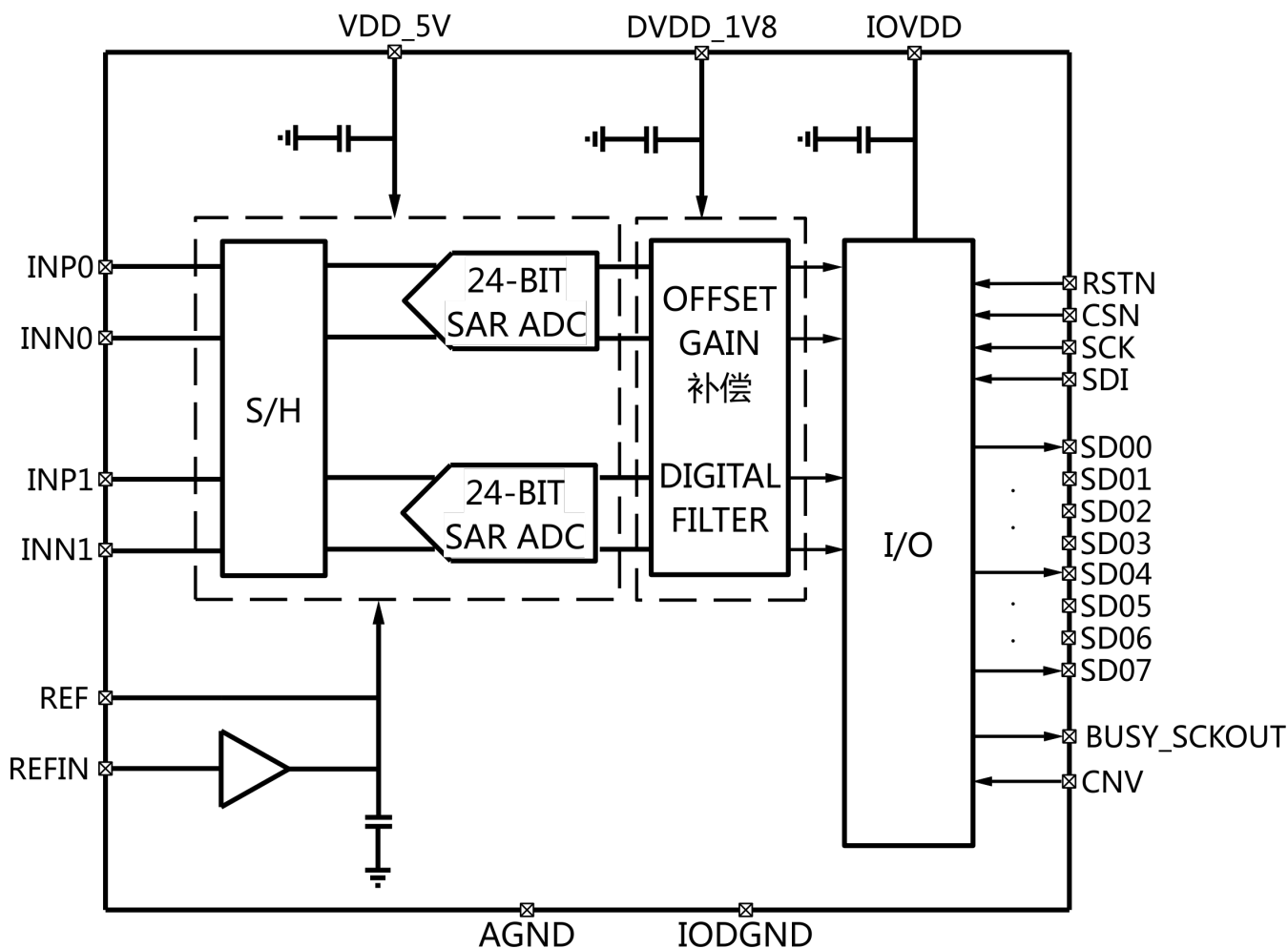
3.1 电路概览

AC9610D-24/AC9611D-24 的功能架构如图 3-1 所示。

AC9610D-24/AC9611D-24 为双通道 24bit，逐次逼近型（SAR）ADC，最高支持最高 2MSPS/500kSPS 采样率，可实现 $-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ 全温工作范围。

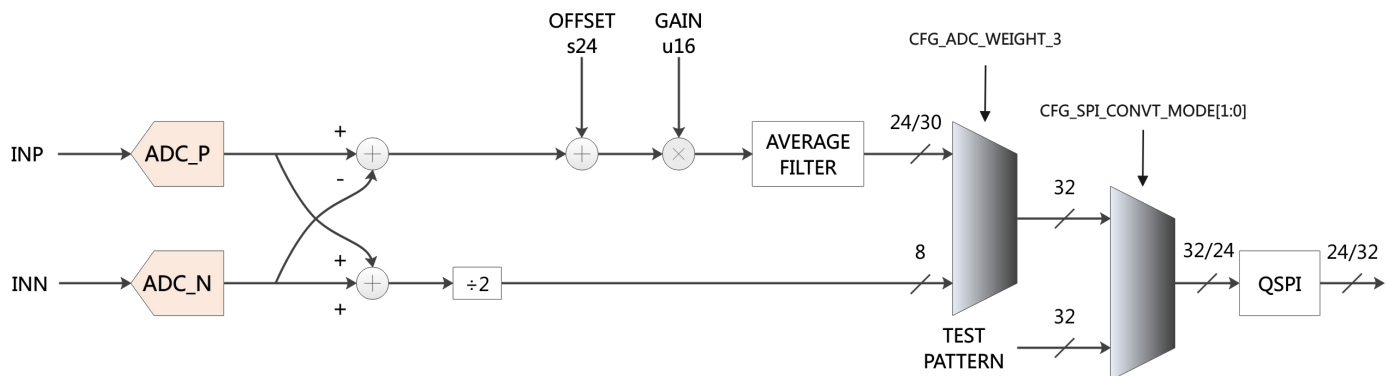
芯片内部集成低漂移、精密基准电压缓冲器。且封装内部集成关键电源旁路电容，可以降低电源纹波要求，减少外部电源去耦电容面积，同时降低对电路板布局的敏感性。

图3-1 AC9610D-24/AC9611D-24 芯片架构



AC9610D-24/AC9611D-24 的功能框图描述如图 3-2 所示。芯片内部内置了 offset 调整、增益补偿、平均滤波等 DSP 数字处理功能。Offset 调整功能允许用户配置 24bit 有符号调整值。增益补偿功能允许用户配置 0~1.99997 的增益系数。平均滤波功能支持可配置长度的块平均，可提高动态范围。

图3-2 AC9610D-24/AC9611D-24 功能框图



3.1.1 模拟输入

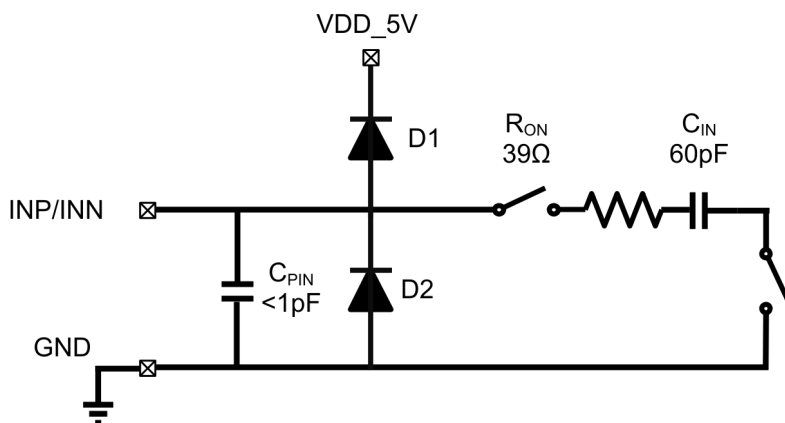
芯片模拟输入拓扑如图 3-3，为了增强芯片 ESD 能力，芯片模拟输入有两个 ESD 二极管（如图 D1、D2），两个二极管分别连接到 VDD_5V 供电和 GND。

警告

需要在芯片正常上电期间才能给输入信号，如果芯片未正常上电就给输入信号，可能会烧毁 ESD 二极管（如果 VDD_5V 供电电源在未工作的时候对地是低阻，有可能会烧毁 D1 二极管），导致芯片失效。

VDD_5V 供电建议选择掉电状态下输出对地阻抗为高阻的 LDO，可以避免烧毁 ESD 二极管风险。

图3-3 芯片模拟引脚输入拓扑



3.1.2 REF/REFIN 输入

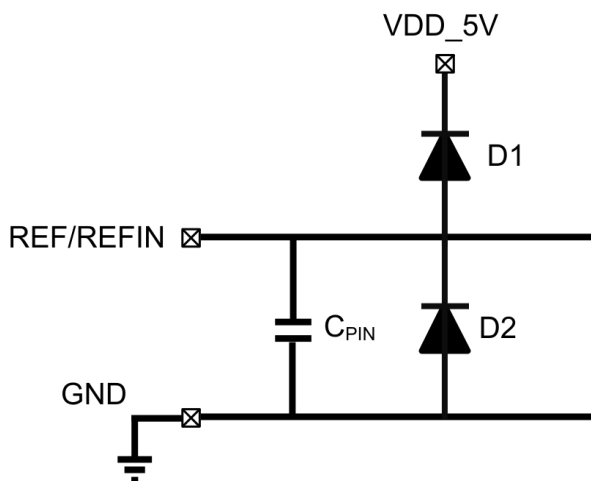
芯片模拟输入拓扑如图 3-4，为了增强芯片 ESD 能力，芯片 REF/REFIN 输入芯片内部有两个 ESD 二极管（如图 D1、D2），两个二极管分别连接到 VDD_5V 供电和 GND。

警告

需要在芯片正常上电期间才能给 REF/REFIN，如果芯片未正常上电就给参考电压，可能会烧毁 ESD 二极管（如果 VDD_5V 供电电源在未工作的时候对地是低阻，有可能会烧毁 D1 二极管），导致芯片失效。

VDD_5V 供电建议选择掉电状态下输出对地阻抗为高阻的 LDO，可以避免烧毁 ESD 二极管风险。

图3-4 芯片 REF/REFIN 引脚输入拓扑



3.2 数字处理功能

芯片支持增益补偿、offset 调整、饱和限位、平均滤波等数字处理相关功能。

3.2.1 增益补偿

AC9610D-24/AC9611D-24 支持对输入的每个通道做独立的增益补偿。增益补偿原理： $D_{out} = D_{in} * \text{增益系数}$ 。

增益系数配置寄存器位宽为 16bits，采用 u(16,1)的定点表示方式；其中 bit[15]为整数位，bit[14:0]为小数位，配置范围 0~1.99997。

ADC0 增益补偿寄存器为 CFG_ADC0_WEIGHT_5，寄存器地址 0x219；ADC1 增益补偿寄存器为 CFG_ADC1_WEIGHT_5，寄存器地址 0x233。

说明

假设用户需要配置的增益系数是 A（A 的范围为 0~1.99997），寄存器需要补偿的配置值计算如下： $2^{15} * A$ 之后取整，再算成 16 进制。

假如用户需要的增益系数是 1.2， $\text{round}(1.2 * 2^{15}) = 39322$ ， $\text{hex}(39322) = 0x999A$ ，因此寄存器需要配置的补偿值为 0x999A；

假如用户需要的增益系数是 0.8， $\text{round}(0.8 * 2^{15}) = 26214$ ， $\text{hex}(26214) = 0x6666$ ，因此寄存器需要配置的补偿值为 0x6666。

警告

使能增益补偿功能可能引起饱和和限位。

3.2.2 Offset 调整

AC9610D-24/AC9611D-24 支持对输入的每个通道做独立的 offset 调整。Offset 调整原理：Dout = Din - offset 调整值。

Offset 调整值为 24bit 有符号数，配置格式为补码。

ADC0 offset 补偿寄存器为 CFG_ADC0_WEIGHT_3/4，寄存器地址 0x217/0x218；ADC1 offset 补偿寄存器为 CFG_ADC1_WEIGHT_3/4，寄存器地址 0x231/0x232。

警告

使能 offset 调整功能可能引起饱和限位。

3.2.3 饱和限位

当芯片模拟输入出现超量程时，将对输出进行饱和限位。超过饱和下限输出为 0x800000，超过饱和上限输出为 0x7FFFFFFF。

说明

饱和限位处理功能位于 offset 调整、增益补偿之后，在配置 offset 调整、增益补偿功能时需关注不要超过饱和限位范围。

3.2.4 共模输出

AC9610D-24/AC9611D-24 支持输出共模分量数据，输出结果为：Dcm = (INP + INN)/2，输出 code 与实际共模电压计算公式为：

$$V_{com} = \frac{D_{cm}}{127} * \frac{644}{514} * V_{REF}$$

当选择共模分量输出时，其数据位宽为 8bit，输出范围为：0~255。

说明

共模分量直接输出，不受数字增益、offset 调整、平均滤波等处理模块影响。

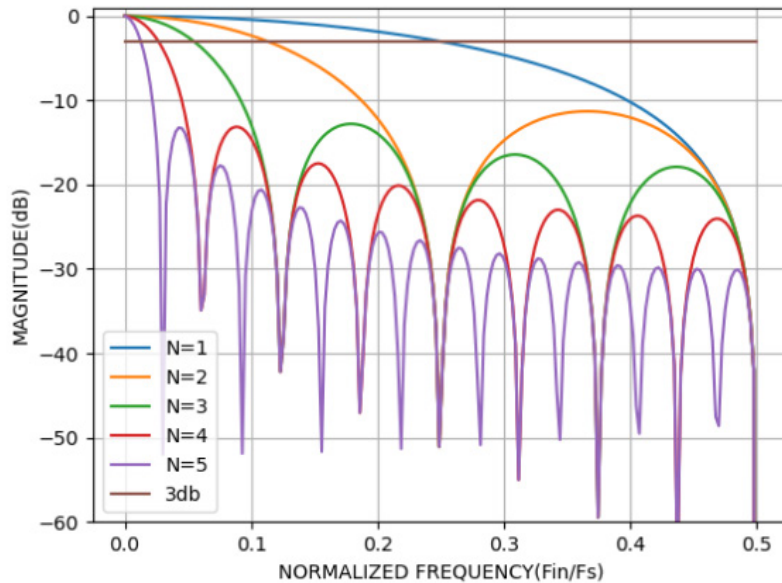
3.2.5 平均滤波

AC9610D-24/AC9611D-24 支持可配置长度的数据平均滤波以提高动态范围。该模块对输入样本数据进行求和，在达到预设样点数量后输出其平均结果。

- 平均滤波样点数量可通过寄存器（CFG_ADC_WEIGHT_0，寄存器地址 0x210，CFG_ADC_WEIGHT_1，寄存器地址 0x211）进行配置，配置范围 N=0~16，对应平均滤波样点数量为 2^N。
- 样点数量到达预设样点数量时，自动清除内部状态并准备进行下一次处理。

开启平均滤波功能后，芯片等效采样率为 f_{CNV}/2^N，ADC 输出数据可通过寄存器 CFG_ADC_WEIGHT_3（寄存器地址 0x213）选择为 32bit 数据输出。

图3-5 平均滤波的频率响应



3.2.6 测试图案

为了便于调试，AC9610D-24/AC9611D-24 支持使用测试图案数据替换 QSPI 接口数据。测试图案固定为 32bit。

说明

- 用户可以通过配给寄存器 CFG_SPI_CONV_T_MODE[1:0]来选择正常 ADC 数据还是测试图案数据；
- 测试图案数据可以通过配置寄存器 CFG_SPI_TEST_PAT1_WORD/CFG_SPI_TEST_PAT0_WORD 来设置。

3.2.7 输出排布

AC9610D-24/AC9611D-24 支持如下 5 种数据输出排布，需要配置寄存器 CFG_ADC_WEIGHT_3 和寄存器 CFG_SPI_CONV_T_MODE[1:0]来实现：

- 24bit 输出，数据为差分分量数据；CFG_SPI_CONV_T_MODE[1:0] = 2'd0，CFG_ADC_WEIGHT_3 = 3'd0 或者 3'd2；
- 24bit 输出，bit[23:8]为差分分量数据（ADC 差分数据高 16bit），bit[7:0]为共模分量数据；CFG_SPI_CONV_T_MODE[1:0] = 2'd0，CFG_ADC_WEIGHT_3 = 3'd1；
- 32bit 输出，bit[31:8]为差分分量数据，bit[7:0]为共模分量数据；CFG_SPI_CONV_T_MODE[1:0] = 2'd1，CFG_ADC_WEIGHT_3 = 3'd2；
- 32bit 输出，bit[31:2]为平均滤波后的差分分量数据，bit[1]为 OR(OverRange)告警位（如果该次平均数据有数据饱和，则该 bit 为 1），bit[0]为 SYNC 位（输出数据有效时，SYNC 为 1，输出数据无效时，SYNC 为 0）；CFG_SPI_CONV_T_MODE[1:0] = 2'd1，CFG_ADC_WEIGHT_3 = 3'd5；
- 32bit 输出，数据为软件配置的测试图案。CFG_SPI_CONV_T_MODE[1:0] = 2'd2，CFG_ADC_WEIGHT_3 = 3'dX（CFG_ADC_WEIGHT_3 配置值不影响输出排布）。



图3-6 芯片输出排布方式



3.2.8 ADC 输入电压与 ADC 输出码字关系

表3-1 不开启平均功能，ADC 输入电压与 ADC 输出码字（24bit）关系

ADC 模拟输入电压	ADC 码字输出（补码）
$(8388607 * V_{REF})/8388608$	0x7FFFFFFF
$1/2 * V_{REF}$	0x400000
$V_{REF}/8388608$	0x000001
0V	0x000000
$-V_{REF}/8388608$	0xFFFFF
$-1/2 * V_{REF}$	0xC00000
$-(8388607 * V_{REF})/8388608$	0x800001
$-V_{REF}$	0x800000

表3-2 开启平均功能下，ADC 输入电压与 ADC 输出码字（30bit）关系

ADC 模拟输入电压	ADC 码字输出（补码）
$(536870911 * V_{REF})/536870912$	0x1FFFFFFF
$1/2 * V_{REF}$	0x10000000
$V_{REF}/536870912$	0x00000001
0V	0x00000000
$-V_{REF}/536870912$	0x3FFFFFFF



ADC 模拟输入电压	ADC 码字输出 (补码)
$-1/2 * V_{REF}$	0x30000000
$-(536870911 * V_{REF})/536870912$	0x20000001
$-V_{REF}$	0x20000000

3.3 QSPI 串行总线

AC9610D-24/AC9611D-24 支持通过 QSPI 接口进行寄存器访问和样点数据回读，芯片 SPI 模式分为寄存器配置模式和数据转换模式，通过配置寄存器 CFG_QSPI_MODE（寄存器地址 0x002）进行跳转。

在寄存器配置模式下，芯片支持通过标准四线 SPI 读写芯片寄存器；在数据转换模式下，芯片通过复用四线 SPI 与其他 SDO 线（SDO1-7）进行数据传输。

说明

- 芯片上电默认工作在 SPI 寄存器配置模式下。
- 配置模式进入转换模式需要向 0x2 地址寄存器写入固定 0xA5A5。
- 转换模式进入配置模式需要向 0x2 地址寄存器写入非 0xA5A5。注意，在转换模式下，仅支持寄存器 0x2 地址的写入。
- 在配置模式下，不支持芯片 ADC 转换数据的回读。
- 在转换模式下，不可以对芯片除 0x2 寄存器外的寄存器做读写操作。

3.3.1 SPI 寄存器配置模式

AC9610D-24/AC9611D-24 支持通过 SPI 接口进行寄存器访问，其特性如下：

- 支持标准的 4 线 SPI 管脚：SCK、CSN、SDI、SDO0；
- 固定在 SCK 上升沿采样，下降沿输出；
- 数据、地址仅支持 MSB 先出；数据 16bit，地址 15bit+1bit 读写控制，读写控制 1 为回读，0 为写入；
- 配置寄存器或回读寄存器时，SPI 时钟最大支持写 40MHz，回读 20MHz。

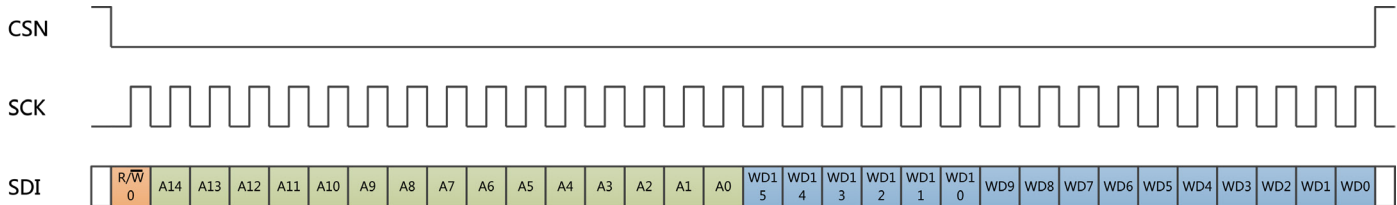
说明

SPI 配置寄存器模式下回读只能使用 SDO0。

3.3.2 SPI 读写寄存器时序

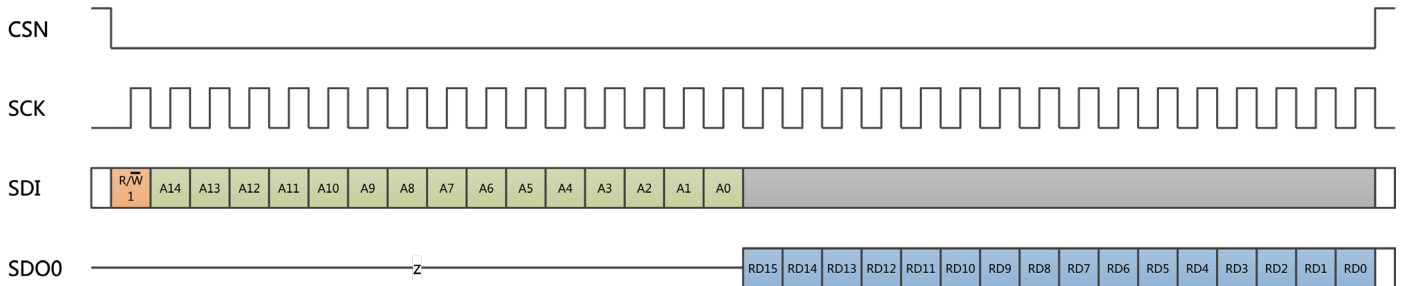
寄存器访问写时序如图 3-7 所示。

图3-7 寄存器访问写时序



寄存器访问读时序如图 3-8 所示。

图3-8 寄存器访问读时序



说明

SPI 配置寄存器模式下具体时序参数请参考 2.6.2 SPI 配置寄存器模式接口时序参数章节。

3.3.3 SPI 转换模式

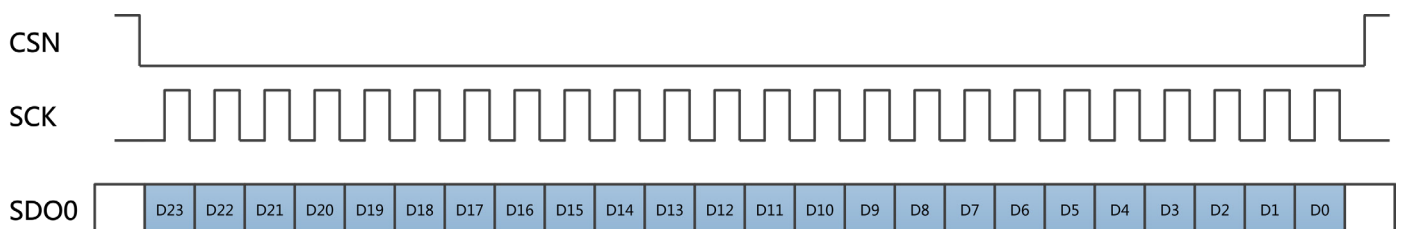
SPI 默认处于配置模式，进入转换模式需要向 0x2 地址写入固定 pattern 0xA5A5。芯片在转换模式下进行 ADC 数据的传输，根据时钟模式的不同分为 SPI 时钟模式、回波时钟（Echo）模式、主时钟（Host）模式：

- SPI 时钟模式下，主控制器提供 SCK，芯片使用该时钟锁存并输出数据，数据仅支持下降沿发送（SDR）；（默认模式）
- 回波时钟模式下，时钟来自 SCK，并通过 BUSY_SCKOUT 管脚输出，数据支持单边沿与双边沿发送，该模式可以使带隔离器的系统时序更容易满足；
- 主时钟模式下时钟来自内部 OSC，并通过 BUSY_SCKOUT 管脚输出，数据支持单边沿与双边沿发送；
- 每次传输的样本数据位宽支持 24bit、32bit 可配置；
- 各模式下时钟个数需匹配每个 lane 上传输的 bit 数；
- Interleaved 模式下，使用 SDO0 传输数据，ADC0 数据先发；
- 使用主时钟模式，需要配置主时钟模式下的时钟使能（寄存器地址 0x11）。

3.3.4 SPI 转换模式时序

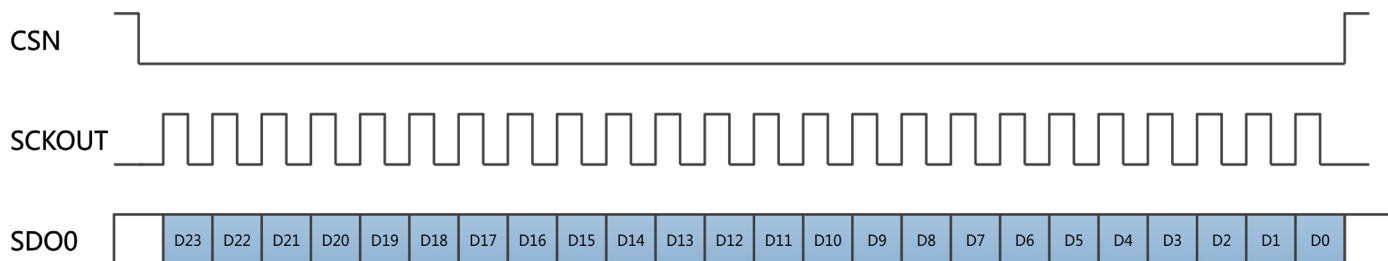
SPI 时钟模式时序如图 3-9 所示，具体时序窗口参考 2.6.3 SPI 数据转换模式时序参数章节。

图3-9 SPI 模式下时序，数据输出 24bits，1lane 模式



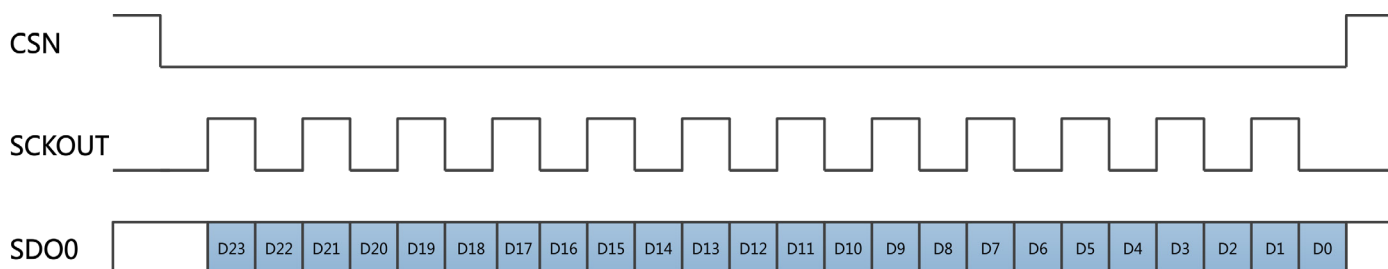
回波时钟/主时钟 SDR 模式时序如图 3-10 所示，具体时序窗口参考 2.6.3 SPI 数据转换模式时序参数章节。

图3-10 Echo、Host 时钟 SDR 模式下时序，数据输出 24bits，1lane 模式



回波时钟/主时钟 DDR 模式时序如图 3-11 所示，具体时序窗口参考 2.6.3 SPI 数据转换模式时序参数章节。

图3-11 Echo、Host 时钟 DDR 模式下时序，数据输出 24bits，1lane 模式



3.4 ADC 采样与 SPI 数据转换回读

3.4.1 CNV 启动信号

支持 CNV 信号输入，当内部检测到 CNV 的上升沿时启动数据转换。

CNV 高电平最短 20ns，CNV 低电平最短 20ns，具体时序参数见 2.6.1 CNV 采样时序参数章节。

3.4.2 BUSY 状态输出

BUSY_SCKOUT 引脚支持 BUSY 状态输出，在 ADC 数据转换期间 Busy 状态拉高指示数据未就绪。

说明

- 仅在 SPI 时钟模式下，支持 BUSY_SCKOUT 引脚输出 BUSY 状态功能；
- 在回波时钟模式及主时钟模式下，BUSY_SCKOUT 管脚作为 SCK 时钟输出，BUSY 状态不可用。在回波时钟模式及主时钟模式下，用户可以通过等待 t_{CONV} 时间来确保数据就绪。 t_{CONV} 时间见 2.6.1 CNV 采样时序参数章节。

3.4.3 读取窗口

读取窗口可以跨 CNV，在 BUSY 信号拉低后（在回波模式和主时钟模式需要等待 t_{CONV} 时间后）就可以开始读取数据，CSN 信号拉低会锁存 ADC 当次转换数据，因此，在 BUSY 信号拉低的过程中，CSN 信号拉低，既能保证锁存数据的正确性。几种典型采样率下的推荐数据读取时序如图 3-12~图 3-16。



图3-12 推荐使用的单次采样读取窗口 (AC9610D-24, 采样率 2MSPS)

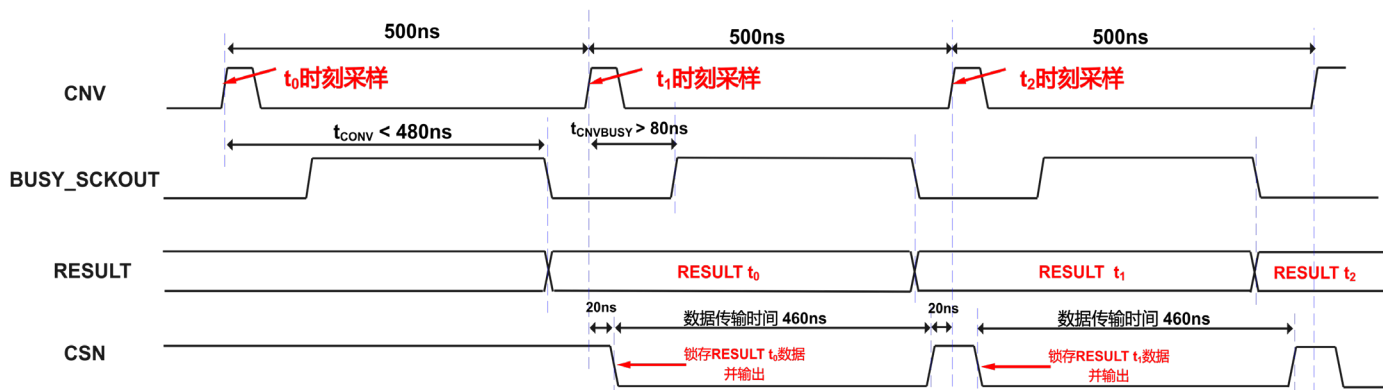


图3-13 推荐使用的单次采样读取窗口 (AC9610D-24, 采样率 1MSPS)

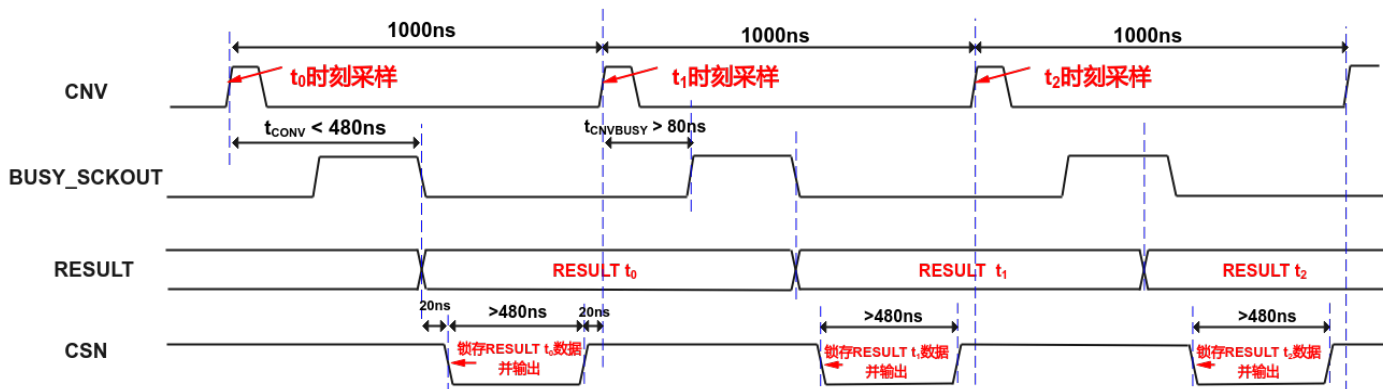


图3-14 推荐使用的单次采样读取窗口 (AC9610D-24, 采样率 500kSPS)

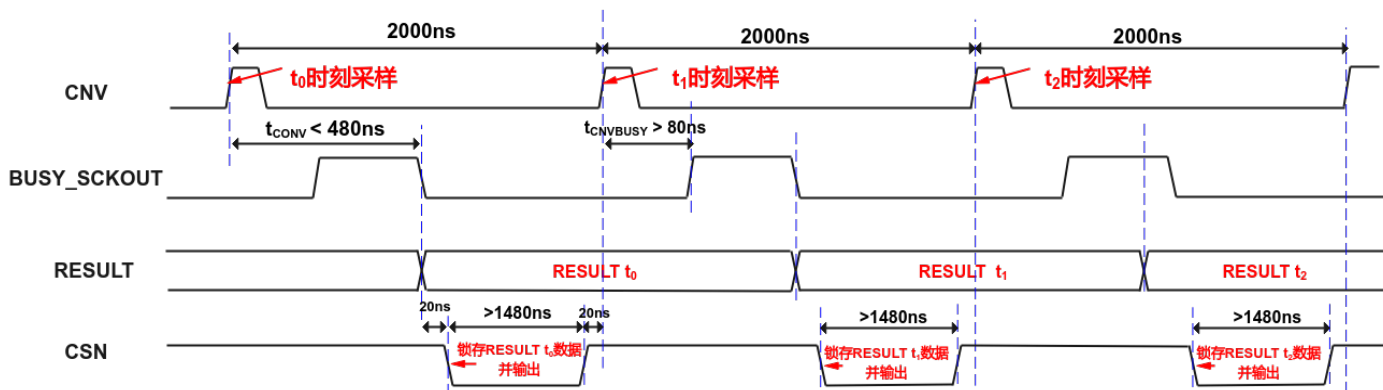
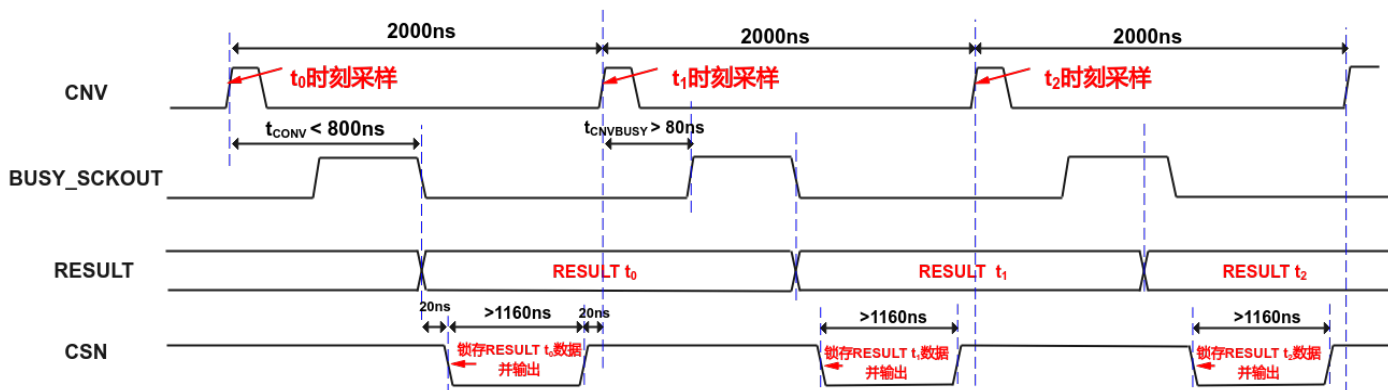


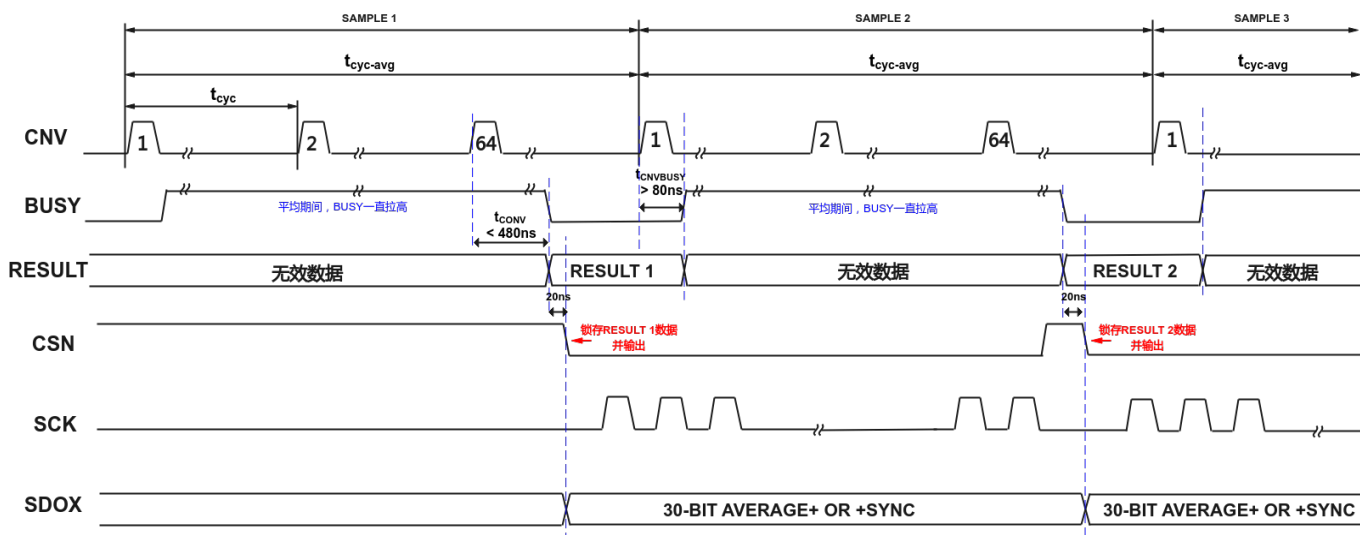
图3-15 推荐使用的单次采样读取窗口 (AC9611D-24, 采样率 500kSPS)



须知

- CSN 信号拉低的时刻，需要在芯片 BUSY 信号拉低之后（对于回波以及主时钟模式，BUSY_SCKOUT 引脚不在指示芯片 BUSY 状态，需要用户精确计算 CSN 拉低时刻）；
- 虽然 CSN 低电平持续时间可以跨越 CNV 采样脉冲，但是为了防止 QSPI 在数据传输过程中对 CNV 采样沿产生影响，推荐的数据读取窗口均没有跨 CNV；
- 如果读取时间窗口很难满足的情况下，CSN 低电平可以跨 CNV，但要保证 CNV 信号线与 QSPI 信号线之间隔离度。

图3-16 64 次平均模式读取窗口 (AC9610D-24, 建议使用 SPI 时钟模式)





须知

- 平均模式下，建议客户采用 SPI 时钟模式，此时 BUSY 信号可以指示芯片工作状态：平均过程中 BUSY 一直拉高，平均结束，BUSY 才会拉低；用户需要在 BUSY 拉低的过程中将 CS 引脚拉低，来锁存并输出正确的 ADC 转换数据；在非 BUSY 拉低的过程中，禁止将 CS 拉低锁存数据输出，此时输出的数据非预期数据。
- 如果客户采用回波或者主时钟模式传输平均模式数据，可以检测输出数据的 SYNC 标志为来检查获得数据的准确性；
- 平均模式下， t_{CONV} 与 $t_{CNVBUSY}$ 的时间与常规模式一致。

3.4.4 数据映射

在不同 SDO 线模式下，数据映射关系如下：

- Interleaved 模式：ADC0/ADC1 数据均从 SDO0 输出；
- 1-Lane 输出模式：ADC0 从 SDO0 输出，ADC1 从 SDO4 输出；
- 2-Lane 输出模式：ADC0 从 SDO0、SDO1 输出，ADC1 从 SDO4、SDO5 输出；
- 4-Lane 输出模式：ADC0 从 SDO0、SDO1、SDO2、SDO3 输出，ADC1 从 SDO4、SDO5、SDO6、SDO7 输出。

表3-3 转换模式映射关系表

工作模式	时钟模式	Lane 输出模式	支持的数据速率模式	数据 24bit 每 Lane 数据位宽	数据 32bit 每 Lane 数据位宽
转换模式	SPI 时钟模式	1-Lane	SDR	24	32
		2-Lane		12	16
		4-Lane		6	8
		Interleaved		48	64
	回波时钟模式	1-Lane	SDR、DDR	24	32
		2-Lane		12	16
		4-Lane		6	8
		Interleaved		48	64
	主时钟模式	1-Lane	SDR、DDR	24	32
		2-Lane		12	16
		4-Lane		6	8
		Interleaved		48	64



表3-4 Lane 映射关系表

Lane 输出端口映射	Lane 模式	ADC0	ADC1
	1-Lane	SDO0	SDO4
	2-Lane	SDO0、SDO1	SDO4、SDO5
	4-Lane	SDO0、SDO1、SDO2、SDO3	SDO4、SDO5、SDO6、SDO7
	Interleaved	SDO0	

图3-17 SPI 时钟模式，Interleaved 交织，ADC0/ADC1 输出

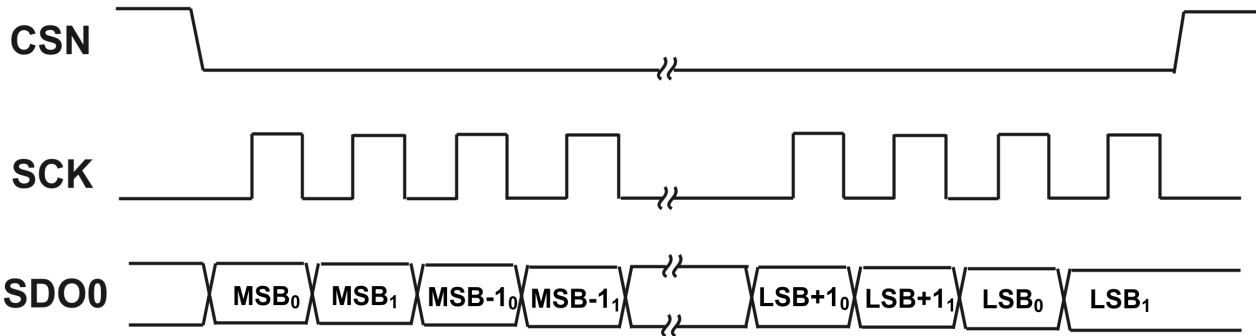


图3-18 SPI 时钟模式，1-Lane 模式，SDR，ADC0/ADC1 输出

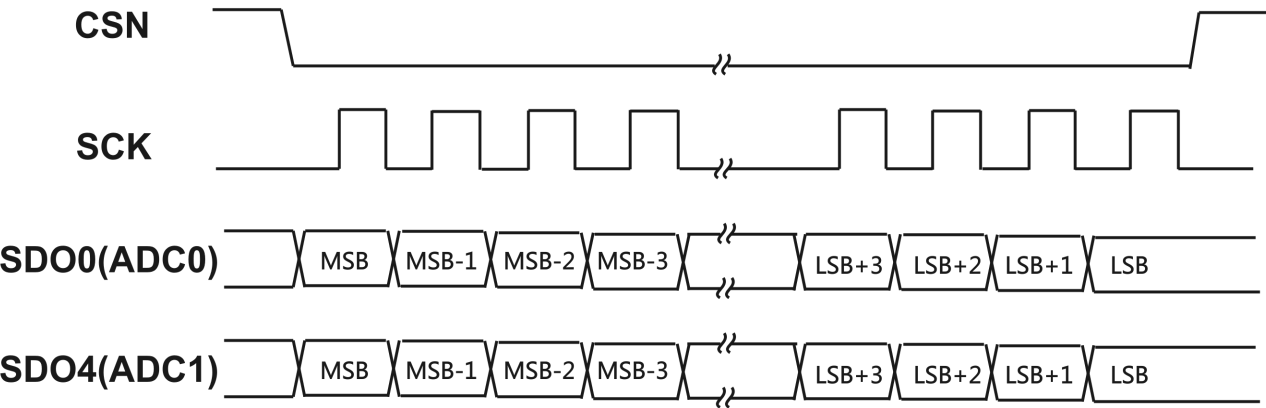




图3-19 SPI 时钟模式, 2-Lane 模式, SDR, ADC0 输出

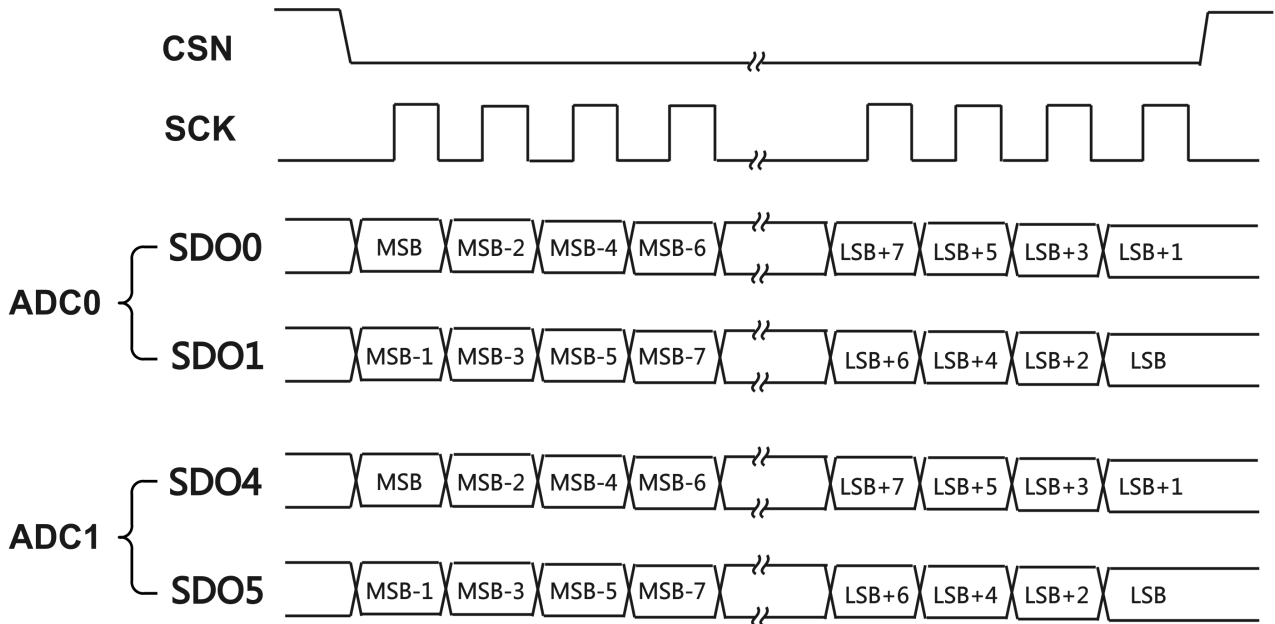
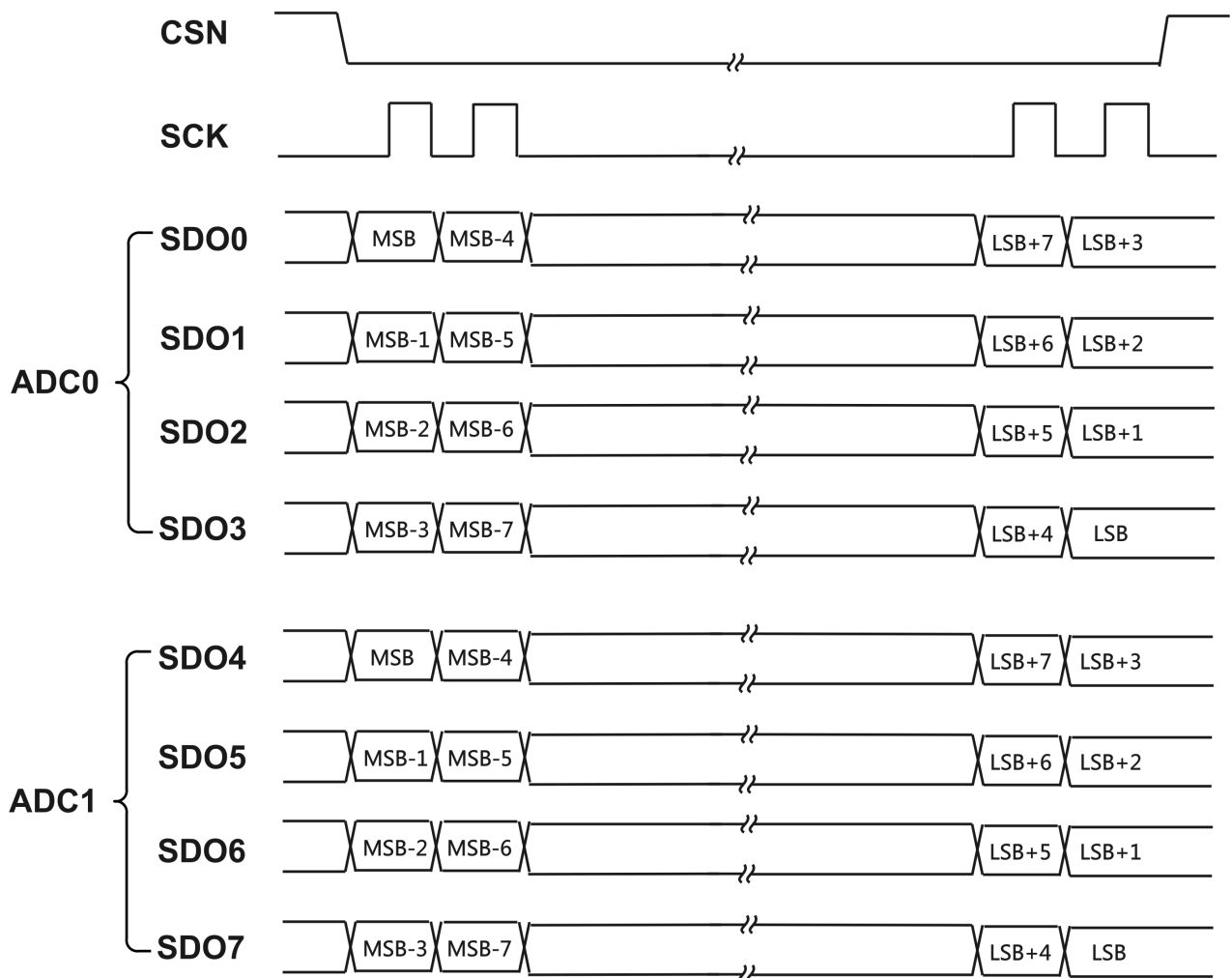


图3-20 SPI 时钟模式, 4-Lane 模式, SDR, ADC0 输出





4 应用指南

4.1 上下电顺序

AC9610D-24/AC9611D-24 芯片有三个供电电源域，分别是 DVDD_1V8、IOVDD 与 VDD_5V，上电、下电需要满足如下时序：

- 上电时序：IOVDD 先上电，DVDD_1V8 接着上电，VDD_5V 最后上电；IOVDD 可以与 DVDD_1V8 同时上电，但是 IOVDD 不能晚于 DVDD_1V8 上电。
- 下电时序：VDD_5V 先下电，DVDD_1V8 接着下电，IOVDD 最后下电；IOVDD 可以与 DVDD_1V8 同时下电，但是 IOVDD 不能早于 DVDD_1V8 下电。

若无法控制上电、下电时序，需要保证芯片供电器件在未上电状态下对地阻抗为高阻，且需要保证上电、下电结束前芯片处于复位状态，即 RSTN 为低电平。

AC9610D-24/AC9611D-24 推荐的上下电及复位时序如图 4-1 所示，具体时序窗口见表 4-1。

REF/REFIN、模拟输入都看作是芯片的信号输入，信号输入必须在电源上电完成之后再给入，必须在电源下电之前就撤销输入。

图4-1 芯片推荐上电复位时序

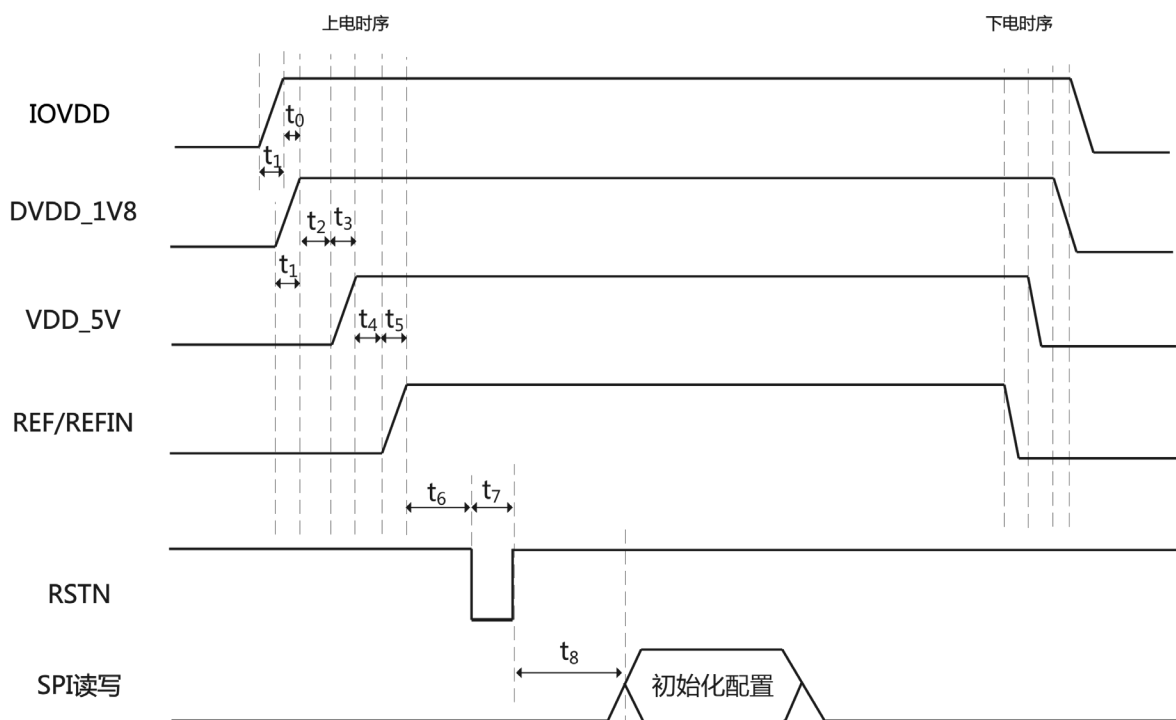




表4-1 芯片上下电时序要求

参数	符号	Min.	Max.	单位
IOVDD/DVDD_1V8 上电完成时间间隔	t_0	0	-	μs
DVDD_1V8/IOVDD 上升时间	t_1	100	-	μs
DVDD_1V8 和 VDD_5V 电源上电时间间隔	t_2	0	-	μs
VDD_5V 上升时间	t_3	100	-	μs
VDD_5V 电源与 REFIN 基准源上电时间间隔	t_4	0	-	μs
REF/REFIN 基准源上升时间	t_5	100	-	μs
上电完成到芯片复位时间间隔	t_6	100	-	μs
芯片低电平复位脉宽	t_7	400	-	ns
芯片解复位之后到芯片寄存器配置时间	t_8	400	-	ns

警告

- 如果既无法满足上电、下电时序，也无法控制 RSTN 电平或者无法确保芯片供电器件在不上电的情况下对地阻抗为高阻（例如给芯片供电器件为 LDO_A/B/C，需要保证 LDO_A/B/C 器件在无输出电压的情况下，输出引脚对地阻抗皆为高阻），芯片应用可能存在可靠性问题，甚至会烧毁芯片；
- INP0, INN0, INP1, INN1, REFIN, REF 输入信号需要在上电完成后给入，否则芯片应用可能存在可靠性问题，甚至会烧毁芯片。

4.2 配置流程

4.2.1 芯片上电配置流程

4.2.1.1 AC9610D-24 上电配置流程

步骤 1 按照芯片上电流程上电，并等待电源稳定；

步骤 2 芯片硬复位，RSTN 引脚拉低再拉高；

步骤 3 寄存器 base address = 0x0000，下述地址均为 offset address；

步骤 4 配置模拟模块、ADC、OSC 模块复位：

- 0x10 = 0x0001

步骤 5 根据系统应用，配置 SPI 模式与数据输出格式：

- 0x05 = 0x0031（回波时钟模式，4-Lane，SDR，32bit 输出模式）
- 0x213 = 0x0002（默认值，可不配置。24bit 差分数据 + 8bit 共模数据）

步骤 6 配置 EFUSE 存储值读入：

- 0x31 = 0xFF
- 0x40 = 0x10



- 0x40 = 0x11
- 持续给 SPI CLK (960 个 SPI CLK)
- 回读 0x42, 确认值为 0x42 = 1, 确保 EFUSE load 完成
- 如果用户不方便回读寄存器, 可以通过连续写 30 次寄存器 (寄存器地址 0x121, 值 0x3040) 来实现持续给 SPI CLK 的操作, 操作完成之后, 可以确保 EFUSE 加载完成

步骤 7 配置模拟调优寄存器:

- 0x121 = 0x3040
- 0x128 = 0x000B
- 0x12C = 0x3040
- 0x12D = 0x0000
- 0x12D = 0x000B
- 0x12F = 0x000B
- 0x133 = 0x0037
- 0x138 = 0x0000
- 0x138 = 0x000B
- 0x13F = 0x53BB

步骤 8 关闭 EFUSE 模块时钟:

- 0x12 = 0x0000

步骤 9 配置模拟模块、ADC、OSC 模块解复位:

- 0x10 = 0x1111

步骤 10 等待 1ms, 芯片复位完成, 正常启动;

步骤 11 配置寄存器, 使 ADC 电容预充电, 降低突发采样产生毛刺概率:

- 0x121 = 0x2040
- 0x12C = 0x2040
- 0x121 = 0x3040
- 0x12C = 0x3040

步骤 12 配置芯片进入数据转换模式, 在发送 CNV 之前配置:

- 0x02 = 0xA5A5

步骤 13 ADC 转换阶段, 发送 CNV, 并进行数据转换;

步骤 14 芯片下电, 按照芯片下电流程下电。

---结束

4.2.1.2 AC9611D-24 上电配置流程

步骤 1 按照芯片上电流程上电, 并等待电源稳定;

步骤 2 芯片硬复位, RSTN 引脚拉低再拉高;

步骤 3 寄存器 base address = 0x0000, 下述地址均为 offset address;

步骤 4 配置模拟模块、ADC、OSC 模块复位:

- 0x10 = 0x0001



步骤 5 根据系统应用，配置 SPI 模式与数据输出格式：

- 0x05 = 0x0031 (回波时钟模式，4-Lane，SDR，32bit 输出模式)
- 0x213 = 0x0002 (默认值，可不配置。24bit 差分数据 + 8bit 共模数据)

步骤 6 配置 EFUSE 存储值读入：

- 0x31 = 0xFF
- 0x40 = 0x10
- 0x40 = 0x11
- 持续给 SPI CLK (960 个 SPI CLK)
- 回读 0x42，确认值为 0x42 = 1，确保 EFUSE load 完成
- 如果用户不方便回读寄存器，可以通过连续写 30 次寄存器（寄存器地址 0x121，值 0x3440）来实现持续给 SPI CLK 的操作，操作完成之后，可以确保 EFUSE 加载完成

步骤 7 配置模拟调优寄存器：

- 0x121 = 0x3440
- 0x128 = 0x000B
- 0x12C = 0x3440
- 0x12D = 0x0000
- 0x12D = 0x000B
- 0x12F = 0x000B
- 0x133 = 0x0037
- 0x138 = 0x0000
- 0x138 = 0x000B
- 0x13F = 0x53BF

步骤 8 关闭 EFUSE 模块时钟：

- 0x12 = 0x0000

步骤 9 配置模拟模块、ADC、OSC 模块解复位：

- 0x10 = 0x1111

步骤 10 等待 1ms，芯片复位完成，正常启动；

步骤 11 配置寄存器，使 ADC 电容预充电，降低突发采样产生毛刺概率：

- 0x121 = 0x2440
- 0x12C = 0x2440
- 0x121 = 0x3440
- 0x12C = 0x3440

步骤 12 配置芯片进入数据转换模式，在发送 CNV 之前配置：

- 0x02 = 0xA5A5

步骤 13 ADC 转换阶段，发送 CNV，并进行数据转换；

步骤 14 芯片下电，按照芯片下电流程下电。

----结束

4.2.2 寄存器软复位

如果用户不方便进行硬件复位操作，芯片支持寄存器全局软复位操作。芯片全局软复位寄存器是 CFG_RSTN_SOFT，芯片全局软复位流程如下：

步骤 1 配置寄存器全局软复位：

- 0x00 = 0x2004

步骤 2 配置寄存器全局解复位：

- 0x00 = 0xA005

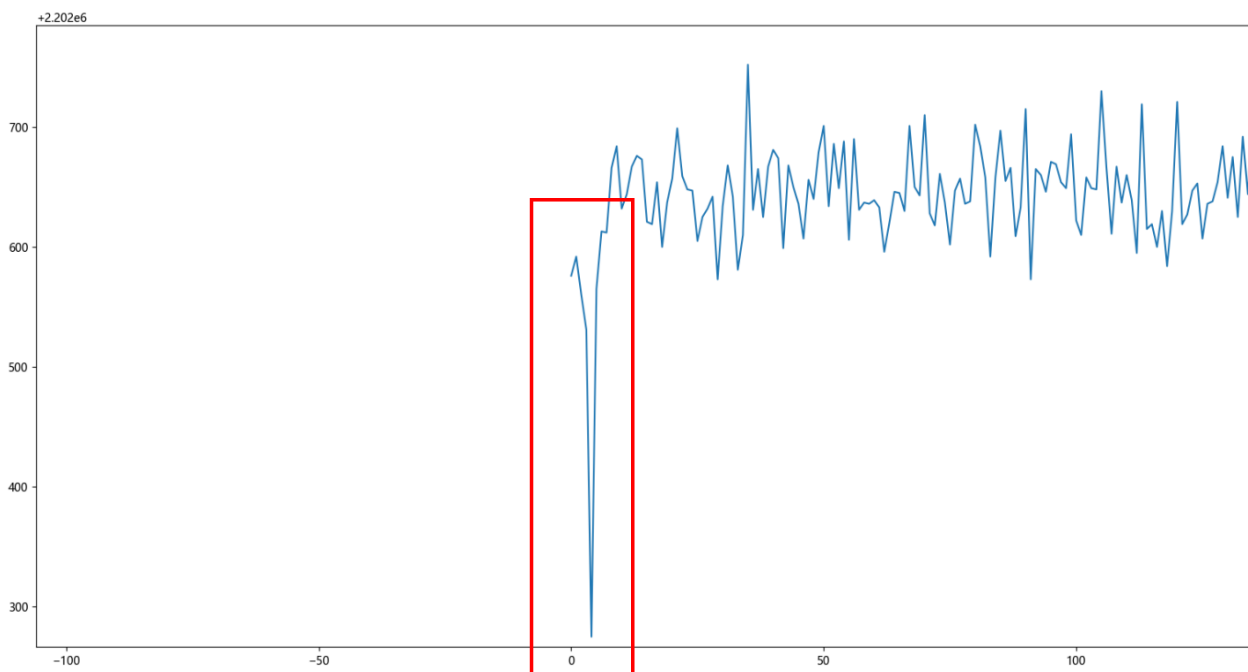
步骤 3 等待 400ns，芯片完成解复位，执行后面操作。

---结束

4.2.3 突发采样前几个采样点数据毛刺规避手段

当芯片长时间（一般大于 1s 即认为是长时间）处于 standby 工作状态（芯片处于 ADC 转换模式，但是未接收到 CNV，ADC 不会采样转换），用户突然发起 CNV，芯片突发采样的场景下，采样结果可能会出现如图 4-2 所示的前几个采样点有波动毛刺的现象。该现象主要是由于芯片长时间处于 standby 状态，芯片内部电容放电导致。

图4-2 突发采样时，前几个采样点可能出现波动示意图



完全解决该问题的方案是用户手动抛掉突发采样之后一段时间的采样点，大概 10 个采样点的数量。

另外，用户可以通过突发采样之前，让芯片电容预充电，降低突发采样产生毛刺概率，但不能保证完全解决。芯片电容预充电寄存器配置如下：

步骤 1 配置芯片进入 SPI 寄存器配置模式：

- 0x02 = 非 0xA5A5

步骤 2 配置寄存器，使 ADC 电容预充电（针对 AC9610D-24）：



- 0x121 = 0x2040
- 0x12C = 0x2040
- 0x121 = 0x3040
- 0x12C = 0x3040

步骤 3 配置寄存器，使 ADC 电容预充电（针对 AC9611D-24）：

- 0x121 = 0x2440
- 0x12C = 0x2440
- 0x121 = 0x3440
- 0x12C = 0x3440

步骤 4 配置芯片进入数据转换模式，在发送 CNV 之前配置：

- 0x02 = 0xA5A5

步骤 5 ADC 转换阶段，发送 CNV，开始突发采样。

---结束

4.2.4 平均模式寄存器配置以及切换平均点数注意事项

芯片平均模式需要配置寄存器 CFG_ADC_WEIGHT_0（寄存器地址 0x210）和寄存器 CFG_ADC_WEIGHT_1（寄存器地址 0x211），不同平均次数下，两个寄存器分别配置值如表 4-2 所示。

表4-2 芯片平均模式寄存器配置

平均次数	寄存器配置	
	CFG_ADC_WEIGHT_0 (0x210)	CFG_ADC_WEIGHT_1 (0x211)
不平均	0x0000	0x0000
2 ¹ 次平均	0x0001	0x0001
2 ² 次平均	0x0003	0x0002
2 ³ 次平均	0x0007	0x0003
2 ⁴ 次平均	0x000F	0x0004
2 ⁵ 次平均	0x001F	0x0005
2 ⁶ 次平均	0x003F	0x0006
2 ⁷ 次平均	0x007F	0x0007
2 ⁸ 次平均	0x00FF	0x0008
2 ⁹ 次平均	0x01FF	0x0009
2 ¹⁰ 次平均	0x03FF	0x000A
2 ¹¹ 次平均	0x07FF	0x000B
2 ¹² 次平均	0x0FFF	0x000C
2 ¹³ 次平均	0x1FFF	0x000D
2 ¹⁴ 次平均	0x3FFF	0x000E



平均次数	寄存器配置	
	CFG_ADC_WEIGHT_0 (0x210)	CFG_ADC_WEIGHT_1 (0x211)
2 ¹⁵ 次平均	0x7FFF	0x000F
2 ¹⁶ 次平均	0xFFFF	0x0010~0X01F

建议用户在切换平均次数的应用中，不同的平均次数切换之间复位芯片，重新配置寄存器。如果无法做到切换平均次数复位芯片，可以通过复位 ADC 模块来实现，需要在切换平均次数配置之后增加如下寄存器配置。

步骤 1 配置芯片进入 SPI 寄存器配置模式：

- 0x02 = 非 0xA5A5

步骤 2 配置寄存器，切换芯片平均次数工作模式：

- 0x210 = 0XXXX
- 0x211 = 0XXXX

步骤 3 配置寄存器，复位 ADC 内部数字模块，触发平均模式切换生效：

- 0x10 = 0x1011
- 0x10 = 0x1111

步骤 4 配置寄存器，使 ADC 电容预充电（针对 AC9610D-24）：

- 0x121 = 0x2040
- 0x12C = 0x2040
- 0x121 = 0x3040
- 0x12C = 0x3040

步骤 5 配置寄存器，使 ADC 电容预充电（针对 AC9611D-24）：

- 0x121 = 0x2440
- 0x12C = 0x2440
- 0x121 = 0x3440
- 0x12C = 0x3440

步骤 6 配置芯片进入数据转换模式，在发送 CNV 之前配置：

- 0x02 = 0xA5A5

步骤 7 ADC 转换阶段，发送 CNV，开始平均采样。

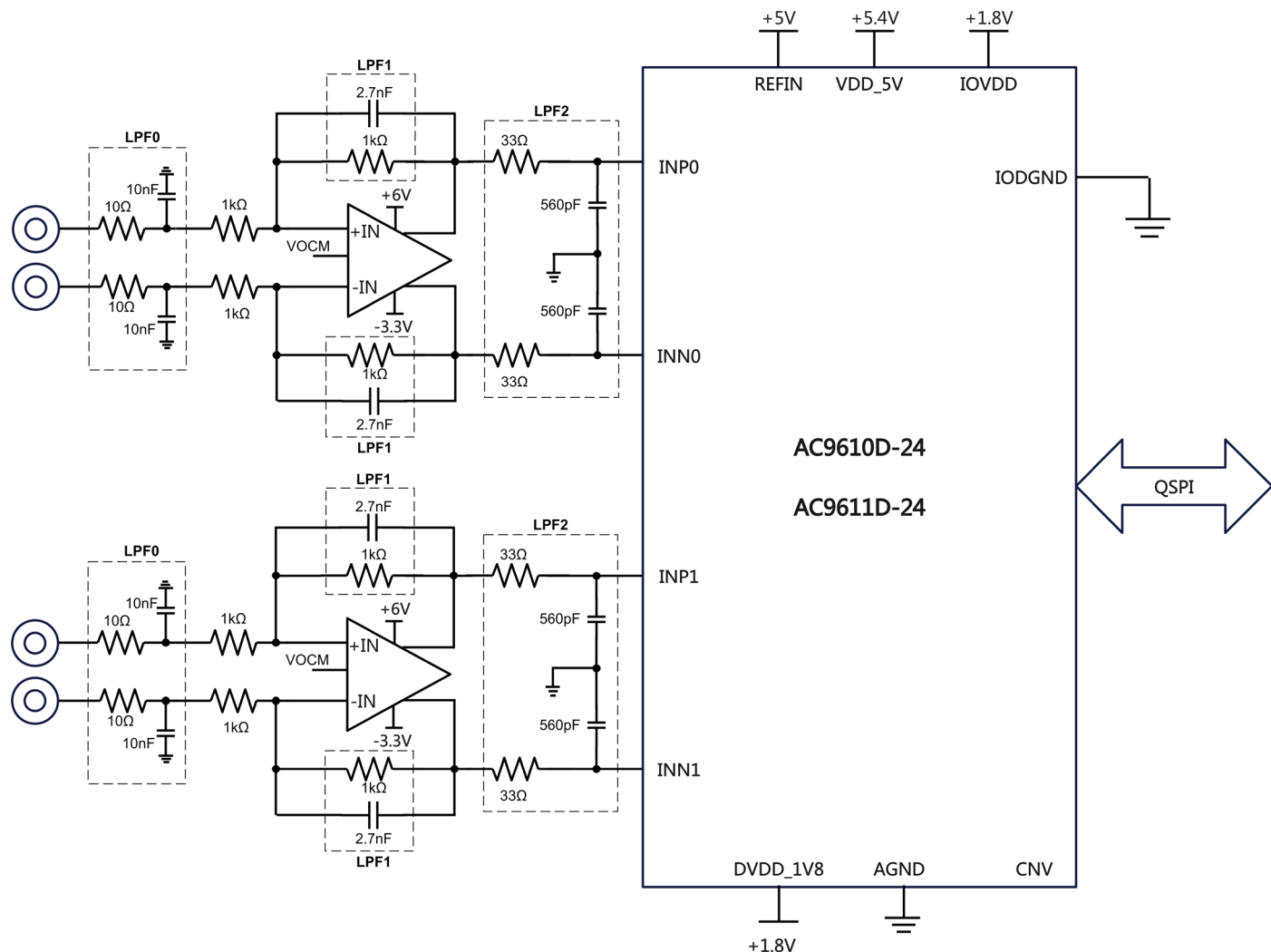
----结束

须知

- 平均模式的配置属于芯片内部数字功能配置，可以在上电配置流程（[4.2.1 芯片上电配置流程](#)章节）之后配置；
- 配置寄存器的过程，需要注意 ADC 的 SPI 工作模式（0x2 寄存器的值）。

4.3 原理图设计指南

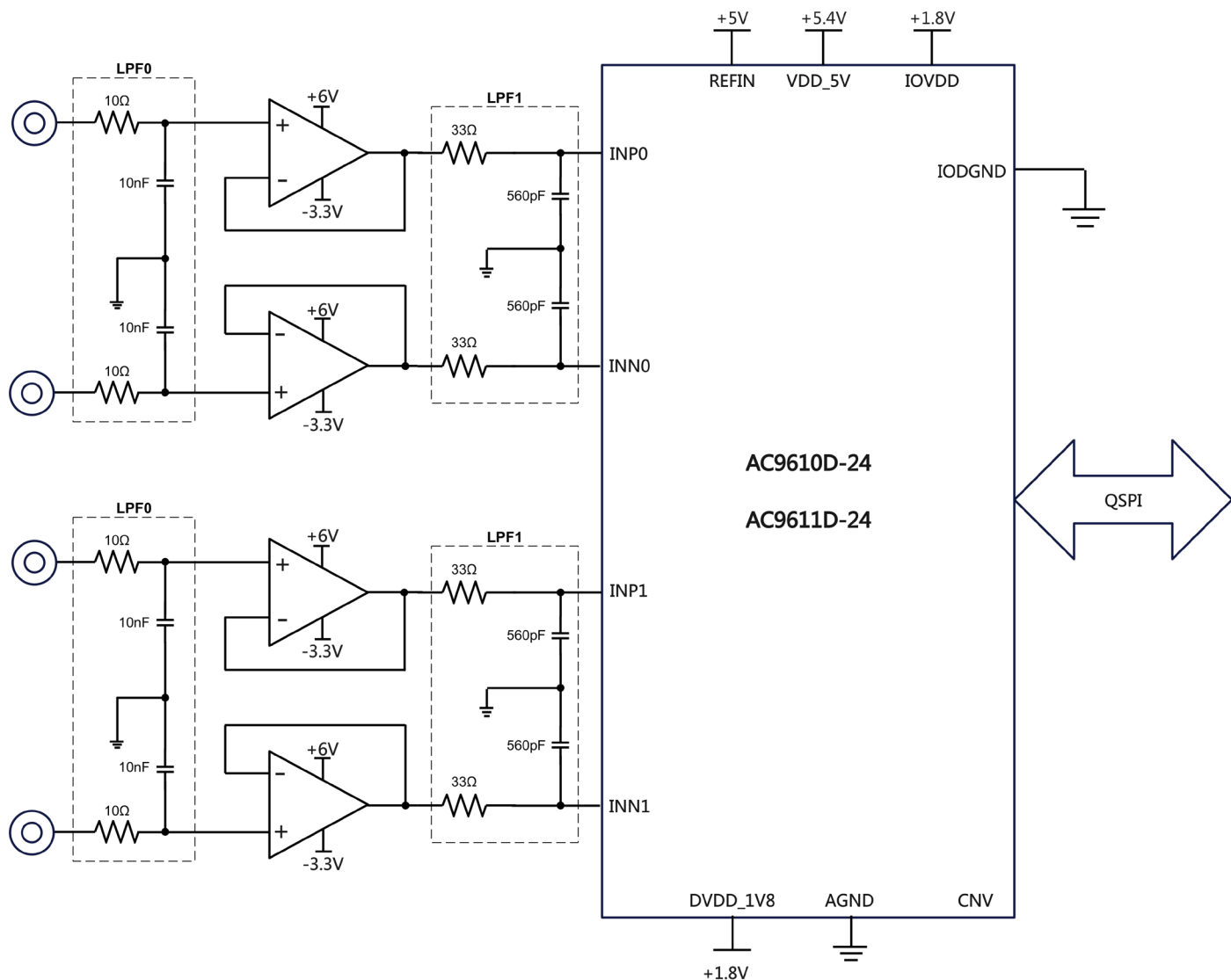
图4-3 典型应用框图（全差分运放）



须知

- 图 4-3 所示的 LPF0 的-3dB 截止带宽为 1.59MHz，LPF1 的-3dB 截止带宽为 59kHz，LPF2 的截止带宽为 8.6MHz；
- 用户需要按照被测信号频率范围设置 LPF0、LPF1、LPF2 的截止带宽。LPF2 一般采用小电阻+大电容的组合，阻容值会影响到 SAR ADC 的 SNR 以及运算放大器的输出稳定性，建议客户谨慎修改 LPF2 的 RC 组合值。

图4-4 典型应用框图（低噪声运放）



须知

- 图 4-4 所示的 LPF0 的-3dB 截止带宽为 1.59MHz，LPF1 的截止带宽为 8.6MHz；
- 用户需要按照被测信号频率范围设置 LPF0、LPF1 的截止带宽。LPF1 一般采用小电阻+大电容的组合，阻容值会影响到 SAR ADC 的 SNR 以及运算放大器的输出稳定性，建议客户谨慎修改 LPF1 的 RC 组合值。

4.3.1 模拟前端电路

图 4-3、图 4-4 显示了驱动 AC9610D-24/AC9611D-24 的两个示例，其任一运放与前级调理电路结合使用，两种驱动电路均可支持单端或差分输入。

说明

- 为实现 AC9610D-24/AC9611D-24 的 SNR 和 THD 性能，应选择具有低噪声和足够 THD 性能的驱动放大器，以满足应用要求；
- 为了保证完全释放芯片的性能，建议模拟前端电路上的电容采用压电效应较低的 NP0 或者 C0G 电容，若出现 THD 等谐波性能回退，建议排查电容选型；
- 芯片模拟输入带宽远超芯片奈奎斯特区，因此需要在芯片输入采用合适的滤波电路来限制噪声带宽，以达到最优信噪比目的；
- 为保证芯片最佳性能，输入 RC 滤波电路的时间常数建议大于 12.5ns ($R \times C > 12.5\text{e-}9$)。

4.3.2 基准电源电路

说明

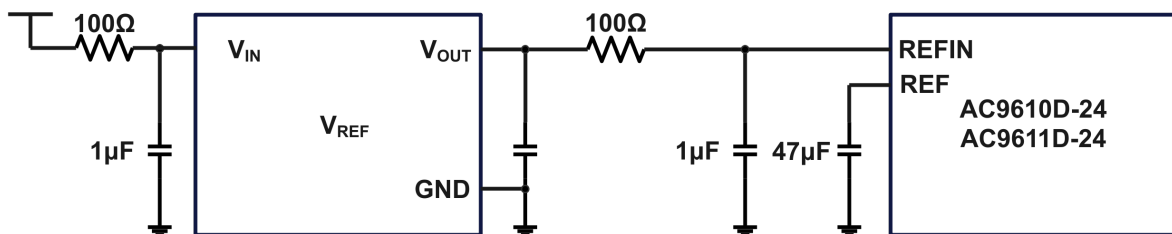
AC9610D-24/AC9611D-24 需要外部基准电压源来定义信号输入范围，基准电压需控制在 4.096V ~ 5V。

对于大多数应用，基准电压源可以直驱 REFIN 引脚，其内部具有精密 Buffer，将基准电压源与 ADC 电路隔离。同时基准电压源和 REFIN 之间可添加 RC 电路用于滤除基准电压源噪声（参见图 4-5），建议 $100\Omega \leq R \leq 1\text{k}\Omega$ ， $C \geq 1\mu\text{F}$ ，且 REF 管脚建议添加对地电容 47 μF ；为避免基准电压源输入噪声耦合到输出，建议在基准电压源输入增加 RC 滤波，推荐 100 Ω +1 μF 组合，防止前级供电噪声直接影响性能。

若需进一步降低 AC9610D-24 的增益误差，可选用外部基准源驱动 REF 引脚，并禁用内部 buffer。

AC9610D-24/AC9611D-24 芯片从不工作到瞬间启动采样，会引起最大 54 μA （2MSPS-24bit）的参考电流抽取，如果基准源是通过 REFIN 引脚提供给 AC9610D-24/AC9611D-24 芯片，那么芯片内置的 buffer 可以保证驱动能力；如果是没有外部 buffer 的基准源直驱 REF 引脚时，这个电流突变可能触发基准源的瞬态响应，导致基准电压的跌落，最终影响输出精度，所以基准源的选型需要重点关注瞬态响应性能。

图4-5 参考电压从 REFIN 引脚驱动参考电路



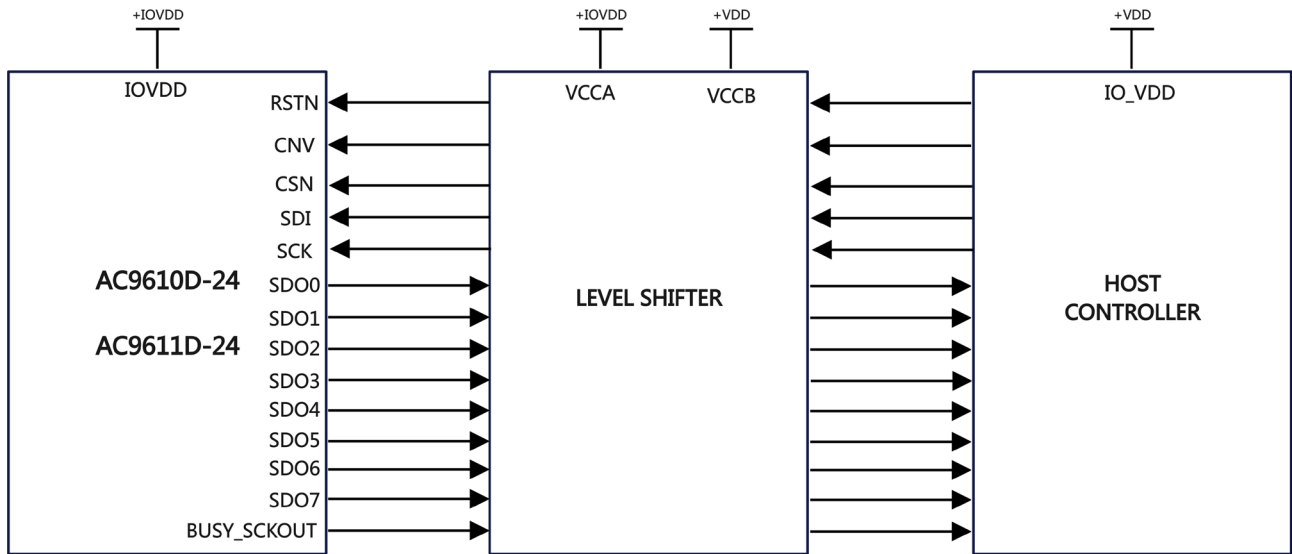
4.3.3 复位电路

AC9610D-24/AC9611D-24 提供硬件、软件两种方法实现芯片复位。硬件复位通过将 RSTN 引脚拉低实现具体复位时序信息见 4.1 上下电顺序章节。软件复位具体参见寄存器说明。

4.3.4 串行接口电路

AC9610D-24/AC9611D-24 支持 2 个通道的多路 SPI（本手册称为 QSPI），采用共用时钟（SCK/SCKOUT）。IOVDD 电源支持 1.8V 电平标准，若与其他电平的数字逻辑进行通信，需要添加电平转换电路，如图 4-6 所示。CNV 信号作为芯片采样脉冲，为实现 ADC 的最佳性能，CNV 信号必须实现低 jitter 输入。

图4-6 串行接口连接框图



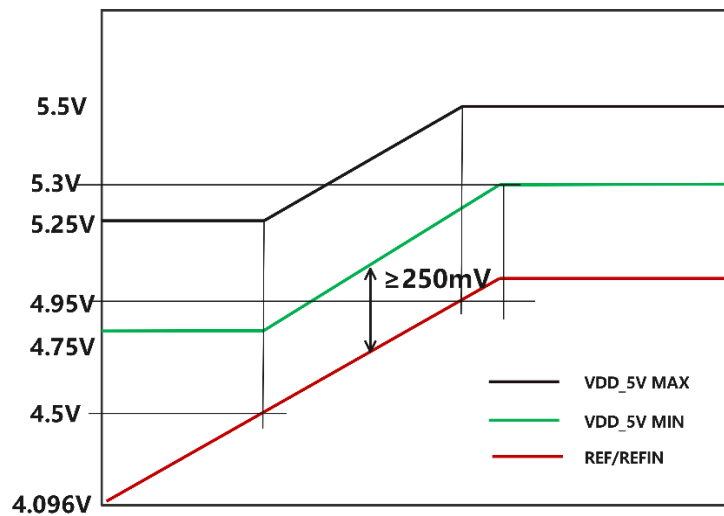
说明

若与ADC通信的其他数字逻辑器件噪声水平较高，建议添加电平转换或隔离IC进行噪声隔离，避免噪声通过数字接口直接耦合到ADC，影响芯片性能。

4.3.5 电源设计

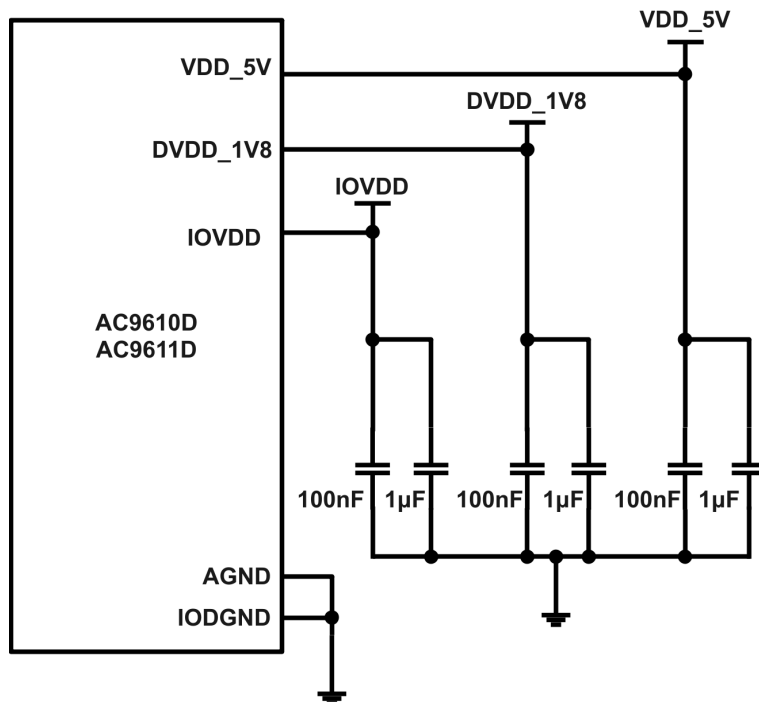
AC9610D-24/AC9611D-24 电源上电时序请按照 4.1 上下电顺序要求。VDD_5V 电源的电压取决于所选的基准电压（+5V），至少大于REFIN和REF，具体范围参照电气性能章节或者图 4-7。高于最大值或低于最小值的VDD_5V 电压值会导致器件损坏或性能下降。

图4-7 VDD_5V 电压与 REFIN/REF 的关系



VDD_5V、DVDD_1V8、IOVDD 的芯片近端去耦电容建议选用 1μF+100nF 容值组合，如图 4-8 所示。

图4-8 芯片供电 VDD_5V、DVDD_1V8、IOVDD 的去耦电容组合



说明

为保证芯片最佳性能，VDD_5V 供电建议选用超低噪声、高 PSRR 的 LDO，确保电源输出纹波小于 ADC 量化误差 1LSB 的幅度，DVDD_1V8、IOVDD 也建议选用低噪声、高 PSRR 的 LDO；

若 IOVDD 与 DVDD_1V8 在应用中使用相同电平，可以考虑合并供电，确保供电电源质量，并添加磁珠隔离。

4.4 PCB 设计指南

硬件设计人员需重点关注模拟输入信号，模拟电源供电与干扰源的耦合，以及数字输出与后级数据处理单元的噪声耦合。

4.4.1 板材选择与叠层设计参考

AC9610D-24/AC9611D-24 参考设计板包含 QSPI 接口应用设计，单板参考叠层如表 4-3 所示，为 6 层板结构，其中第 1、3、6 为信号层，第 4 层为电源层，第 2、5 层为参考层。

表4-3 AC9610D-24/AC9611D-24 PCB 参考叠层设置

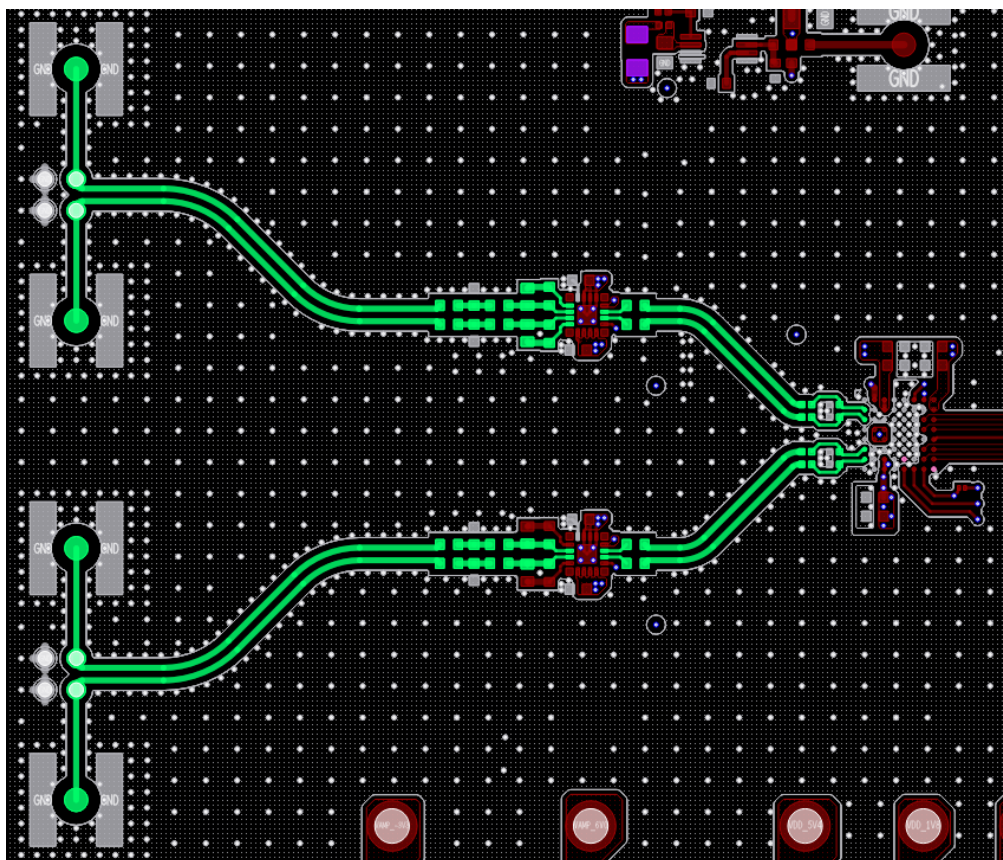
层标识	叠层设计要求	
	层叠图示	介质厚度(mil)
1	1/2oz+PLATING	-
-	CORE	10.82
2	1oz	-
-	PP	10

层标识	叠层设计要求	
	层叠图示	介质厚度(mil)
3	1oz	-
-	CORE	9.62
4	1oz	-
-	PP	10
5	1oz	-
-	CORE	10.82
6	1/2oz+PLATING	-
-	设计板厚	1.6±0.18mm

4.4.2 模拟输入布局与布线建议

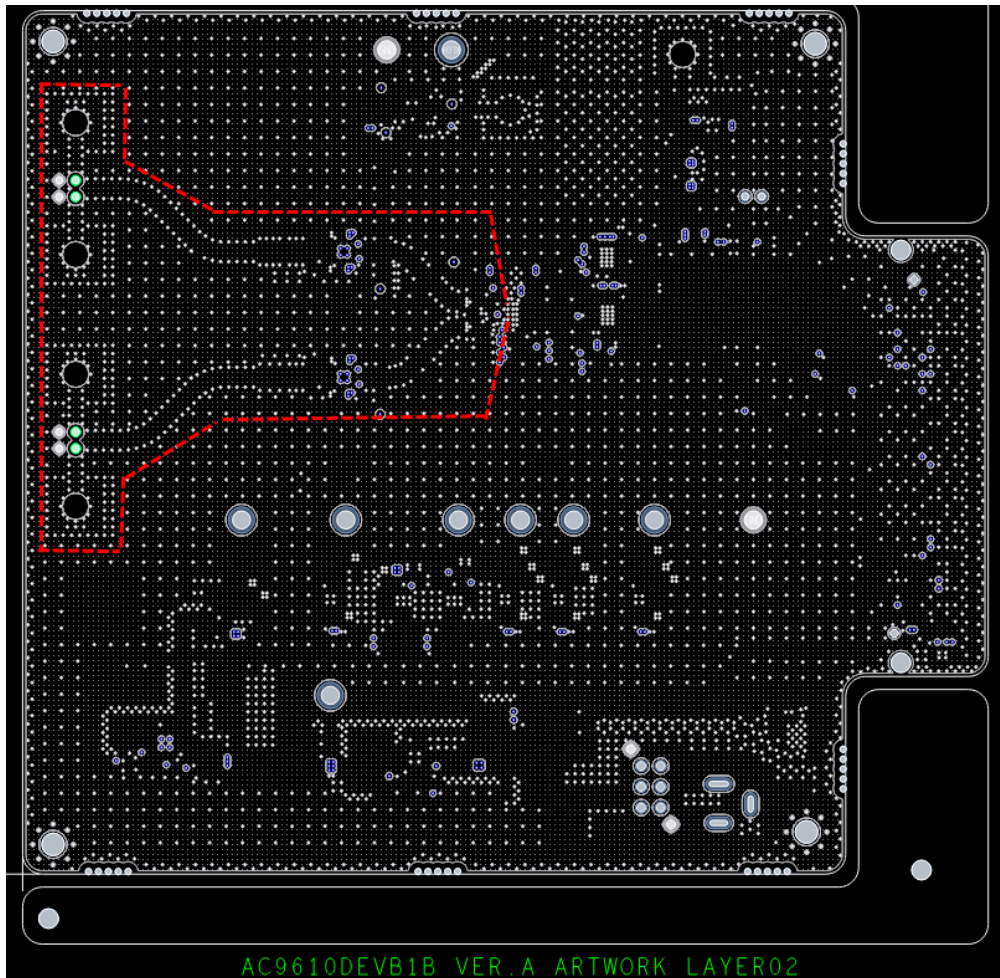
- 模拟输入信号区域避免布置辐射类器件（如电感）、模块（如电源）与信号线（如时钟、数字信号），做好分区布局，走线两侧可采用包地处理并打地过孔，如图 4-9 所示，空间允许时用地平面，保护带或分地隔离，抑制辐射和外界干扰。

图4-9 模拟输入布局与走线（TOP 层）



- 模拟输入信号走线下方需有连续的地平面，如图 4-10 所示，提供低阻抗回流路径，减小环路面积，避免地平面分割，防止跨分割走线引入噪声。

图4-10 模拟信号线完整参考地平面（第2层）



- 模拟信号走线阻抗保证连续，差分阻抗控制 $100\Omega \pm 10\%$ ，单端阻抗控制 $50\Omega \pm 10\%$ 。

4.4.3 基准电源布局与布线建议

- 基准电源区域避免布置辐射类器件（如电感）、模块（如开关电源）与信号线（如时钟、数字信号），做好分区布局，如图 4-11 所示，蓝色框为基准电源、红色框为电源模块、紫色框为时钟模块。
- 基准电源的走线建议规划在内层，如图 4-12 中绿色走线所示，防止有信号干扰，提供低阻抗回流路径，减小环路面积，避免地平面分割，防止跨分割走线引入噪声。

图4-11 基准电源远离辐射类器件的布局 (TOP 层)

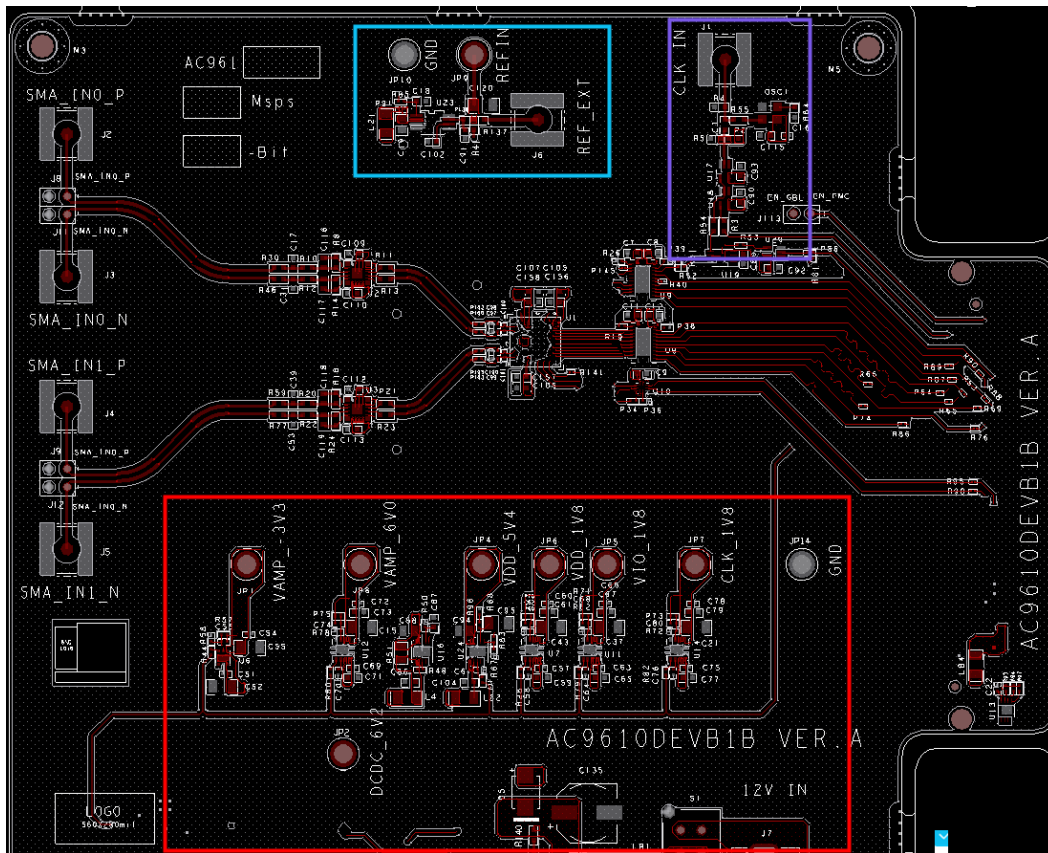
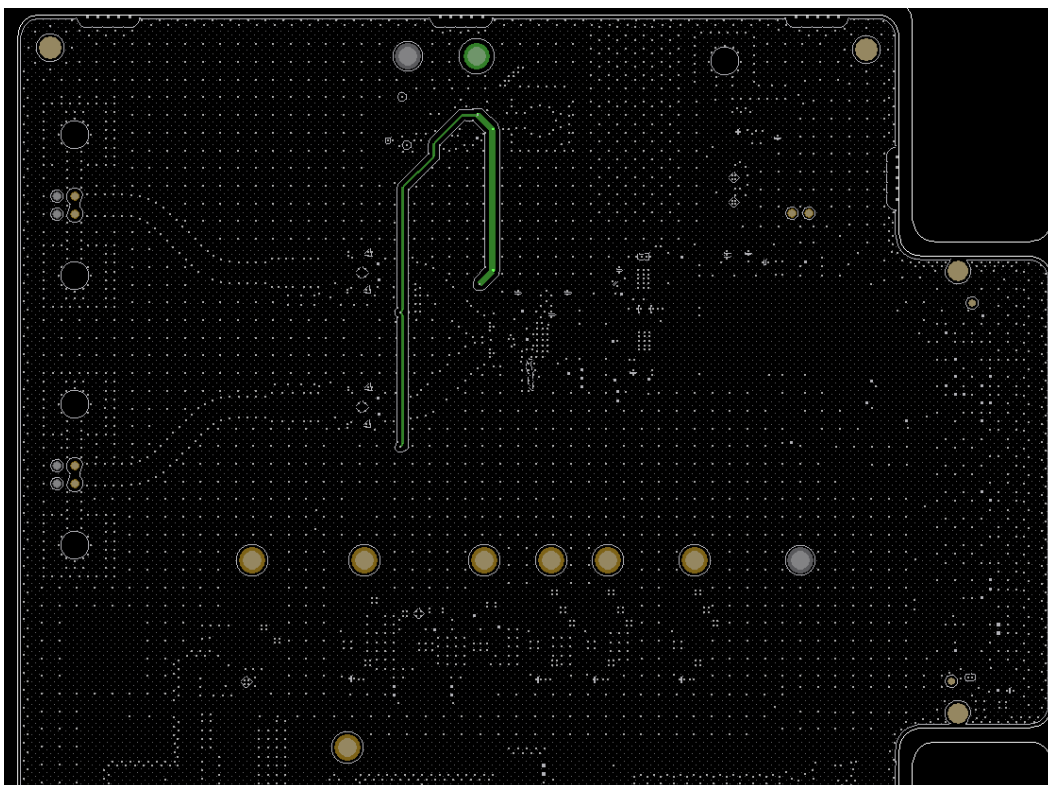
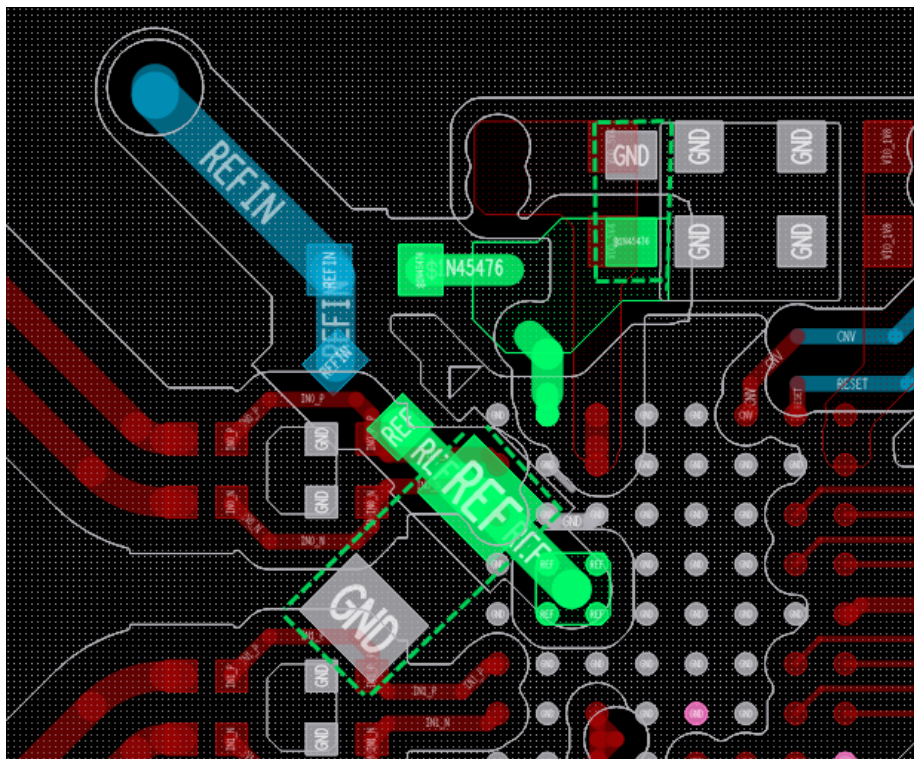


图4-12 基准电源布线在内层 (第3层)



- REFIN 与 REF 的滤波电容建议靠近芯片管脚放置，如图 4-13 中绿色虚线框位置所示。

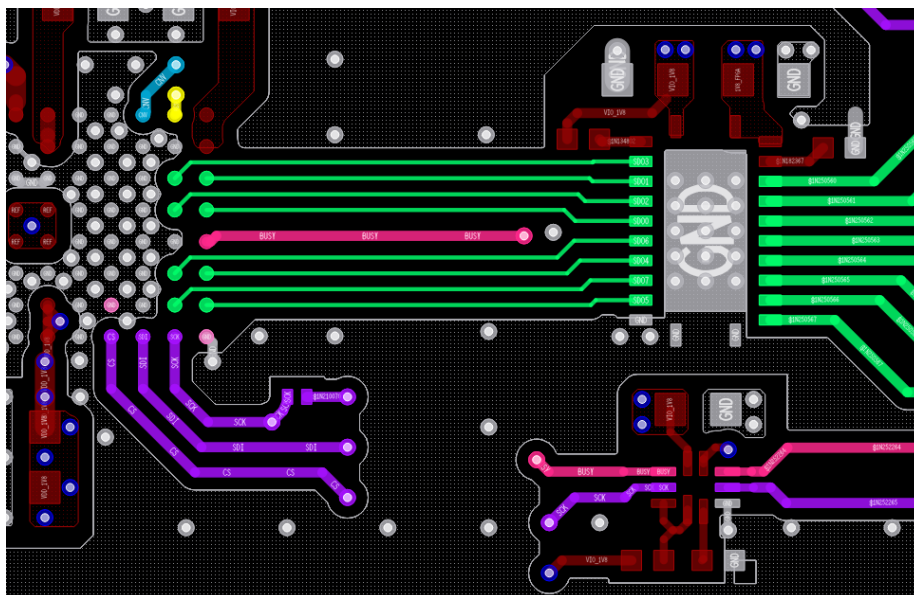
图4-13 REFIN 与 REF 的滤波电容靠近芯片管脚放置 (Bottom 层)



4.4.4 数字信号电路布局与布线建议

- 数字串行接口走线或走线旁无插件，避免形成天线效应。
- 数字串行接口走线的长度建议控制在 6inch 以内，减少寄生电阻和电感，以保证驱动能力，间距建议控制在 3W 线宽及以上，如图 4-14 所示。

图4-14 串行接口走线 (TOP 层)

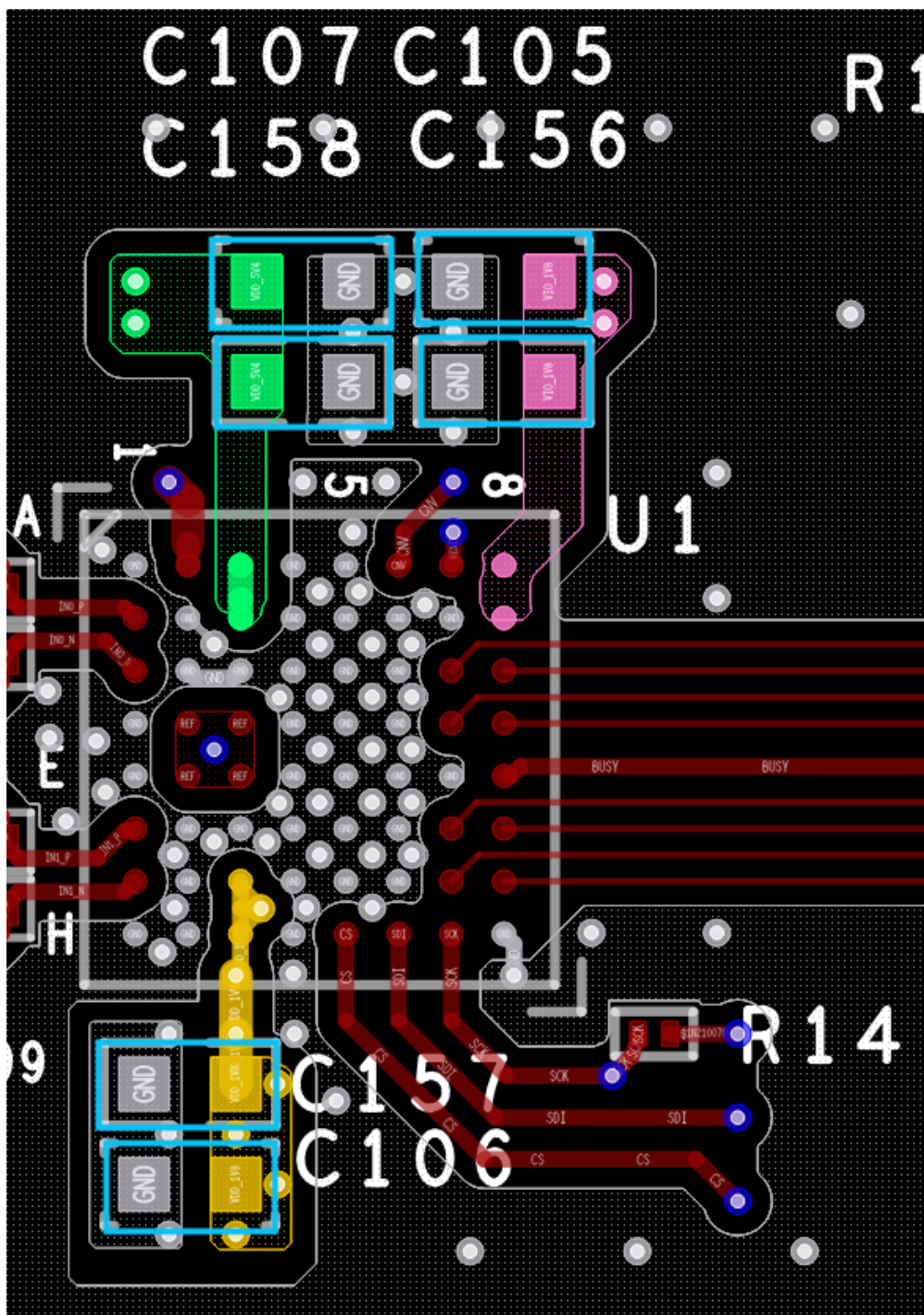


- 复位信号需要远离噪声源，比如高速信号线，并且走线长度尽量短避免引入干扰。
- 采样时钟 CNV 信号与 ADC 性能直接相关，上升沿需要单调，走线阻抗保证连续，必要时调整端接匹配，避免信号出现过冲、下冲和振铃。

4.4.5 电源电路布局与布线建议

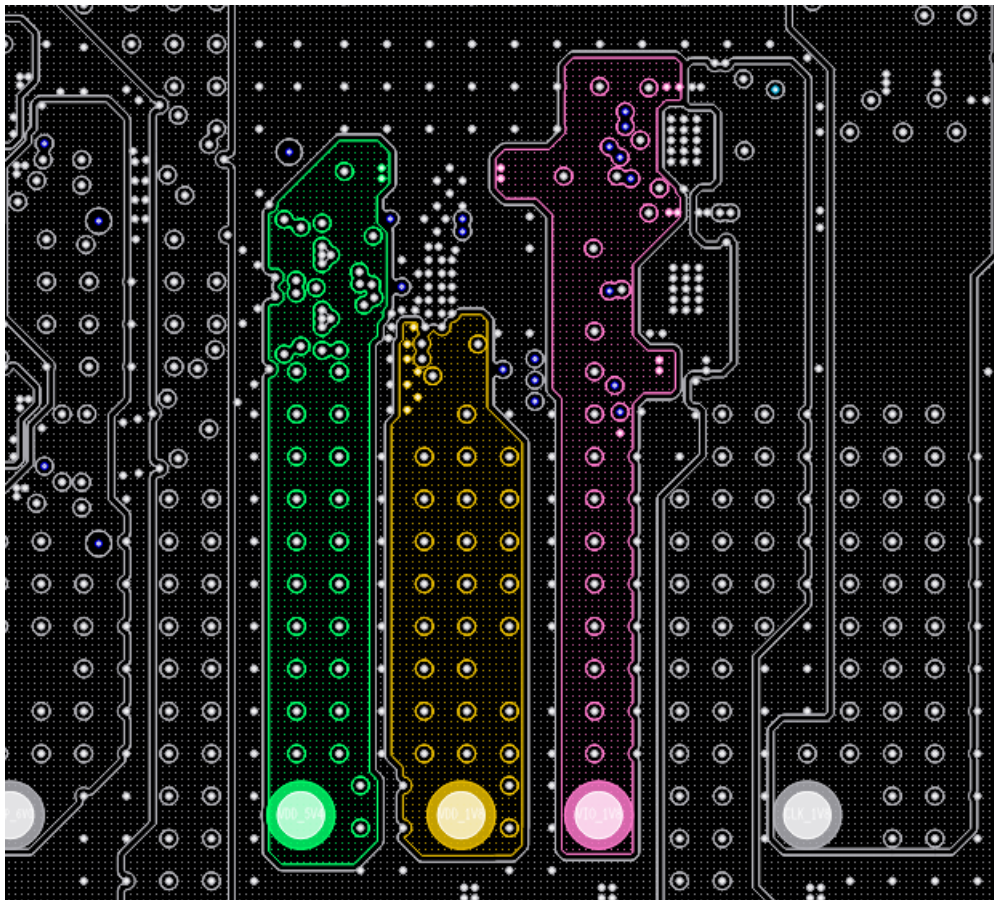
- 建议选择具有大有效电容值且物理尺寸较小的去耦电容器，摆放在 TOP 层并尽量靠近芯片电源引脚放置，其中小容值更靠近芯片引脚，如图 4-15 所示。

图4-15 去耦电容靠近芯片引脚摆放 (TOP 层)



- 建议芯片每个供电走线或铜皮尽量宽，减少寄生、降低直流电阻，如图 4-16 所示。

图4-16 VDD_5V (绿色)、DVDD_1V8 (黄色)、IOVDD (红色) 内层铺铜 (第 4 层)





5 寄存器描述

5.1 TOP 寄存器域

5.1.1 REGMAP_TOP 寄存器概览

REGMAP_TOP 寄存器概览如表 5-1 所示。

表5-1 REGMAP_TOP 寄存器概览（基址是 0x0000）

偏移地址	名称	描述	页码
0x00	CFG_RSTN_SOFT	芯片全局软复位	CFG_RSTN_SOFT
0x02	CFG_QSPI_MODE	QSPI 模式配置	CFG_QSPI_MODE
0x05	CFG_SPI_CONV_T_MODE	配置 TSPI 转换时的各种模式寄存器	CFG_SPI_CONV_T_MODE
0x07	CFG_SPI_TEST_PAT1_WORD	测试寄存器数据高 16bit 寄存器	CFG_SPI_TEST_PAT1_WORD
0x08	CFG_SPI_TEST_PAT0_WORD	测试寄存器数据低 16bit 寄存器	CFG_SPI_TEST_PAT0_WORD
0x09	CFG_SCLKOUT_DELAY	SCKOUT 输出额外增加 delay 寄存器	CFG_SCLKOUT_DELAY
0x0A	CFG_PAD_DS_CTRL	芯片 GPIO 输出电流配置寄存器	CFG_PAD_DS_CTRL
0x10	CFG_RSTN	复位控制寄存器	CFG_RSTN
0x11	CFG_CLKEN	时钟使能控制	CFG_CLKEN
0x12	CFG_CLKEN_EFUSE	EFUSE 模块时钟使能控制	CFG_CLKEN_EFUSE
0x13	CFG_CLK_OSC_0	主时钟模式下时钟分频配置寄存器	CFG_CLK_OSC_0
0x31	CFG_EFUSE	EFUSE 回读配置寄存器	CFG_EFUSE
0x40	CFG_EFUSE_RD_PULSE	EFUSE 回读触发寄存器	CFG_EFUSE_RD_PULSE
0x42	RPT_EFUSE_DATA_READY	EFUSE 回读完成上报寄存器	RPT_EFUSE_DATA_READY

5.1.2 REGMAP_TOP 寄存器描述

CFG_RSTN_SOFT

CFG_RSTN_SOFT 为配置芯片全局软复位寄存器。

Offset Address: 0x00 Total Reset Value: 0xA005



Bits	Access	Name	Description	Reset
[15]	RW	rstn_soft_0	全局软复位。需要与寄存器 bit0 配置一致。 0：表示复位； 1：表示解复位。	0x1
[14:1]	RW	reserved	必须写 0x1002。	0x1002
[0]	RW	rstn_soft_1	全局软复位。需要与寄存器 bit15 配置一致。 0：表示复位； 1：表示解复位。	0x1

CFG_QSPI_MODE

CFG_QSPI_MODE 为配置芯片 QSPI 模式转换寄存器。

Offset Address: 0x02 Total Reset Value: 0x0000

Bits	Access	Name	Description	Reset
[15:0]	WO	cfg_tspi_mode	QSPI 模式配置寄存器。 0xA5A5：转换模式； 其他：配置模式。	0x0000

CFG_SPI_CONVT_MODE

CFG_SPI_CONVT_MODE 为配置 TSPI 转换时的各种模式寄存器。

Offset Address: 0x05 Total Reset Value: 0x0001

Bits	Access	Name	Description	Reset
[15:8]	R	reserved	保留。	0x00
[7]	RW	reserved	必须写 0x0。	0x0
[6:5]	RW	cfg_spi_clk_md	时钟模式将配置。 00：SPI 时钟模式（默认）； 01：回波时钟模式； 10：主时钟模式； 11：无效。	0x0
[4:3]	RW	cfg_spi_lane_md	Lane 输出模式配置。 00：1-lane 输出（默认）； 01：2-lane 输出； 10：4-lane 输出； 11：Interleaved 输出。	0x0
[2]	RW	cfg_spi_ddr_md	输出速率模式配置。 0：SDR 模式（默认）； 1：DDR 模式。	0x0
[1:0]	RW	cfg_spi_out_data_md	输出数据模式配置。 00：24 bit 输出模式（ADC 输出数据高 24bit 有	0x1



Bits	Access	Name	Description	Reset
			效, ADC 输出数据格式参考 0x213 寄存器) ; 01: 32 bit 输出模式 (ADC 输出数据 32bit 有效, 默认) ; 10: 32 bit 内部测试图案数据输出寄存器; 11: 无效。	

CFG_SPI_TEST_PAT1_WORD

CFG_SPI_TEST_PAT1_WORD 为测试寄存器数据高 16bit 寄存器。

Offset Address: 0x07 Total Reset Value: 0xF00F

Bits	Access	Name	Description	Reset
[15:0]	RW	cfg_spi_test_pat1_word	测试图案寄存器数据高 16bit。	0xF00F

CFG_SPI_TEST_PAT0_WORD

CFG_SPI_TEST_PAT0_WORD 为测试寄存器数据低 16bit 寄存器。

Offset Address: 0x08 Total Reset Value: 0x5AA5

Bits	Access	Name	Description	Reset
[15:0]	RW	cfg_spi_test_pat0_word	测试图案寄存器数据低 16bit。	0x5AA5

CFG_SCLKOUT_DELAY

CFG_SCLKOUT_DELAY 为 SCKOUT 输出额外增加 delay 寄存器。

Offset Address: 0x09 Total Reset Value: 0x0088

Bits	Access	Name	Description	Reset
[15:8]	R	reserved	保留。	0x00
[7:5]	RW	reserved	必须写 0x4。	0x4
[4]	RW	cfg_sckout_delay_en	回波模式、主时钟模式 SCKOUT 输出时钟额外延时 (相对于 SDO) 600ps 使能寄存器。 0: 不使能; 1: 使能。	0x0
[3:0]	RW	reserved	必须写 0x8。	0x8

CFG_PAD_DS_CTRL

CFG_PAD_DS_CTRL 为芯片 GPIO 输出电流配置寄存器。

Offset Address: 0x0A Total Reset Value: 0x000A

Bits	Access	Name	Description	Reset
[15:4]	R	reserved	保留。	0x000



Bits	Access	Name	Description	Reset
[3:2]	RW	cfg_busy_sckout_ds	BUSY_SCKOUT 的 DS 配置寄存器。 00: output driving = 16mA; 01: output driving = 12mA; 10: output driving = 8mA (默认) ; 11: output driving = 4mA。	0x2
[1:0]	RW	cfg_sdo_ds	SDO0-SDO7 输出端口的 DS 配置寄存器。 00: output driving = 16mA; 01: output driving = 12mA; 10: output driving = 8mA (默认) ; 11: output driving = 4mA。	0x2

CFG_RSTN

CFG_RSTN 为复位控制寄存器。

Offset Address: 0x10 Total Reset Value: 0x1111

Bits	Access	Name	Description	Reset
[15:13]	R	reserved	保留。	0x0
[12]	RW	cfg_rstn_ana	软复位, 模拟模块。 0: 复位; 1: 解复位。	0x1
[11:9]	R	reserved	保留。	0x0
[8]	RW	cfg_rstn_adc	软复位, ADC 数字模块。 0: 复位; 1: 解复位。	0x1
[7:5]	R	reserved	保留。	0x0
[4]	RW	cfg_rstn_osc_cal	软复位, OSC_CAL 模块。 0: 复位; 1: 解复位。	0x1
[3:1]	R	reserved	保留。	0x0
[0]	RW	cfg_rstn_otp	软复位, EFUSE 控制模块。 0: 复位; 1: 解复位。	0x1

CFG_CLKEN

CFG_CLKEN 为芯片时钟使能控制。

Offset Address: 0x11 Total Reset Value: 0x0100

Bits	Access	Name	Description	Reset
[15:13]	R	reserved	保留。	0x0



Bits	Access	Name	Description	Reset
[12]	RW	reserved	必须写 0x0。	0x0
[11:9]	R	reserved	保留。	0x0
[8]	RW	cfg_clken_adc	ADC 模块时钟使能。 0: 时钟关闭; 1: 时钟打开。	0x1
[7:5]	R	reserved	保留。	0x0
[4]	RW	reserved	必须写 0x0。	0x0
[3:1]	R	reserved	保留。	0x0
[0]	RW	cfg_clken_osc_qspi	QSPI 主时钟模式下时钟使能。使用主时钟模式需要 开始该时钟使能。 0: 时钟关闭; 1: 时钟打开。	0x0

CFG_CLKEN_EFUSE

CFG_CLKEN_EFUSE 为芯片 EFUSE 时钟使能控制。

Offset Address: 0x12 Total Reset Value: 0x0001

Bits	Access	Name	Description	Reset
[15:5]	R	reserved	保留。	0x000
[4]	RW	reserved	必须写 0x0。	0x0
[3:1]	R	reserved	保留。	0x0
[0]	RW	cfg_clken_otp	EFUSE 模块时钟使能。EFUSE 回读完成之后可以关闭。 0: 时钟关闭; 1: 时钟打开。	0x1

CFG_CLK_OSC_0

CFG_CLK_OSC_0 为配置芯片主时钟模式下时钟分频比寄存器。

Offset Address: 0x13 Total Reset Value: 0x0001

Bits	Access	Name	Description	Reset
[15:0]	RW	cfg_host_clk_div	主时钟模式下输出时钟分频比寄存器。 0x0001: 不分频 (默认 HOST 模式时钟频率 80MHz) ; 0x0100: 2 分频; 0x0301: 4 分频; 0x0703: 8 分频; 其他: 不支持。	0x0001



CFG_EFUSE

CFG_EFUSE 为配置芯片 EFUSE 寄存器。

Offset Address: 0x31 Total Reset Value: 0x0000

Bits	Access	Name	Description	Reset
[15:13]	R	reserved	保留。	0x0
[12]	RW	reserved	必须写 0x0。	0x0
[11:8]	R	reserved	保留。	0x0
[7:0]	RW	cfg_efuse	EFUSE 加载配置寄存器。必须写 0xFF。	0x00

CFG_EFUSE_RD_PULSE

CFG_EFUSE_RD_PULSE 为 EFUSE 回读控制寄存器。

Offset Address: 0x40 Total Reset Value: 0x0000

Bits	Access	Name	Description	Reset
[15:5]	R	reserved	保留。	0x000
[4]	RW	cfg_iso_en_n	EFUSE 电源域 iso 控制信号。 0: 钳位状态; 1: 表示正常工作。	0x0
[3:1]	R	reserved	保留。	0x0
[0]	RW	cfg_efuse_rd_pulse	数据回读触发, 写 0 写 1 触发。	0x0

RPT_EFUSE_DATA_READY

RPT_EFUSE_DATA_READY 为 EFUSE 回读完成上报标志。

Offset Address: 0x42 Total Reset Value: 0x0000

Bits	Access	Name	Description	Reset
[15:1]	R	reserved	保留。	0x0000
[0]	R	rpt_efuse_data_ready	EFUSE 回读完成指示, 1 表示回读完成。	0x0

5.2 ADC 寄存器域

5.2.1 REGMAP_ADC 寄存器概览

REGMAP_ADC 寄存器概览如表 5-2 所示。



表5-2 REGMAP_ADC 寄存器概览 (基址是 0x0000)

偏移地址	名称	描述	页码
0x210	CFG_ADC_WEIGHT_0	ADC 累加平均配置寄存器 0	CFG_ADC_WEIGHT_0
0x211	CFG_ADC_WEIGHT_1	ADC 累加平均配置寄存器 1	CFG_ADC_WEIGHT_1
0x213	CFG_ADC_WEIGHT_3	ADC 输出排布配置寄存器	CFG_ADC_WEIGHT_3
0x217	CFG_ADC0_WEIGHT_3	ADC0 OFFSET 补偿寄存器 0	CFG_ADC0_WEIGHT_3
0x218	CFG_ADC0_WEIGHT_4	ADC0 OFFSET 补偿寄存器 1	CFG_ADC0_WEIGHT_4
0x219	CFG_ADC0_WEIGHT_5	ADC0 增益补偿寄存器	CFG_ADC0_WEIGHT_5
0x231	CFG_ADC1_WEIGHT_3	ADC1 OFFSET 补偿寄存器 0	CFG_ADC1_WEIGHT_3
0x232	CFG_ADC1_WEIGHT_4	ADC1 OFFSET 补偿寄存器 1	CFG_ADC1_WEIGHT_4
0x233	CFG_ADC1_WEIGHT_5	ADC1 增益补偿寄存器	CFG_ADC1_WEIGHT_5

5.2.2 REGMAP_ADC 寄存器描述

CFG_ADC_WEIGHT_0

CFG_ADC_WEIGHT_0 为 ADC 累加平均配置寄存器 0。

Offset Address: 0x210 Total Reset Value: 0x0000

Bits	Access	Name	Description	Reset
[15:0]	RW	cfg_adc_osr_num	过采样累加点数配置，配置值等于实际值减 1，配置为 0 时表示不累计。该寄存器需要与 CFG_ADC_WEIGHT_1 配置值相对应。 例如要进行 2^{15} 次平均，cfg_adc_osr_num 需要配置 $2^{15}-1$ ；cfg_adc_osr_len 需要配置 15。	0x0000

CFG_ADC_WEIGHT_1

CFG_ADC_WEIGHT_1 为 ADC 累加平均配置寄存器 1。

Offset Address: 0x211 Total Reset Value: 0x0000

Bits	Access	Name	Description	Reset
[15:5]	R	reserved	保留。	0x000
[4:0]	RW	cfg_adc_osr_len	过采样累加求平均配置。配置需要与 CFG_ADC_WEIGHT_0 配置值相对应。 0: 不求平均; 1: 2^1 求平均; ... 15: 2^{15} 求平均; 其他: 2^{16} 求平均。	0x00



CFG_ADC_WEIGHT_3

CFG_ADC_WEIGHT_3 为 ADC 输出排布配置寄存器。

Offset Address: 0x213 Total Reset Value: 0x0002

Bits	Access	Name	Description	Reset
[15:3]	R	reserved	保留。	0x0000
[2:0]	RW	cfg_adc_out_data_md	adc 输出数据格式选择。非平均模式下 adc 数据为两部分：24bit 差分分量 adc_diff_data[23:0]，8bit 共模分量 adc_com_data[7:0]。平均模式下 adc 数据为 30bit 平均数据 adc_aver_data[29:0]。不同配置对应不同的 32bit 输出数据组合。 000: {adc_diff_data[23:0], 8'h0}; 001: {adc_diff_data[23:8], adc_com_data[7:0], 8'h0}; 010: {adc_diff_data[23:0], adc_com_data[7:0]}; 011: {adc_diff_data[23:4], adc_com_data[7:0], 4'h0}; 100: {adc_diff_data[23:6], adc_com_data[7:0], 6'h0}; 101: {adc_aver_data[29:0], adc_ovf_bit, adc_sync_bit}; 其他：不支持。	0x2

CFG_ADC0_WEIGHT_3

CFG_ADC0_WEIGHT_3 为 ADC0 OFFSET 补偿寄存器 0。

Offset Address: 0x217 Total Reset Value: 0x0000

Bits	Access	Name	Description	Reset
[15:0]	RW	cfg_adc0_offset_l	通道 offset 补偿码字低段，补码格式。	0x0000

CFG_ADC0_WEIGHT_4

CFG_ADC0_WEIGHT_4 为 ADC0 OFFSET 补偿寄存器 1。

Offset Address: 0x218 Total Reset Value: 0x0000

Bits	Access	Name	Description	Reset
[15:8]	R	reserved	保留。	0x00
[7:0]	RW	cfg_adc0_offset_h	通道 offset 补偿码字高段，补码格式。	0x00

CFG_ADC0_WEIGHT_5

CFG_ADC0_WEIGHT_5 为 ADC0 增益补偿寄存器。

Offset Address: 0x219 Total Reset Value: 0x8000

Bits	Access	Name	Description	Reset
[15:0]	RW	cfg_adc0_gain	通道 gain 补偿码字低段，定点 u(16,1)。	0x8000



CFG_ADC1_WEIGHT_3

CFG_ADC1_WEIGHT_3 为 ADC1 OFFSET 补偿寄存器 0。

Offset Address: 0x231 Total Reset Value: 0x0000

Bits	Access	Name	Description	Reset
[15:0]	RW	cfg_adc1_offset_l	通道 offset 补偿码字低段，补码格式。	0x0000

CFG_ADC1_WEIGHT_4

CFG_ADC1_WEIGHT_4 为 ADC1 OFFSET 补偿寄存器 1。

Offset Address: 0x232 Total Reset Value: 0x0000

Bits	Access	Name	Description	Reset
[15:8]	R	reserved	保留。	0x00
[7:0]	RW	cfg_adc1_offset_h	通道 offset 补偿码字高段，补码格式。	0x00

CFG_ADC1_WEIGHT_5

CFG_ADC1_WEIGHT_5 为 ADC1 增益补偿寄存器。

Offset Address: 0x233 Total Reset Value: 0x8000

Bits	Access	Name	Description	Reset
[15:0]	RW	cfg_adc1_gain	通道 gain 补偿码字低段，定点 u(16,1)。	0x8000



6 结温及封装热阻参数

6.1 温度和热阻参数

温度和热阻参数如表 6-1~表 6-2 所示。

说明

热阻基于 JEDEC JESD51 系列标准给出，应用时的系统设计及环境可能与 JEDEC JESD51 系列标准不同，需要根据应用条件做出分析。

- θ_{JA} 请参考 JESD 51-2 标准；
- θ_{JB} 请参考 JESD 51-8 标准；
- θ_{JC} 请参考：
 - MIL-STD 883 1012.1；
 - SEMI G30-88。

芯片结温和芯片功耗成正比关系，需要考虑将芯片结温控制在合理范围内，以匹配供电电源规格。

表6-1 结温参数

芯片	工作结温 (T_J)	
	最小值 ($^{\circ}\text{C}$)	最大值 ($^{\circ}\text{C}$)
AC9610D-24 AC9611D-24	-40	125

注意

- 在正常工作条件下芯片的结温必须在工作结温范围内且芯片工作的环境温度必须在工作环境温度范围内。
- 若芯片结温超过最大允许范围，可能导致芯片物理损坏。

AC9610D-24/AC9611D-24 热阻参数如表 6-2 所示。

表6-2 热阻参数

参数	符号	典型值	单位
Junction-to-ambient thermal resistance	θ_{JA}	20.63	$^{\circ}\text{C}/\text{W}$
Junction-to-board thermal resistance	θ_{JB}	3.98	$^{\circ}\text{C}/\text{W}$
Junction-to-case thermal resistance	θ_{JC}	19.6	$^{\circ}\text{C}/\text{W}$

7 封装

AC9610D-24/AC9611D-24 采用 TFBGA 封装，封装尺寸为 7mm×7mm，管脚间距为 0.8mm，管脚总数为 64，详细封装信息见本章节。

7.1 封装视图与尺寸

AC9610D-24/AC9611D-24 的封装视图如图 7-1 所示，封装尺寸如表 7-1 所示。

图7-1 封装视图

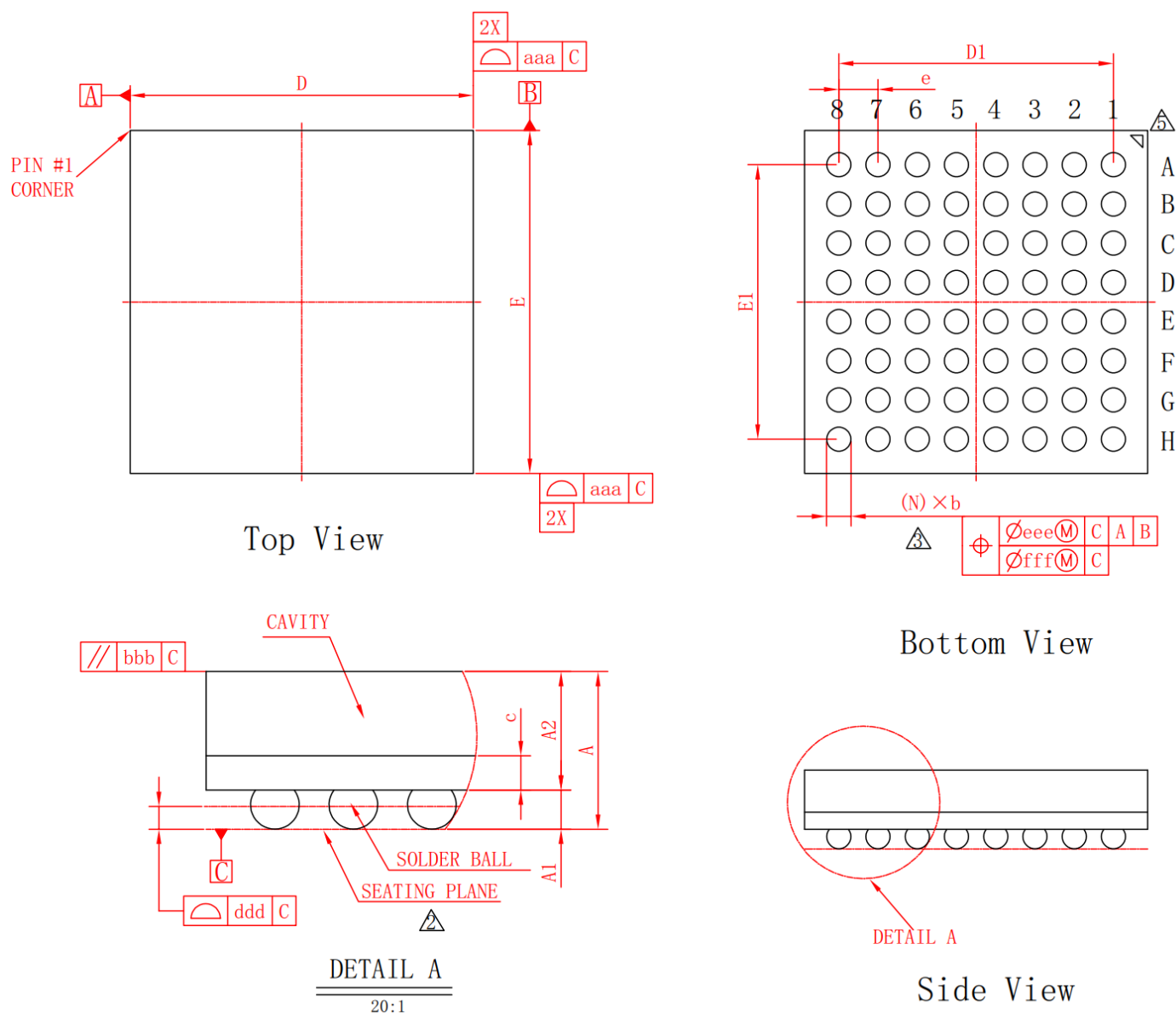




表7-1 封装尺寸参数

参数	尺寸 (mm)			尺寸 (英寸)		
	最小值	典型值	最大值	最小值	典型值	最大值
A	1.535	1.610	1.685	0.060	0.063	0.066
A1	0.350	0.400	0.450	0.014	0.016	0.018
A2	1.160	1.210	1.260	0.046	0.048	0.050
c	0.320	0.350	0.380	0.013	0.014	0.015
D	6.900	7.000	7.100	0.272	0.276	0.280
E	6.900	7.000	7.100	0.272	0.276	0.280
D1	-	5.600	-	-	0.220	-
E1	-	5.600	-	-	0.220	-
e	-	0.800	-	-	0.031	-
b	0.450	0.500	0.550	0.018	0.020	0.022
aaa	0.150			0.006		
bbb	0.100			0.004		
ddd	0.200			0.008		
eee	0.150			0.006		
fff	0.080			0.003		
Ball Diam	0.500			0.020		
N	64			64		
MD/ME	8/8			8/8		

7.2 封装物理参数

AC9610D-24/AC9611D-24 封装物理参数如表 7-2 所示。

表7-2 AC9610D-24/AC9611D-24 芯片封装物理参数

参数	数值
封装尺寸	7mm×7mm
球间距	0.8mm
焊球数	64
封装体内置散热片尺寸 (Heat Spreader)	不涉及
器件高度 (max)	1.535mm ~ 1.685mm
器件重量 (实际测试后的结果)	<25g

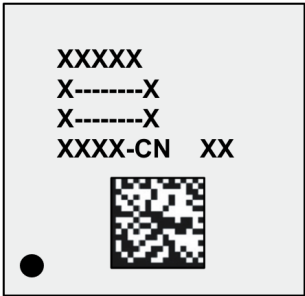


参数	数值
封装整体短期（时间 5min）可承受最大压力	-
封装整体长期可承受最大压力 (700cycle 的-55℃~+125℃温度范围的 TC)	-
芯片散热盖在单板可承受（散热盖不脱落）的最大拉力	不涉及
封装 Underfill 的 Tg 值	不涉及
封装 molding compound 的 Tg 值	150℃
封装 reflow 过程中动态 warpage 最大值	-

7.3 丝印标识

AC9610D-24/AC9611D-24 芯片的 Mark 如图 7-2 所示。

图7-2 Mark 示意图



Mark 中各符号的含义如表 7-3 所示。

表7-3 Mark 说明

编号	含义
1	Part number: AC9610D-24/AC9611D-24 的前 5 位: AC961
2	Part number: AC9610D-24/AC9611D-24 的剩余位数: 0D-24 或者 1D-24
3	XXXXXXXXXX: Mark Lot No
4	四位校验码+封装地+封装追溯码
5	2D code

下订单时请使用完整的 PartNumber，如表 7-4 所示。

表7-4 PartNumber 说明

PartNumber	规格参数	含义
AC9610D-24	2MSPS 24bit ADC	TFBGA64、7mm*7mm、0.8Pitch
AC9611D-24	500kSPS 24bit ADC	TFBGA64、7mm*7mm、0.8Pitch

8 焊接工艺建议

8.1 概述

客户在使用本产品焊接时，参考所有的元器件/IC/PCB 单板所承受 reflow profile，依据锡膏的供应商推荐的 reflow profile 平衡制定合适的回流焊接温度，本章节仅仅是给出本产品能承受的回流焊接温度范围。

8.1.1 焊球材料

BGA 锡球成分：SAC305Ni

8.1.2 元器件包装及存储

元器件包装及存储如下：

- 表贴元器件包装类型：Tray
- 存储期限（60%相对湿度以下）：24months@40°C
- 包装材料：防静电材料

8.1.3 焊接工艺

可应用的焊接方法：reflow

本产品可以承受的 reflow profile 范围如图 8-1 和表 8-1 所示（客户也可以参考 JEDEC020D），并非推荐的实际焊接的 reflow profile。客户实际焊接时的 reflow profile 要参考锡膏的 reflow profile 并平衡 PCB/所有 IC/元器件而定。

图8-1 焊接温度曲线图

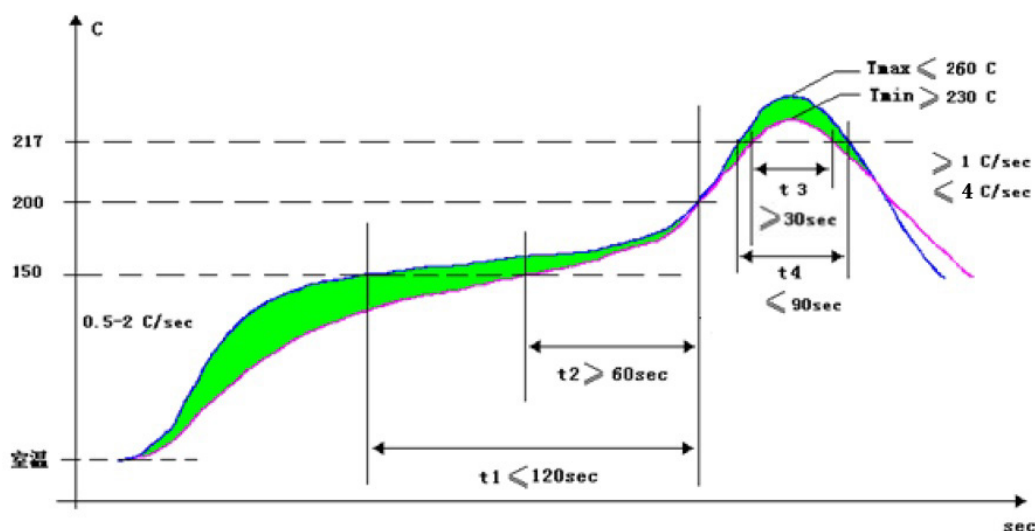




表8-1 回流焊工艺参数表

区域	时间	升温速率	峰值温度	降温速率
预热区 (40°C~150°C)	60~150Sec	≤2.0°C/Sec	-	-
均温区 (150°C~200°C)	60~120Sec	< 1.0°C/Sec	-	-
回流区 (> 217°C)	30~90Sec	-	230°C~260°C	-
冷却区 (Tmax - 180°C)	-	-	-	1.0°C/Sec≤Slope≤4.0°C/Sec

说明

预热区：温度由 40°C~150°C，温度上升速率控制在 2°C/s 左右，该温区时间为 60s ~ 150s。

均温区：温度由 150°C~200°C，稳定缓慢升温，温度上升速率小于 1°C/s，且该区域时间控制在 60s~120s（注意：该区域一定缓慢受热，否则易导致焊接不良）。

回流区：温度由 217°C~Tmax~217°C，整个区间时间控制在 30s~90s。

冷却区：温度由 Tmax~180°C，温度下降速率最大不能超过 4°C/s。

温度从室温 25°C升温到 250°C时间不应该超过 6 分钟。

该回流焊曲线仅为推荐值，客户端需根据实际生产情况做相应调整。

回流时间以 60s~90s 为目标，对于一些热容较大无法满足时间要求的单板可将回流时间放宽至 120s。封装体耐温标准参考 IPC/JEDEC J-STD-020D 标准，封装体测温方法参考 JEP 140 标准。

8.2 加工准备

客户在加工前，确认所使用的产品未受潮；原物料在有效周期内。

正式批量生产前，要做首样检验（比如要先首检锡膏厚度），首样检验结果通过，才能批量生产。



9 芯片制造导入关键参数

芯片制造导入关键参数如表 9-1 所示。

表9-1 芯片板级制造关键参数清单

属性名	值	备注说明
封装形式	Encapsulated	Lid or Lidless
封装重量 (g)	TBD	芯片封装的重量 (含公差)
封装尺寸 (mm)	7*7±0.1	芯片封装外形尺寸 (含公差)
封装高度 (mm)	1.610±0.075	芯片封装高度尺寸 (含公差), 芯片 TOP 面最高平面到焊球底部切线的高度
基板厚度 (mm)	0.35±0.03	芯片封装基板厚度的设计值 (含公差)
锡球共面度 (μm)	150	芯片常温状态下, 焊球的共面度 (含公差)
球数量 (pcs)	64	芯片焊球数量
最小球间距 (mm)	0.8±0.05	芯片焊球间距 (含公差)
球直径 (mm)	0.5±0.05	芯片焊球直径 (含公差)
球成分	SAC305Ni	焊料系列
潮敏等级	3	芯片潮敏等级
ESD-CDM (V)	1.25kV	ESD-CDM 耐受电压规格
ESD-HBM (V)	4kV	ESD-HBM 耐受电压规格
Reflow 最高温度 (°C)	260	芯片回流最高耐受温度
芯片最大功耗 (W)	0.045	芯片典型场景最大功耗
高温 Warpage (μm)	+16.5 μm	芯片基板高温平面度变化数据
包装形式	Tray	芯片的物料包装形式
Mark 点与丝印图片	详见图 9-1	芯片 TOP 面 Mark 点与丝印图

图9-2 Mark 点与丝印图片





10 芯片可靠性参数

芯片可靠性参数如表 10-1 所示。

表10-1 通用可靠性参数表

参数	符号	参数值
ESD 参数	ESD level/volt	HBM: $\pm 4\text{kV}$ CDM: $\pm 1.25\text{kV}$
LatchUp 电流	I_{LU}	$\geq 100\text{mA}$, $1.5 \times V_{DDmax}$
潮湿敏感等级	MSL	3
工作寿命	LifeTime	10 年@长期工作环温 105°C , 125°C 下不保证芯片寿命
最高工作结温	Max T_J	125°C

芯片潮湿敏感等级定义如表 10-2 所示。

表10-2 芯片潮湿敏感等级定义

潮湿敏感等级 (MSL)	含义 (拆封后存放条件及最长时间)
1	无限制, 85% RH (Relative Humidity) 。
2	1 年, $30^{\circ}\text{C}/60\% \text{RH}$ 。
3	1 周, $30^{\circ}\text{C}/60\% \text{RH}$ 。
4	72 小时, $30^{\circ}\text{C}/60\% \text{RH}$ 。
5	48 小时, $30^{\circ}\text{C}/60\% \text{RH}$ 。
6	24 小时, $30^{\circ}\text{C}/60\% \text{RH}$ 。



11

缩略语

缩写	英文解释	中文解释
SAR	Successive Approximation Register	逐次逼近
ADC	Analog-to-Digital Converter	模拟到数字转换器
CSP_BGA	Chip Scale Package Ball Grid Array	芯片级封装球栅阵列
ESD	Electro-Static Discharge	静电释放
CDM	Charged-Device Model	带电器件模型
HBM	Human Body Model	人体静电放电模型
SNR	Signal-to-Noise Ratio	信噪比
SNDR	Signal-to-Noise-and-Distortion Ratio	信纳比
SFDR	Spurious-Free Dynamic Range	无动态杂散范围
THD	Total Harmonic Distortion	总谐波失真
HD2	Second Harmonic Distortion	二次谐波失真
HD3	Third Harmonic Distortion	三次谐波失真
CMRR	Common-Mode Rejection Ratio	共模抑制比
INL	Integral Non-Linearity	积分非线性
DNL	Differential Non-Linearity	微分非线性
NSD	Noise Spectral Density	噪声频谱密度
SDR	Single Data Rate	单数据速率
DDR	Dual Data Rate	双数据速率
LSB	Least Significant Bit	最低有效位
MSB	Most Significant Bit	最高有效位
PCB	Printed Circuit Board	印制电路板
SPI	Serial Peripheral Interface	串行外设接口
QSPI	Queued Serial Peripheral Interface	队列式串行外围设备接口
MSL	Moisture Sensitivity Level	潮湿敏感等级
LDO	Low Dropout Regulator	低压差线性稳压器



A 附录

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	表示如不避免则将会导致死亡或严重伤害的具有高等级风险的危害。
 警告	表示如不避免则可能导致死亡或严重伤害的具有中等级风险的危害。
 注意	表示如不避免则可能导致轻微或中度伤害的具有低等级风险的危害。
 须知	用于传递设备或环境安全警示信息。如不避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。
 说明	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订描述
2026-03-02	02	第 2 次正式版本发布。 修改手册模板（与之前版本章节号有变化）。增加 1.2 章节输入 GPIO 默认上下拉关系，增加 2.4 章节转换时间最小值以及采样电容充电时间最小值，增加 3.2.1 章节 Gain 补偿增加示例，修改 3.2.2 章节 修改 Offset 调整补偿公式，增加 3.2.8 章节 ADC 输入电压与 ADC 输出码字关系，修改 3.4.3 章节平均模式下数据读取窗口图示，增加 4.2.4 章节平均模式寄存器配置说明。
2025-07-08	01	第 1 次正式版本发布。 增加 AC9611D-24 部分描述，修改部分问题，增加完整测试结果。
2025-04-22	00B02	第 2 次临时版本发布。 增加部分测试结果，修改部分文档描述。
2024-11-05	00B01	第 1 次临时版本发布。

版权所有 © 海思技术有限公司 2026。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为海思技术有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

海思技术有限公司

地址：上海市青浦区虹桥港路 2 号 101 室 邮编：201721

网址：<http://www.hisilicon.com/cn/>

客户服务邮箱：support@hisilicon.com