

P35341T3N1110 GNSS 芯片

用户指南

文档版本 01

发布日期 2024-07-22

前言

概述

本文档主要介绍 P35341T3N1110 芯片各项基本功能、接口时序、性能参数、功耗参数等信息。

读者对象

本文档主要适用于以下工程师：

- 系统设计师
- 单板硬件开发工程师
- 技术支持工程师

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
	表示如不避免则将会导致死亡或严重伤害的具有高等级风险的危害。
	表示如不避免则可能导致死亡或严重伤害的具有中等级风险的危害。
	表示如不避免则可能导致轻微或中度伤害的具有低等级风险的危害。

符号	说明
 须知	用于传递设备或环境安全警示信息。如不可避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。
 说明	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

修改记录

文档版本	发布日期	修改说明
01	2024-07-22	新增 “10 ESD” 章节内容。
00B03	2024-04-03	- 更新 “1.3 性能指标” 章节内容。 - 更新 “1.4 功耗指标” 章节内容。
00B02	2024-01-04	- 更新 “1.1 芯片简介” 章节内容。 - 更新 “1.4 功耗指标” 章节内容。
00B01	2023-08-14	第一次临时版本发布。

目 录

前言i

1 产品概述.....1

1.1 芯片简介1

1.2 芯片规格1

1.3 性能指标2

1.4 功耗指标2

1.5 电气特性3

1.6 应用领域3

2 芯片架构.....4

2.1 射频前端5

2.2 数字前端5

2.3 基带引擎5

2.4 定位引擎6

2.5 外设接口6

2.6 电源管理6

2.7 芯片复位6

3 封装与管脚7

3.1 管脚排列7

3.2 管脚说明8

3.3 封装11

4 电气特性.....15

4.1 极限工作条件15

4.2 推荐工作条件15

4.3 通流大小参考	16
5 原理图及 PCB 设计建议	17
5.1 原理图参考设计	17
5.2 PCB 叠层与布局	19
5.3 电源方案	22
5.3.1 电源方案框图及规格	22
5.3.2 VBAT 电源	23
5.3.3 VDDIO 电源	23
5.3.4 内部电源滤波电路	24
5.3.5 BUCK 电源	25
5.3.6 上下电时序	26
5.3.7 复位时序	28
5.3.8 电源走线注意事项	29
5.3.9 通流参考	29
5.4 射频方案	29
5.4.1 原理图设计建议	29
5.4.2 PCB 设计建议	30
5.5 外围接口	31
5.5.1 UART 接口参考设计	31
5.6 时钟方案	32
5.6.1 RTC 时钟	32
5.6.2 TCXO 晶振	33
6 关键器件规格	35
7 热设计建议	36
7.1 工作条件	36
7.2 电路热设计参考	37
7.2.1 器件布局	37
7.2.2 PCB	38
8 焊接工艺	39
8.1 概述	39

8.2 无铅回流焊工艺参数要求	39
8.3 混合回流焊工艺参数要求	42
9 潮敏参数	44
9.1 存放与使用	44
9.2 重新烘烤	45
10 ESD	47
11 包装	48
A 缩略语	49

1 产品概述

1.1 芯片简介

1.2 芯片规格

1.3 性能指标

1.4 功耗指标

1.5 电气特性

1.6 应用领域

1.1 芯片简介

P35341T3N1110 提供应用在智能终端上的无线通信解决方案，其采用 RF CMOS 工艺，在芯片上集成了 GPS L1C/A、GLONASS L1OF、BDS B1I、Galileo E1C、QZSS L1C/A 等多种卫星导航系统，为智能 IOT 等设备提供高灵敏度、高精度的定位能力。

P35341T3N1110 芯片作为从机，通过 UART 接口连接到主芯片运行。

1.2 芯片规格

- 通用规格
 - 支持 GPS L1C/A、GLONASS L1OF、BDS B1I、Galileo E1C、QZSS L1C/A 定位标准。
 - 支持 GPS、GLONASS 、BDS、Galileo 单模定位。
 - 支持 GPS、GLONASS 、BDS、Galileo、QZSS 多模定位。

- 支持 AGNSS。
- 支持自动干扰检测、抑制。
- 支持对外授时。

1.3 性能指标

芯片的性能指标如表 1-1 所示。

表1-1 系统指标

技术参数	指标
卫星模式	GPS/GLONASS/BDS/Galileo/QZSS
冷启动 TTFF	≤34s
热启动 TTFF	≤1s
冷启动捕获灵敏度	-149dBm
热捕获灵敏度	-159dBm
跟踪灵敏度	-162dBm
水平位置精度 ^[1]	1.5m
水平速度精度 ^[1]	0.15m/s
授时精度	±100ns
定位更新率	1/10 Hz

 说明

[1] 定位精度数据在-130dBm 信号源环境下测试，取 CEP 68%统计值

1.4 功耗指标

功耗指标如表 1-2 所示。

表1-2 功耗指标^[2]

功耗场景		功耗(mA@3.6V)
模式一 (需主控部署芯片驱动软件，配置开启低功耗)	捕获	6.8
	跟踪	5.9
模式二	捕获	11.6
	跟踪	11.2

 说明

[2] 功耗数据源自-130dBm 信号源测试环境

1.5 电气特性

- 电源管理：
 - 电源电压输入范围：2.7V~4.5V。
 - IO 电源电压：支持 1.8V 和 3.3V。
- 时钟管理：支持 38.4MHz/26MHz TCXO。
- 外围接口：1 个 UART 接口，兼容 2 线和 4 线。
- 封装与尺寸：QFN 封装，40PIN，芯片尺寸 5mm×5mm×0.75mm。
- 环境温度：-40℃~+85℃。
- 长期工作结温：105℃。

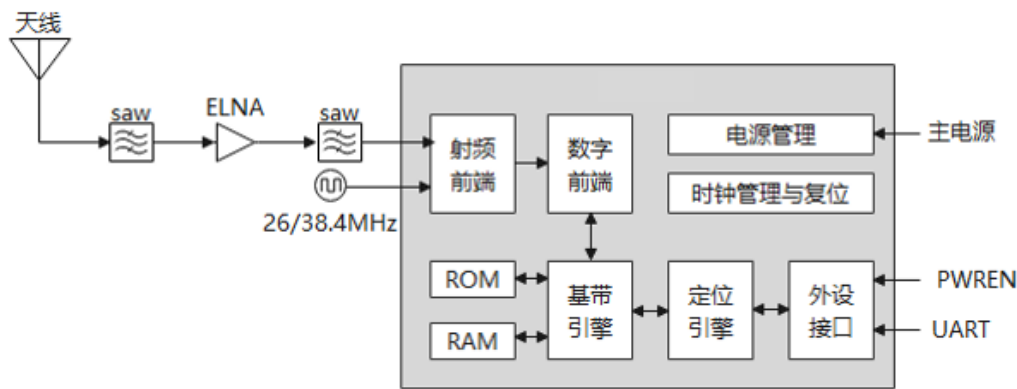
1.6 应用领域

- 车载定位与导航。
- 跟踪器。
- 授时。

2 芯片架构

P35341T3N1110 芯片框图如图 2-1 所示

图2-1 芯片框图



说明

如果重点关注抗干扰特性，建议选用上述双 saw 方案，否则可以蜕变为后级单 saw 方案。

包括以下 7 个模块：

- 射频前端
- 数字前端
- 测量引擎
- 定位引擎
- 外设接口
- 电源管理

- 时钟管理与复位

2.1 射频前端

2.2 数字前端

2.3 基带引擎

2.4 定位引擎

2.5 外设接口

2.6 电源管理

2.7 芯片复位

2.1 射频前端

RF 前端通过天线接收射频信号，经过芯片内部的 LNA、RX Mixer、IF filter 和 ADC，得到 I/Q 两路信号输给后级数字前端进行处理，其支持全星座的卫星信号频点：GPS L1C/A、GLONASS L1OF、BDS B1I、Galileo E1、QZSS L1C/A。

其中外置前端增益支持范围为 15dB~25dB。

2.2 数字前端

数字前端处理 L1 射频链路过来的 ADC 数据，经过滤波、降采样等处理，将信号搬到基带，供后级基带引擎中的捕获、跟踪模块进行处理。

数字链路同步支持单音干扰检测与抑制。

2.3 基带引擎

基带引擎包括捕获模块、跟踪模块及其他处理模块。捕获模块对数字前端输出信号进行匹配滤波解相关处理，实现对 GNSS 卫星信号的快速捕获。

跟踪模块根据捕获模块的初始搜索结果，通过软件控制实现被捕获信号的持续跟踪。

2.4 定位引擎

定位引擎基于基带引擎上报的观测量信息，进行电文解析、卫星轨道计算、伪距生成和定位解算，同步负责接收机时间/位置的管理、卫星通道控制等功能。

2.5 外设接口

外设接口包含 1 独立的全双工 UART 模块，支持四线的协议（RXD、TXD、CTS、RTS），其中 RXD 和 TXD 用于数据传送，RTS 和 CTS 用于流控；同步支持两线的协议（RXD、TXD）。

默认输出 NMEA 格式定位数据，波特率最大支持 3Mbps。

2.6 电源管理

芯片包括 1 个 VBAT 电源输入管脚和 1 个 VDDIO 电源输入管脚。

2.7 芯片复位

芯片 PWREN 接 HOST 时，可以通过 HOST 软件控制 PWREN 管脚拉低复位。

3 封装与管脚

芯片为 QFN 封装，40PIN，本章节描述芯片的各个管脚及管脚排列。

3.1 管脚排列

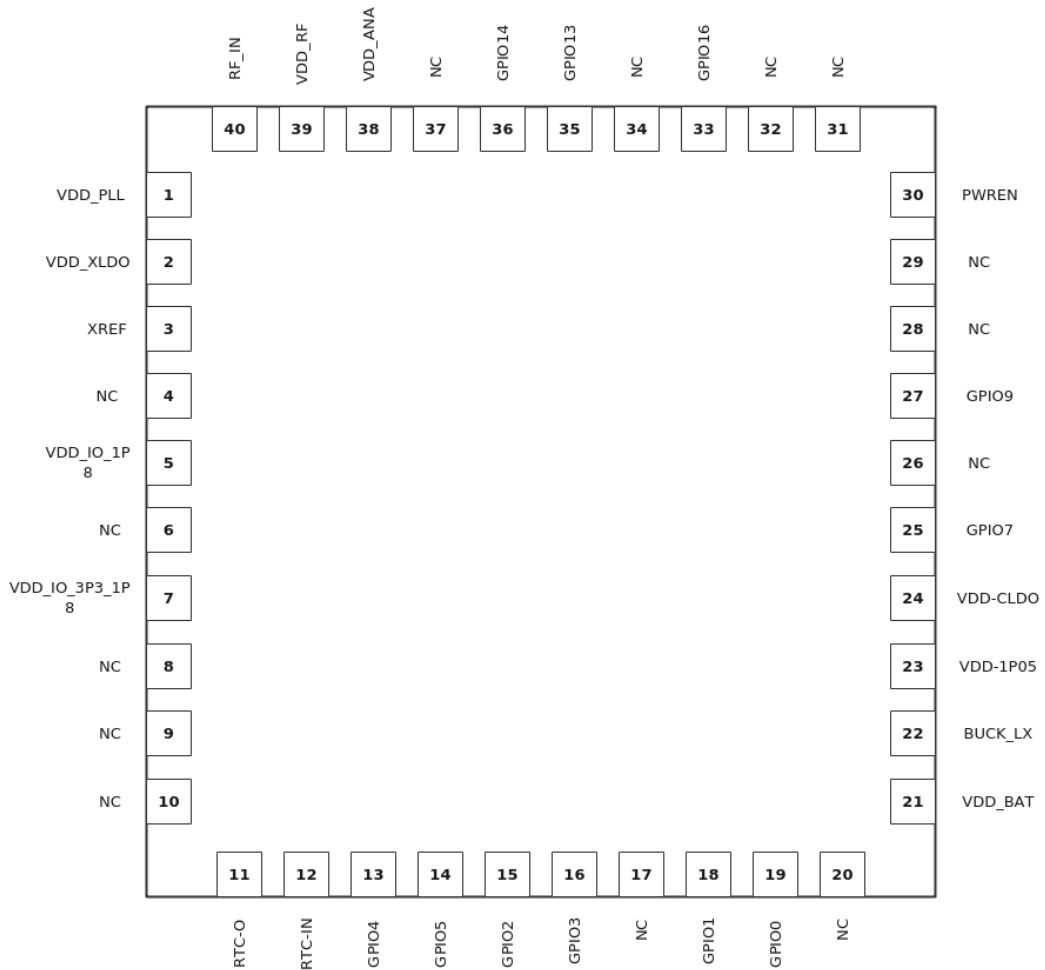
3.2 管脚说明

3.3 封装

3.1 管脚排列

QFN40 管脚排布如图 3-1 所示。

图3-1 QFN40 管脚排布



3.2 管脚说明

管脚说明如表 3-1 所示。

表3-1 管脚说明

PI N NO	管脚名称	I/O 类型	功能说明
1	VDD_PLL	电源	PLL（Phase-Locked Loops）模块 LDO（low dropout regulator）电源输出，外接 1μF 电容。
2	VDD_XLDO	电源	TCXO LDO 电源输出，外接 1μF 电容。

PI N NO	管脚名称	I/O 类型	功能说明
3	XREF	时钟	TCXO 时钟输入。
4	NC	-	no connected
5	VDD_IO_1P8	电源	IO LDO 电源输出，外接 1μF 电容。
6	NC	-	no connected
7	VDD_IO_3P3_1P8	电源	VDDIO 电源输入，外接 1μF 电容。
8	NC	-	no connected
9	NC	-	no connected
10	NC	-	no connected
11	RTC_O	时钟	芯片 RTC（Real Time Clock）时钟信号输出。
12	RTC_I	时钟	芯片 RTC 时钟信号输入。
13	GPIO4	数字 IO	通用 GPIO，默认为 debug UART，电平 3.3V/1.8V，带施密特触发器。
14	GPIO5	数字 IO	通用 GPIO，默认为外置 LNA（Low Noise Amplifier）使能控制，电平 3.3V/1.8V，带施密特触发器。
15	GPIO2	数字 IO， 内部下拉	通用 GPIO，输入，电平 3.3V/1.8V，带施密特触发器。
16	GPIO3	数字 IO， 内部下拉	通用 GPIO，双向，电平 3.3V/1.8V，带施密特触发器。
17	NC	-	no connected
18	GPIO1	数字 IO	通用 GPIO，默认为 UART RXD（芯片侧），电平 3.3V/1.8V，带施密特触发器。
19	GPIO0	数字 IO	通用 GPIO，默认为 UART TXD（芯片侧），电平 3.3V/1.8V，带施密特触发器。
20	NC	-	no connected
21	VDD_BAT	电源	芯片内部 DCDC 输入。

PI N NO	管脚名称	I/O 类型	功能说明
22	BUCK_LX	电源	BUCK 输出。
23	VDD_1P05	电源	芯片内部 DCDC 输入。
24	VDD_CLDO	电源	Core LDO 输出。
25	GPIO7	数字 IO, 内部下拉	通用 GPIO, 默认为 GNSS 唤醒 HOST 信号, 上电启动复用管脚, 参考硬件上电配置字表, 电平 3.3V/1.8V, 带施密特触发器。
26	NC	-	no connected
27	GPIO9	数字 IO, 内部上拉	通用 GPIO, 默认为 HOST 唤醒 GNSS 信号, 上电启动复用管脚, 参考硬件上电配置字表, 电平 3.3V/1.8V, 带施密特触发器。
28	NC	-	no connected
29	NC	-	no connected
30	PWREN	模拟 IO	芯片上电使能信号, 高电平有效。
31	NC	-	no connected
32	NC	-	no connected
33	GPIO16	数字 IO, 内部下拉	通用 GPIO, 默认为 UART CTS, 上电启动复用管脚, 参考硬件上电配置字表, 电平 3.3V/1.8V, 带施密特触发器。
34	NC	-	no connected
35	GPIO13	数字 IO	通用 GPIO, 双向, 默认为 PPS_OUT, 电平 3.3V/1.8V, 带施密特触发器。
36	GPIO14	数字 IO	通用 GPIO, 双向, 默认为 UART RTS, 电平 3.3V/1.8V, 带施密特触发器。
37	NC	-	no connected
38	VDD_ANA	电源	模拟 LDO 输出。
39	VDD_RF	电源	RF (Radio Frequency) LDO 输出。
40	RF_IN	射频	RF 输入口。

3.3 封装

芯片采用 QFN 封装，40PIN，封装尺寸 5.0mm×5.0mm，管脚间距为 0.4mm，器件高度 0.75mm（typ.）。

无铅封装，遵从 Green 标准。

图3-2 芯片顶视图

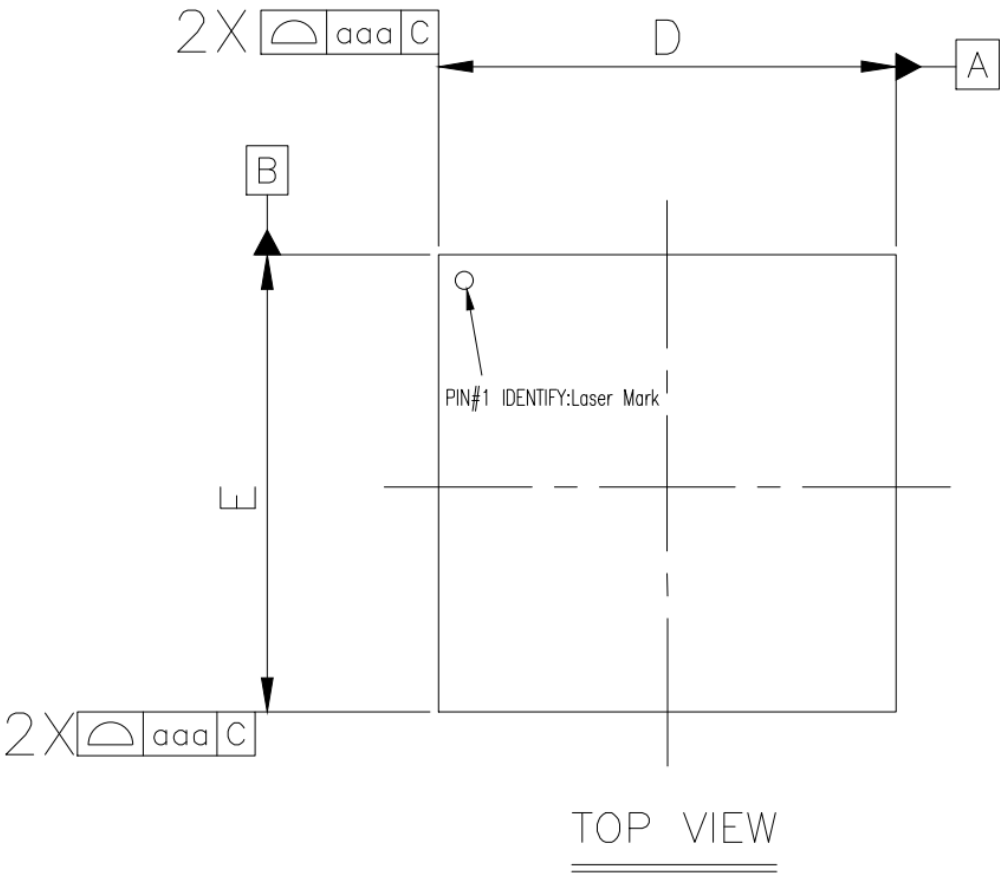


图3-3 芯片侧视图

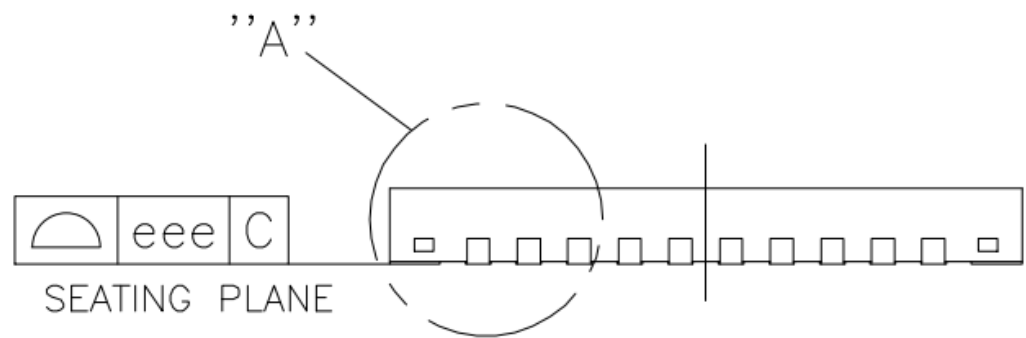
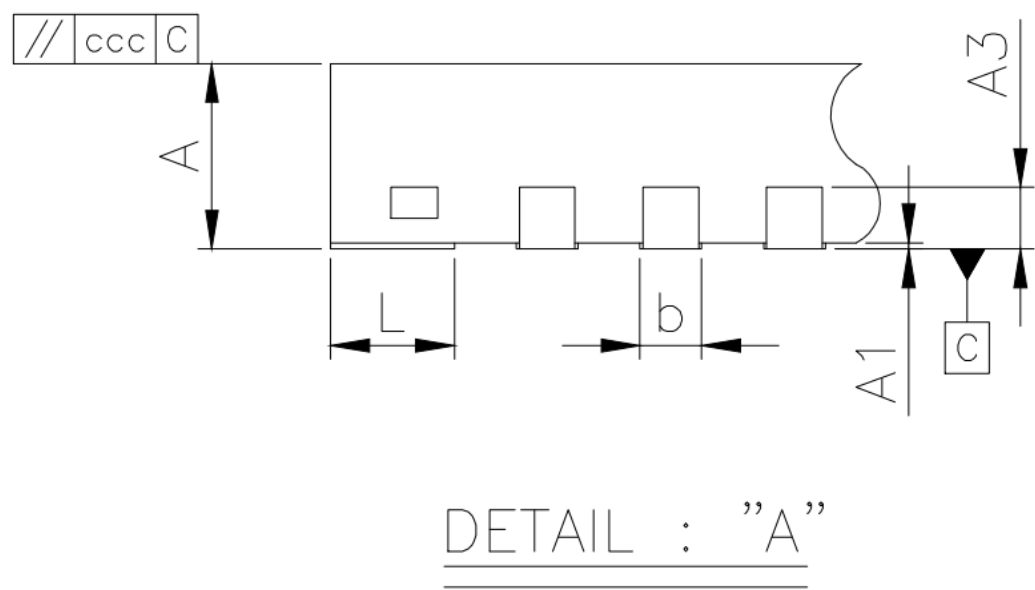
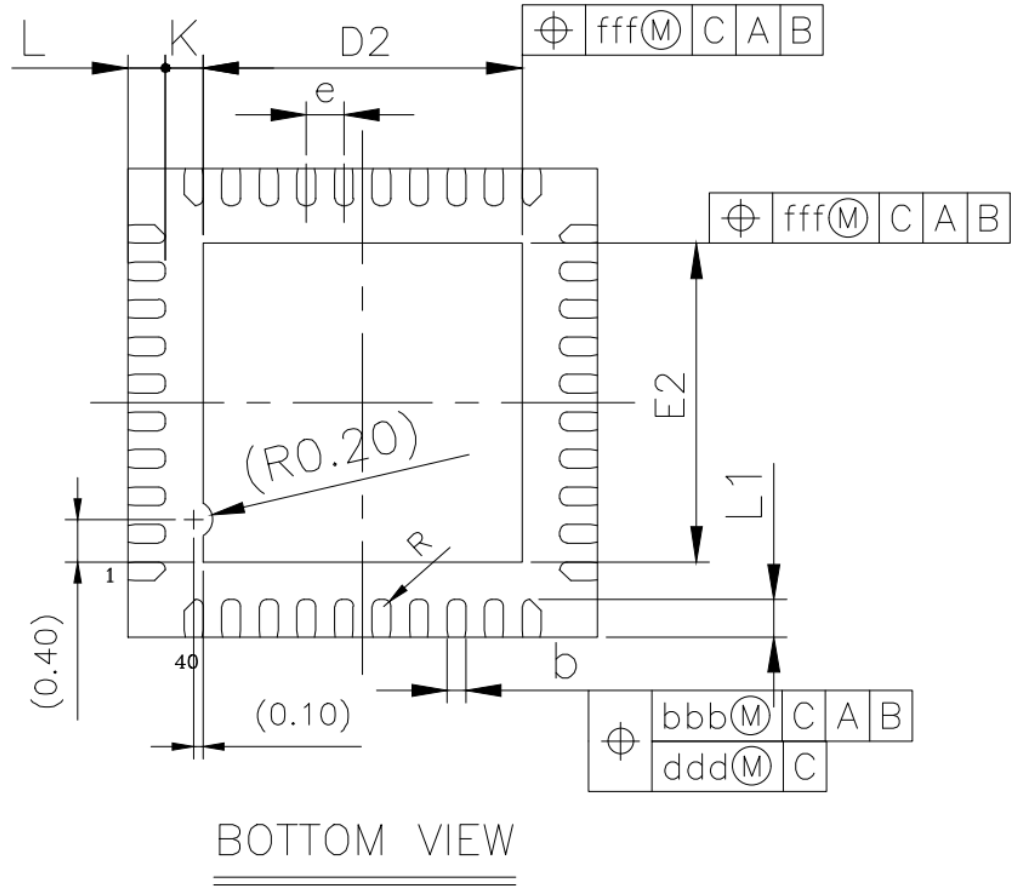


图3-4 芯片底视图



Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.02	0.05	0.000	0.001	0.002
A3	0.20 REF			0.008 REF		
b	0.15	0.20	0.25	0.006	0.008	0.010
D	4.924	5.00	5.076	0.194	0.197	0.200
E	4.924	5.00	5.076	0.194	0.197	0.200
D2	3.30	3.40	3.50	0.130	0.134	0.138
E2	3.30	3.40	3.50	0.130	0.134	0.138
e	0.40 BSC			0.016 BSC		
L	0.324	0.40	0.476	0.013	0.016	0.019
K	0.20	---	---	0.008	---	---
R	0.075	---	0.125	0.003	---	0.005
aaa	0.10			0.004		
bbb	0.07			0.003		
ccc	0.10			0.004		
ddd	0.05			0.002		
eee	0.08			0.003		
fff	0.10			0.004		

4 电气特性

- 4.1 极限工作条件
- 4.2 推荐工作条件
- 4.3 通流大小参考

4.1 极限工作条件

须知

极限工作电压参数如表 4-1 所示，超过这些数值，可能导致芯片损坏与可靠性问题。

表4-1 极限工作电压参数

符号	描述	条件	最小值	最大值	单位
VBAT	芯片内部 DCDC 输入。	-	2.7	4.5	V
VDD_IO_3P3_1P8	IO 输入电源。	1.8V	1.62	1.98	V
		3.3V	2.97	3.63	V

4.2 推荐工作条件

推荐工作条件如表 4-2 所示。

表4-2 推荐工作条件

符号	描述	条件	最小值	典型值	最大值	单位
VBAT	芯片内部 DCDC 输入。	-	2.7	3.3	4.5	V
VDD_IO_3P3_1P8	IO 输入电源。	1.8V	1.62	1.8	1.98	V
		3.3V	2.97	3.3	3.63	V

4.3 通流大小参考

芯片电源的参考通流大小如表 4-3 所示。

表4-3 通流参考表

管脚名称	参考通流 (mA)
VDD_PLL	20
VDD_XLDO	30
VDD_IO_1P8	50
VDD_IO_3P3_1P8	150
VDD_BAT	200
BUCK_LX	300
VDD_CLDO	150
VDD_ANA	20
VDD_RF	20

5 原理图及 PCB 设计建议

5.1 原理图参考设计

5.2 PCB 叠层与布局

5.3 电源方案

5.4 射频方案

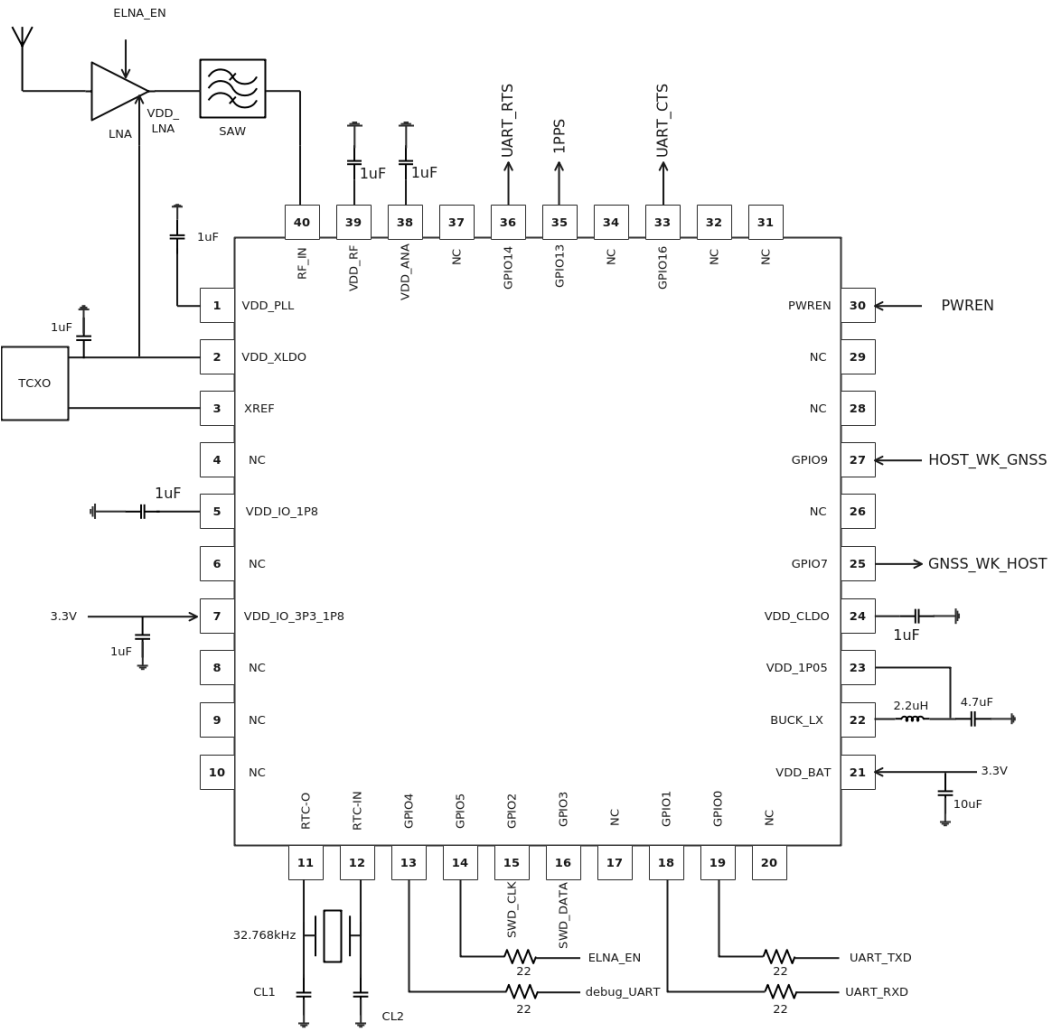
5.5 外围接口

5.6 时钟方案

5.1 原理图参考设计

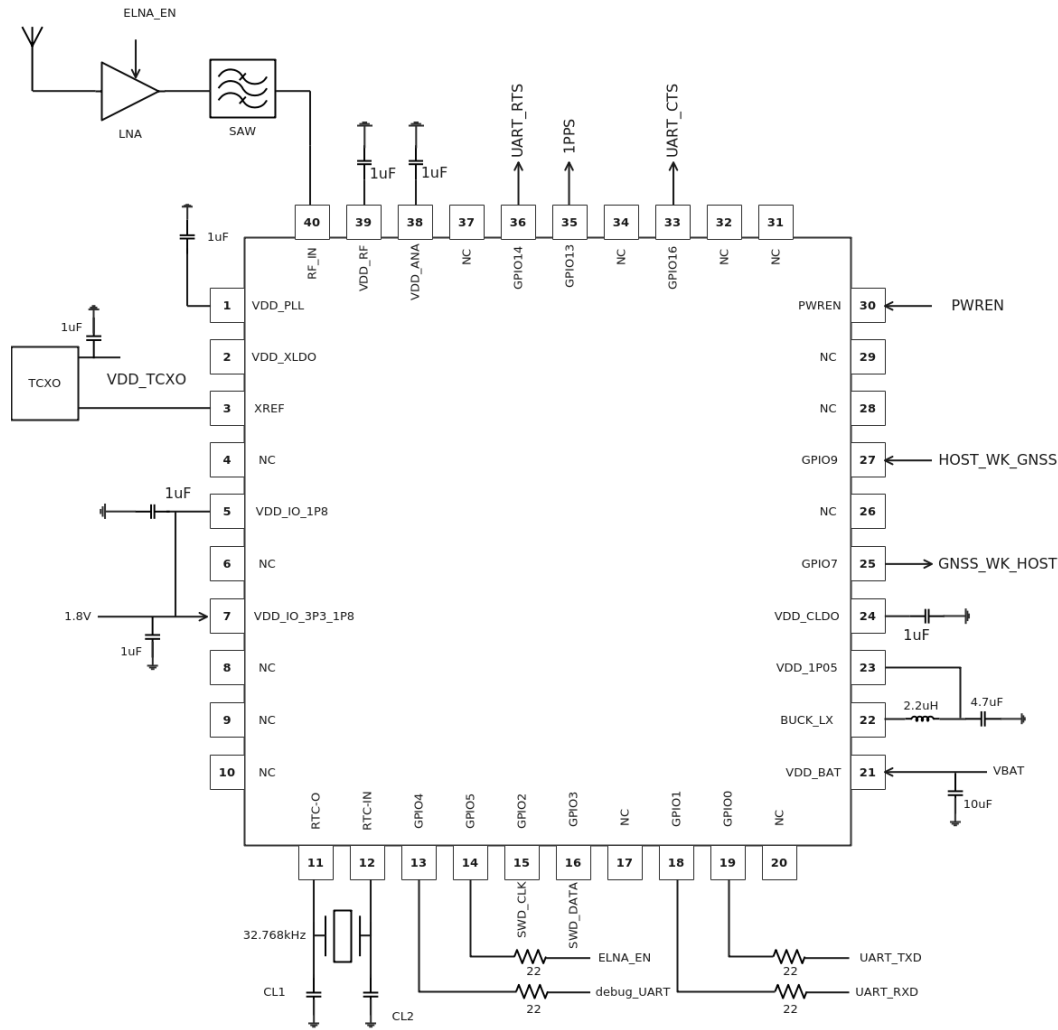
- 硬件方案 1:
IO 电平 3.3V, 原理图参考设计示意图如图 5-1 所示。

图5-1 IO 电平 3.3V 参考电路示意图



- 硬件方案 2：
IO 电平 1.8V，原理图参考设计示意图如图 5-2 所示。

图5-2 IO 电平 1.8V 参考电路示意图



说明

选用 1.8V IO 时，芯片 PIN5 和 PIN7 需要板级连接。此时，TCXO 应由板级供电 (VDD_TCXO)。

上图 UART 的 TX 和 RX 为芯片侧。

5.2 PCB 叠层与布局

PCB 支持 2/4 层通孔板。

- PCB 设计注意事项：
 - 推荐 PCB 板厚 On Board 方案一般≥1mm，防止翘曲，过孔 8/18 mil。

- PCB 典型材料 FR4 介电常数为 4.0~4.3，表层铜箔厚度建议为 1.2mil (0.5oz+plating)，PCB 板厚度一般 $\geq 1.0\text{mm}$ ，典型值为 1.2mm，可选用 1.0mm。

EVB 采用的的叠层设计和阻抗控制如表表 5-1 所示，供参考。

表5-1 2 层板 1.2mm 参考叠层信息

层标识	设计要求层叠图示	设计要求介质厚度(oz/mil)	PCB 厂家设计调整介质厚度(oz/mil)	PCB 厂家设计调整层叠图示
Art 1	0.5oz+plating		0.5oz+plating	
	CORE	42.9	TBD	CORE
Art 2	0.5oz+plating		0.5oz+plating	
板厚	客户设计板厚：1.2 $\pm$ 0.12 mm		厂家理论板厚：1.2 $\pm$ 0.12 mm	

表5-2 单线线宽、阻抗、参考层控制信息参考

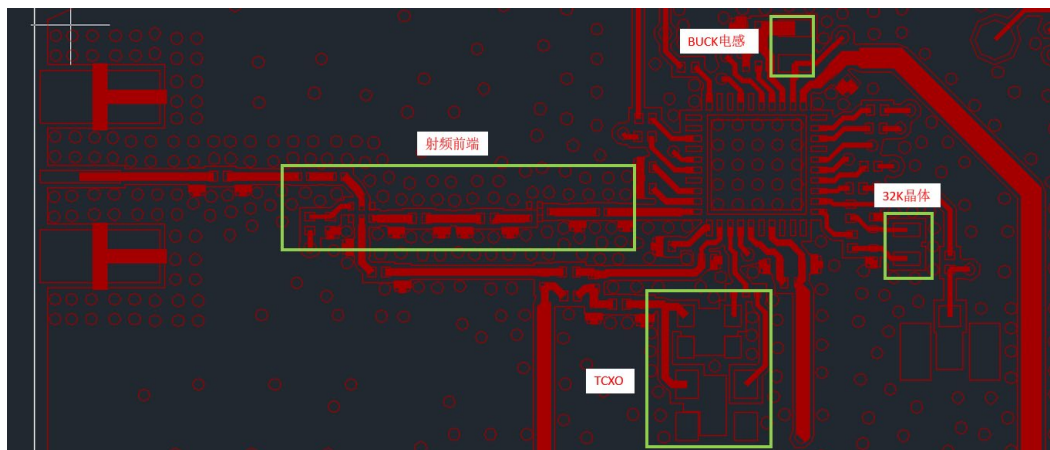
层标识	设计线宽	设计阻抗	参考层
Art 1	6/11/6（到地距离/线宽/到地距离）	50 $\pm$ 10%	L1&L2

注：线宽的计量单位为 mil，阻抗的计量单位为 Ω 。

器件布局遵循就近原则，优先考虑射频前端、晶体、外围阻容感等关键器件的摆放。

芯片外围布局如图 5-3 所示。

图5-3 PCB 布局参考

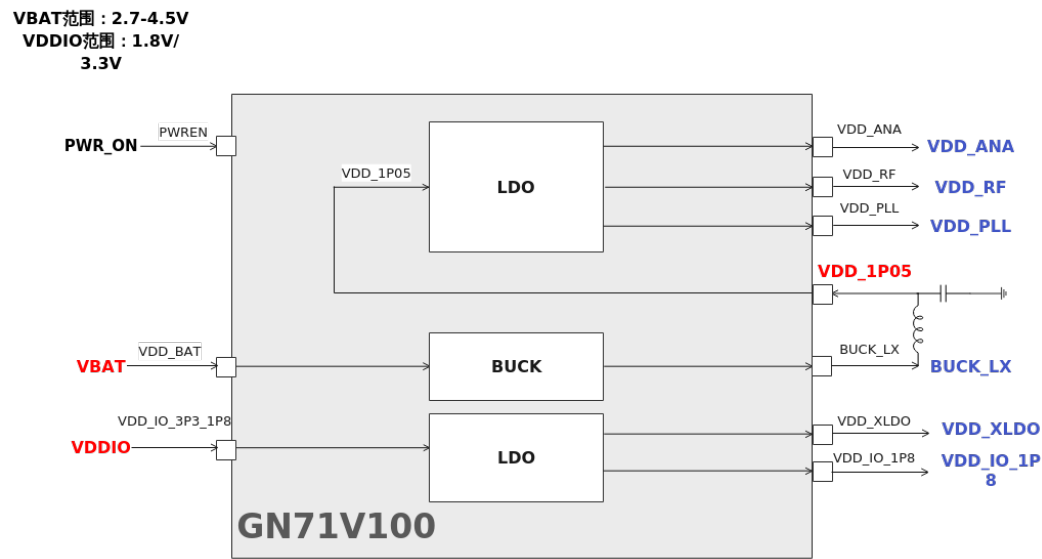


- 避免与高噪声的器件背贴或靠近。
- 其他 BUCK、BOOST 电感禁止背贴在芯片本体和 RF 区域的背面，也不要放在芯片附近放置。
- 在布局紧张时各模块的优先级从大到小依次为：RF 信号、时钟信号、模拟信号、数字信号。

5.3 电源方案

5.3.1 电源方案框图及规格

图5-4 GN71V100 电源方案框图



说明

图 5-4 中：

- 大矩形框阴影表示在芯片内部，小矩形框为芯片出 PIN 示意。
- 红色字体表示芯片输入电源，蓝色字体表示芯片输出电源。
- 详细电源走线方案见该章节详细内容。

表5-3 推荐工作条件

符号	参数说明	最小值 (V)	典型值 (V)	最大值 (V)	纹波
VDD_BAT	供电电源，由外部电源提供	2.7	3.3	4.5	AC+DC， ≤5%
VDD_IO_3P3_1P8	IO 电源，由外部电源提供	-	1.8/3.3	-	AC+DC， ≤5%
VDD_1P05	1.05V 电源，由内部 BUCK 电源提供	-	1.05	-	30mVpp

5.3.2 VBAT 电源

芯片包含 1 个 VBAT 电源输入管脚：VDD_BAT。

VDD_BAT：芯片内部 DCDC 输入。

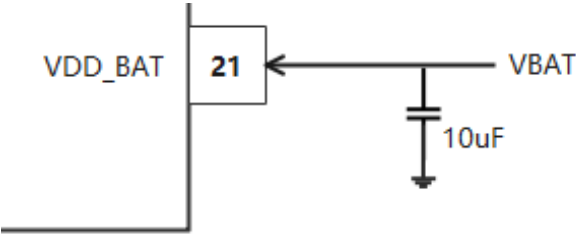
- VBAT 支持 2.7V~4.5V 输入，VBAT 电源可以由外部 PMU 芯片或者外部 BUCK 电路生成提供。
- VBAT 给芯片提供工作电源，VDD_BAT 输入管脚放置一个电容用于储能滤波。

参考电路图如图 5-5 所示。

表5-4 VBAT 电源设计建议

名称	设计建议
VDD_BAT	外接 10μF 电容，耐压值≥6.3V

图5-5 VBAT 输入电路



5.3.3 VDDIO 电源

芯片包含 1 个 VDDIO 电源输入管脚：VDD_IO_3P3_1P8。

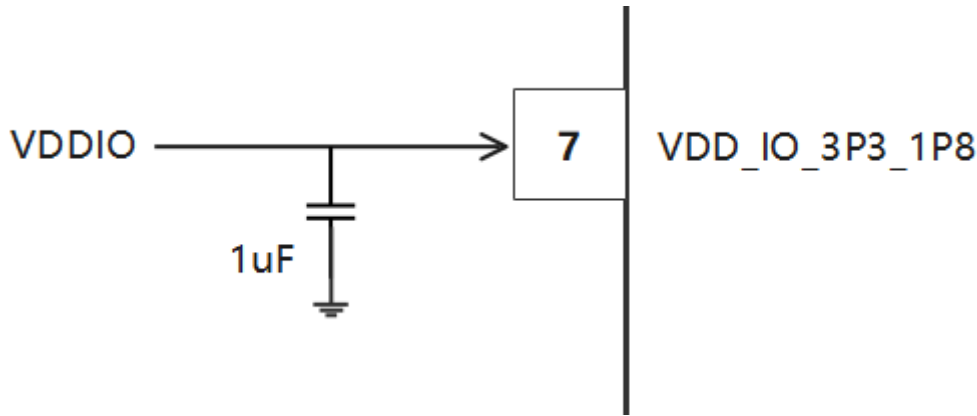
VDD_IO_3P3_1P8：支持 1.8V/3.3V 电压（使用 1.8V 电压时，注意将 PIN5 与 PIN7 短接），推荐设计建议如表 5-5 所示，参考电路图如图 5-6 所示。

表5-5 VDDIO 电源设计建议

名称	设计建议
VDD_IO_3P3_1	外接 1μF 电容，耐压值≥6.3V。

名称	设计建议
P8	

图5-6 VDDIO 输入电路



5.3.4 内部电源滤波电路

内部电源中的 VDD_XLDO、VDD_IO_1P8、BUCK_LX、VDD_PLL、VDD_ANA、VDD_RF 需要外接滤波电容，推荐设计建议如表 5-6 所示。

表5-6 内部电源滤波电路设计建议

名称	设计建议
VDD_XLDO	芯片内置 LDO 输出，TCXO 电源，外接 1μF 滤波电容。
VDD_IO_1P8	芯片内置 LDO 输出，需外接 1μF 滤波电容。
BUCK_LX	芯片内置 LDO 输出，需外接 1μF 滤波电容。
VDD_PLL	芯片内置 LDO 输出，需外接 1μF 滤波电容。
VDD_ANA	芯片内置 LDO 输出，需外接 1μF 滤波电容。

名称	设计建议
VDD_RF	芯片内置 LDO 输出，需外接 1μF 滤波电容。

5.3.5 BUCK 电源

芯片包含 1 个电源输入管脚：VDD_BAT。

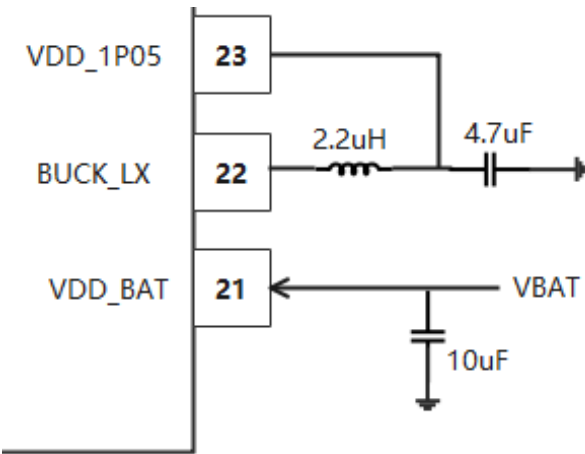
表5-7 BUCK 电源设计建议

名称	说明
BUCK_LX	BUCK LX 输出，外接 2.2μH 电感。
VDD_BAT	电压输入，给 BUCK 供电，外接 10μF 电容。
VDD_1P05	给芯片内部 RFLDO 等供电，外接 4.7μF 电容。

内部 BUCK 由 VDD_BAT 提供输入电压，由 BUCK_LX 输出开关信号，需要外接电感和输出电容（推荐电感规格请参见“6 关键器件规格”）。

参考电路图如图 5-7 所示。

图5-7 内置 BUCK 参考电路



5.3.6 上下电时序

芯片 PWREN 管脚支持两种板级启动方案，分别为 PWREN 接 HOST 和悬空处理。

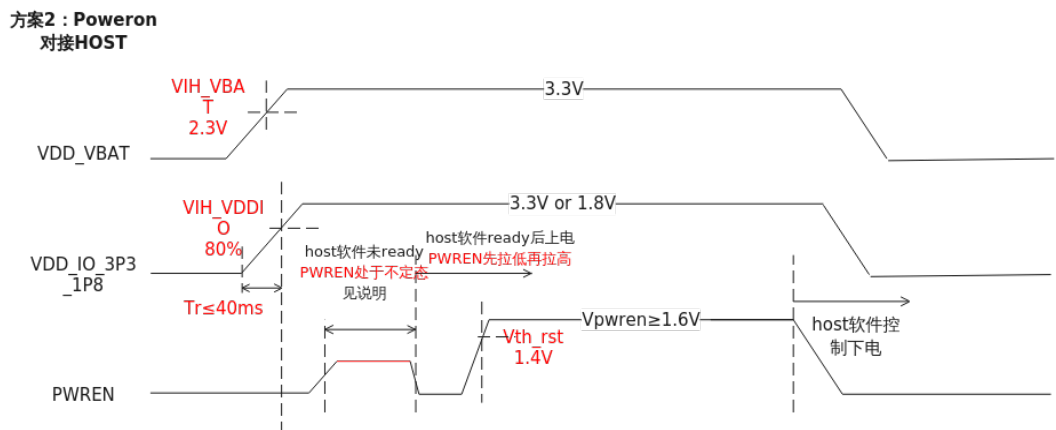
 说明

强烈建议选用 PWREN 接 HOST 方案。

- 方案一：PWREN 接 HOST。

上下电时序图如图 5-8 所示。

图5-8 PWREN 接 HOST 时上下电时序



 说明

Vpwren: PWREN 上电达到 1.6V 时，芯片的 PMU 才能正常工作。

Vth_rst: 上电达到 1.4V (Vth_rst) 时，才能确保芯片正常工作。

上电时序约束如下：

- 上电顺序：
 - VDD_BAT 和 VDD_IO_3P3_1P8 同电源供电：无。
 - VDD_BAT 和 VDD_IO_3P3_1P8 不同电源供电：V_BAT 早于 VDD_IO_3P3_1P8。
- 外部 VDDIO 电源 VDD_IO_3P3_1P8 上电时间约束为 ≤ 40ms。
- HOST 软件 ready 后 PWREN 上电，必须 HOST 控制 PWREN 先拉低后再拉高完成上电。
- 当外部控制 PWREN 信号为高电平时，若 HOST 软件未 ready，PWREN 将处于不定态。

- PWREN 板级外接下拉电阻时：PWREN 电平由板级下拉电阻和 HOST 芯片内部电阻分压决定。
- PWREN 板级不外接下拉电阻时：PWREN 处于不定态， $> 1.4V$ 或 $< 0.8V$ 。

下电时序约束如下：

a. 下电顺序：

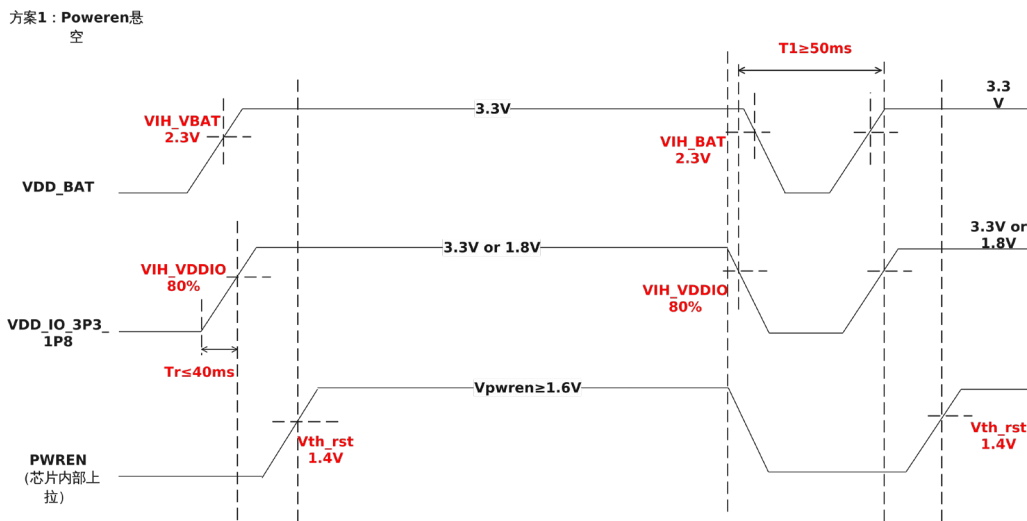
- VDD_BAT 和 VDD_IO_3P3_1P8 同电源供电：PWREN 先下电（HOST 软件控制），V_BAT 和 VDD_IO_3P3_1P8 再下电。
- VDD_BAT 和 VDD_IO_3P3_1P8 不同电源供电：PWREN 先下电（HOST 软件控制），后 VDD_IO_3P3_1P8 下电，V_BAT 最后下电。

b. PWREN 的下电典型值为 $0.8V$ 。

- 方案二：PWREN 悬空。

上下电时序图如图 5-9 所示。

图5-9 PWREN 悬空时上下电时序



上电时序约束如下：

a. 上电顺序：

- VDD_BAT 和 VDD_IO_3P3_1P8 同电源供电：无。
- VDD_BAT 和 VDD_IO_3P3_1P8 不同电源供电：V_BAT 早于 VDD_IO_3P3_1P8。

- b. 外部 VDDIO 电源 VDD_IO_3P3_1P8 上电时间约束为 $\leq 40\text{ms}$ （由低电平拉至 VIH_VDDIO 电平的时间）。
- c. PWREN 信号为高电平。

下电时序约束如下：

- a. 下电顺序：
 - VDD_BAT 和 VDD_IO_3P3_1P8 同电源供电：无。
 - VDD_BAT 和 VDD_IO_3P3_1P8 不同电源供电：V_BAT 晚于 VDD_IO_3P3_1P8。
- b. PWREN 的下电典型值为 0.8V。
- c. 芯片电源 VDD_BAT 和 VDD_IO_3P3_1P8 反复上下电的时间间隔要满足：时间 T1 大于 50ms。

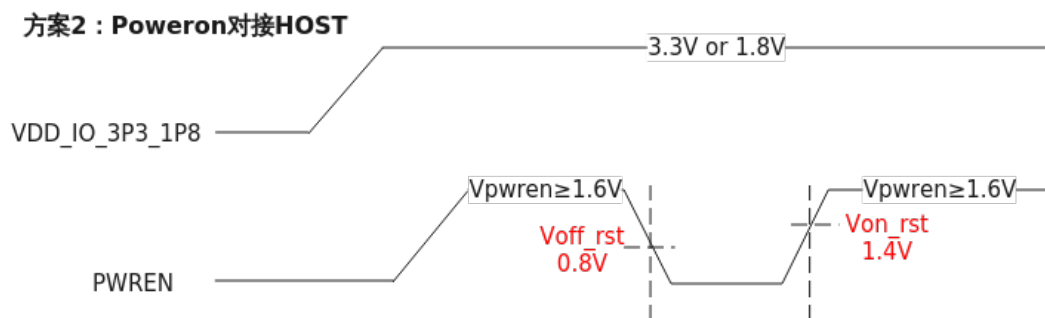
5.3.7 复位时序

芯片支持的复位方案如下所示：

PWREN 接 HOST 时，可以通过 HOST 软件控制 PWREN 管脚拉低复位（PWREN 悬空时，通过上下电复位）。

复位时序图如图 5-10 所示。

图5-10 PWREN 接 HOST 时复位时序



说明

- HOST 软件控制 PWREN 拉低复位。
- V_{off_rst} : 关闭阈值，PWREN 下电达到 0.8V 时，芯片进入关闭状态。
- V_{on_rst} : 上电阈值，PWREN 上电达到 1.4V 时，芯片进入启动状态。
- 复位时间：160ms。

5.3.8 电源走线注意事项

- 电源输入、输出管脚滤波电容就近摆放。
- BUCK 外接电感就近摆放，且 BUCK 回流路径尽可能短。
- 所有电源走线确保通流能力。
- TCXO 供电电源需要包地处理，避免与强信号线交叉或平行靠近走线。

5.3.9 通流参考

表5-8 通流参考表

管脚名称	参考通流 (mA)
VDD_PLL	20
VDD_XLDO	50
VDD_IO_1P8	50
VDD_IO_3P3_1P8	150
VDD_BAT	300
BUCK_LX	300
VDD_CLDO	150
VDD_ANA	20
VDD_RF	20

5.4 射频方案

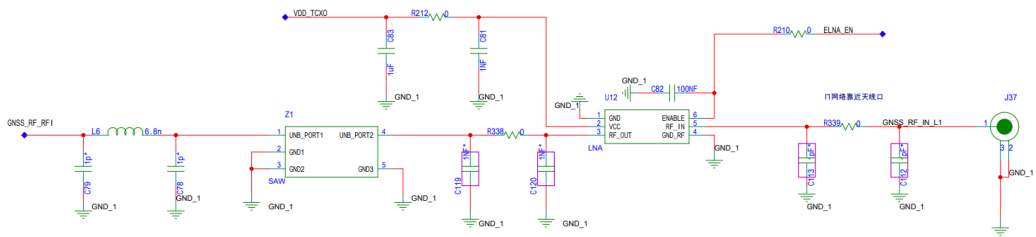
5.4.1 原理图设计建议

芯片支持 GNSS L1 Band，芯片外围射频链路包含一级 SAW 和一级 LNA。

RX 信号由天线口经过 LNA 低噪声放大器、SAW 滤波器到芯片口。

参考设计如图 5-11 所示。

图5-11 射频参考设计图



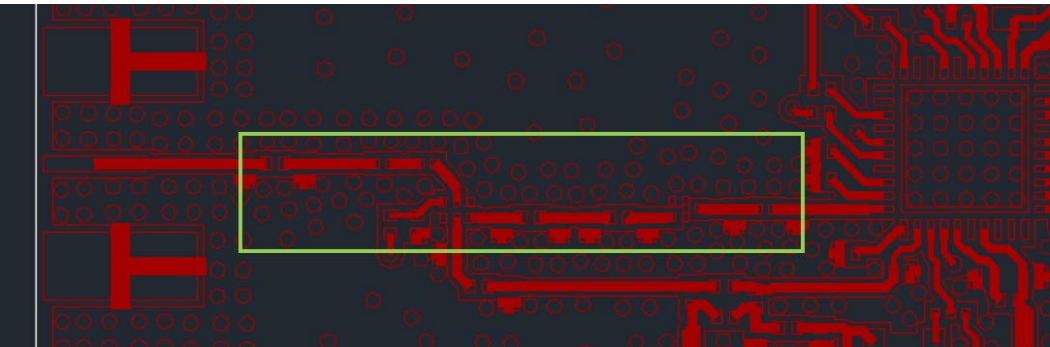
默认为后级 SAW 方案，对于强干扰的场景，建议 LNA 前增加一级 SAW，以提供更好的阻带抗干扰能力。

- 芯片外部射频前端链路约束：
 - 外置 LNA 增益范围 15dB~25dB，噪声系数 NF < 0.8dB。
 - SAW 插入损耗 IL < 1dB。
- 芯片口预留π型匹配网络，建议靠近芯片放置。
- 外置 SAW 和 LNA 之间建议预留π型匹配网络，默认不上件。
- 外置 LNA 供电由 VDD_TCXO 提供，预留π型滤波位置。

5.4.2 PCB 设计建议

射频信号从天线口经过匹配网络、π型网络、SAW 滤波器到芯片。走线参考如图 5-12 所示。

图5-12 射频走线参考



- 输入匹配器件尽量靠近输入口，根据 PCB 厂家、叠层、布局还需微调器件。匹配需要兼容考量 LNA NF 和带内的 loss 和平坦度之间的平衡。
- RF 走线阻抗控制 50Ω，走线推荐走直线或者弧形线。

- RF 走线两端要包地，密集打地孔到 RF 参考地，不建议换层走线。与其他 RF 走线间尽可能加入地（有地孔到 RF 参考地）以增加隔离。
- GNSS 的地接到 RF 参考地，接到大片地之前不要与其他模块地共用。
- 外置 LNA 尽量靠近天线口以减小线损。
- 整个 RF 通路避开干扰模块。
- RF 走线远离高速信号线、时钟走线、电源线，避免平行走线，注意增加电源走线与各种时钟线之间的隔离；遇到大 Pad 阻抗不连续时，建议隔层挖孔。

5.5 外围接口

5.5.1 UART 接口参考设计

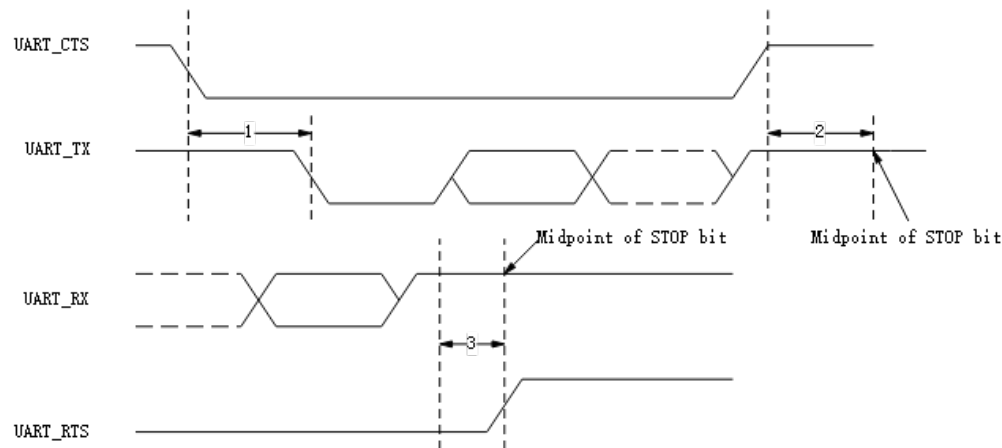
芯片支持一组 UART 信号，兼容两线和四线，最高支持速率 3Mbit/s，用于与其他设备对接。

表5-9 UART 接口信号

名称	类型	功能说明
UART_TXD (GPIO0)	O	数据输出
UART_RXD (GPIO1)	I	数据输入
UART_RTS (GPIO14)	O	请求发送
UART_CTS (GPIO16)	I	清除发送

UART 接口的的时序如图 5-13 所示。

图5-13 UART 接口时序



UART 接口的时序图说明如下：

- 标注 1 为 CTS 信号拉低到 TXD 信号有效的最大延时。
- 标注 2 为结束位的中点到 CTS 信号拉高需要保持的最大时间。
- 标注 3 为结束位的中点到 RTS 信号拉高的最大延时。

UART 时序约束如表 5-10 所示。

表5-10 UART 时序约束

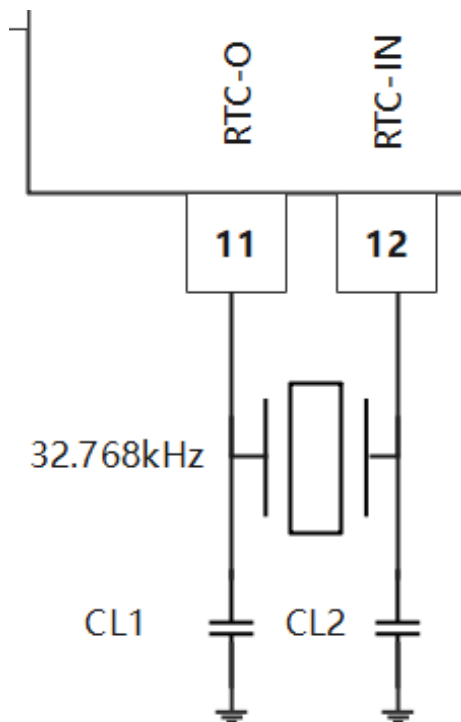
编号	特性	最小值	典型值	最大值	单位
1	CTS low to TXD valid	-	-	1.5	Bit Periods
2	CTS high before mid of stop bit	-	-	0.5	Bit Periods
3	Mid of stop bit to RTS high	-	-	0.5	Bit Periods

5.6 时钟方案

5.6.1 RTC 时钟

芯片需要外部提供 32.768kHz RTC 时钟，可用于对外授时（PPS_OUT）。RTC 时钟采用无源晶体，接在芯片的 RTC_I 和 RTC_O 引脚，无需片外电容和反馈电阻，参考设计如图 5-14 所示。

图5-14 RTC 时钟设计参考

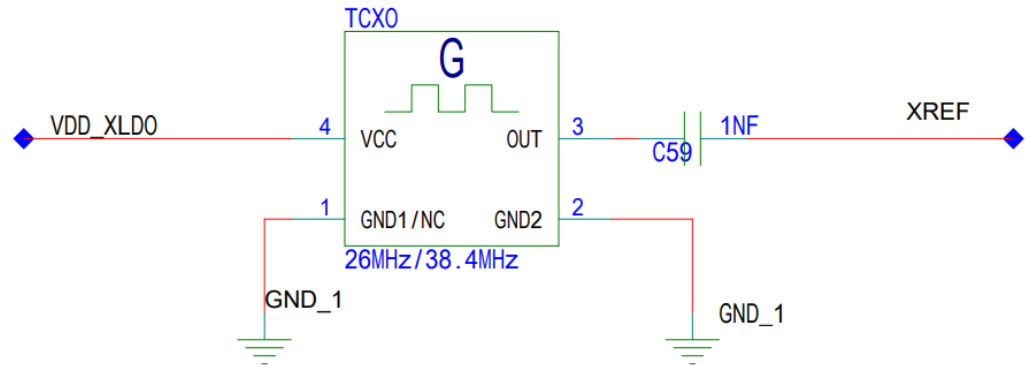


- RTC_I、RTC_O：时钟输入输出管脚，时钟线容易产生射频干扰，应远离 RF 模块。
- 晶体就近芯片放置，晶体下方禁止走敏感或干扰源信号线。

5.6.2 TCXO 晶振

芯片需要外接一个 26MHz 或 38.4MHz 的 TCXO 晶振作为 GNSS 的参考时钟源。在使用外部 TCXO 时，芯片可以提供 TCXO 电源 (VDD_XLDO)，电压支持 1.8V 和 3.3V。TCXO 输出时钟需要做 AC 耦合，推荐隔直电容大小为 1nF。对 TCXO 晶振的规格要求见“[6 关键器件规格](#)”。

图5-15 TCXO 设计参考



- 外部 TCXO 远离噪声源和快速温变热源，如 RF PA、RFIC、PMU 等。
- TCXO 远离 RF、天线端放置，与 RF 走线间隔度建议 $\geq 25\text{dB}$ 。
- TCXO 时钟走线全程包地处理。
- 对于多层板，TCXO 晶振正下方的 GND 挖空至少一层，有利于减小 GND 上热影响。

6 关键器件规格

表6-1 关键器件规格表

器件名称	参数	封装	参考规格
BUCK 电感	2.2μH	0805	±20%, DCR=110mΩ,1A
RTC 晶体	32.768K	SMD1610	±20ppm, 1.4~1.8V, CL=7pF
TCXO 晶振	26MHz	SMD2520	1.8V(1.6~1.89V) or 3.3V(3.135~3.465V), 1ppm@-40°C ~ +85°C
	38.4MHz	SMD2016	1.8V(1.6~1.89V) or 3.3V(3.135~3.465V), 2ppm@-40°C ~ +85°C
低噪声放大器	LNA	QFN6	Vcc=1.6~3.465V, Gain=18.5dB, NF=0.7dB
滤波器	SAW	SMD1109	IL=1dB, impedeance=50 Ω

7 热设计建议

- 7.1 工作条件
- 7.2 电路热设计参考

7.1 工作条件

须知

- 芯片的极限结温的最大值为 125℃，任何条件下芯片的结温都不能大于该数值。
- 芯片的长期工作结温的最大值为 105℃，正常工作条件下芯片的结温应该小于该数值。
- 在短期工作条件下，芯片可以容忍超过 105℃（长期工作结温的最大值）而小于 125℃（极限结温的最大值）的高温，但长时间工作在超过 105℃（长期工作结温的最大值）结温下会导致芯片寿命缩减。
- 根据 GR-63-CORE 标准，短期工作条件定义为每次持续时间不超过 96 小时，并且每年累计时间不超过 15 天。

表7-1 芯片的结温要求

封装形式	正常工作结温下限(℃)	长期工作最大结温(℃)	短期工作上限结温(℃)	破坏性最大结温(℃)	生命周期定义
QFN	-40	105	125	125	TBD

表7-2 芯片的封装热阻

参数	符号	温度	单位
Junction-to-ambient thermal resistance	θ_{JA}	TBD	°C/W
Junction-to-case thermal resistance	θ_{JC}	26.45	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	13.2	°C/W

说明

- 热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。

上述封装热阻参数仿真环境是 JEDEC 标准的 4 层 PCB，如图 7-1 所示。

图7-1 JEDEC 标准的 4 层 PCB 参数



7.2 电路热设计参考

7.2.1 器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和散热效率。
- 合理设计结构，保证产品内部与外界有热交换途径。

- 对单板关键发热器件充分进行极端应用场景的温升测试，确保器件在安全的温度范围内长期可靠工作。
- 必要情况下，关键发热器件可以增加散热片，进一步提升散热效果。

7.2.2 PCB

走线热设计建议如下：

- 芯片底下的过孔采用 FULL 孔连接，而不是普通的花孔连接，以提高单板散热效率。
- 在热量大的器件正下方和周边尽量增大铜皮面积，特别是双面 PCB 单板，发热器件背面的地平面尽量减少分割，完整地平面能够有效分散热量，提高整体散热效果。另外，如果结构允许，将芯片正背面附近地平面进行亮铜处理，也能够进一步提升散热效果。

8 焊接工艺

8.1 概述

8.2 无铅回流焊工艺参数要求

8.3 混合回流焊工艺参数要求

8.1 概述

本章规定了客户端在用该芯片 SMT（Surface Mounted Technology）时各温区温度基本设置。

本章主要介绍客户端在使用该芯片做回流焊时工艺控制：主要是无铅工艺和混合工艺两类。

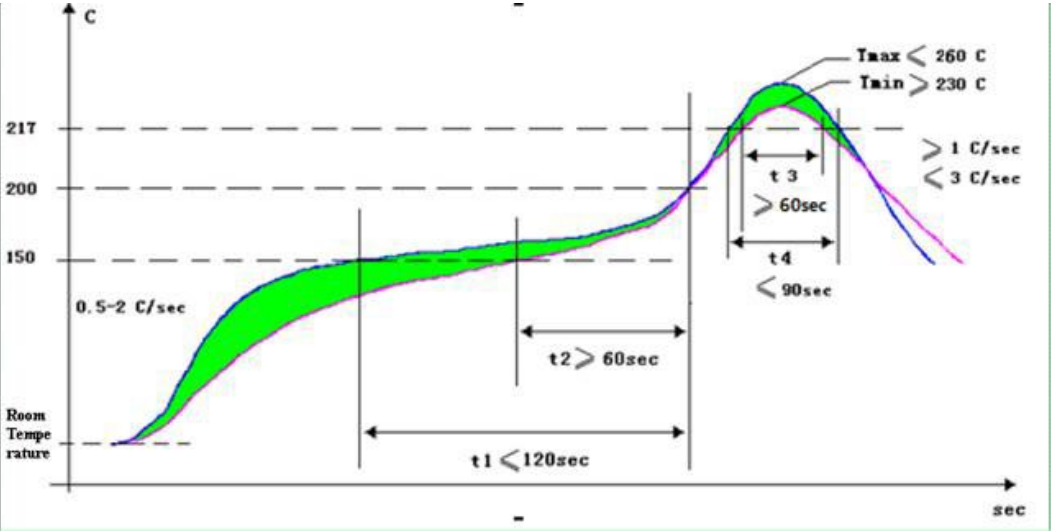
定义说明：

- 芯片：提供给客户的芯片均为 RoHS 产品，均满足无铅要求。
- 无铅工艺：所有器件(主板/所有芯片/电容电阻等)均为无铅器件，并使用无铅锡膏的纯无铅工艺。

8.2 无铅回流焊工艺参数要求

无铅回流焊接工艺曲线如图 8-1 所示。

图8-1 无铅回流焊接工艺曲线



无铅回流焊工艺参数如表 8-1 所示。

表8-1 无铅回流焊工艺参数

区域	时间	升温速率	峰值温度	降温速率
预热区（40 ~ 150℃）	60s ~ 150s	≤2.0℃/s	-	-
均温区（150 ~ 200℃）	60s ~ 120s	< 1.0℃/s	-	-
回流区（> 217℃）	60s ~ 90s	-	230℃ ~ 260℃	-
冷却区（Tmax ~ 180℃）	-	-	-	1.0℃/s ≤ Slope ≤ 4.0℃/s

说明

- 预热区：温度由 40℃ ~ 150℃，温度上升速率控制在 2℃/s 左右，该温区时间为 60s ~ 150s。
- 均温区：温度由 150℃ ~ 200℃，稳定缓慢升温，温度上升速率小于 1℃/s，且该区域时间控制在 60s ~ 120s（注意：该区域一定缓慢受热，否则易导致焊接不良）。
- 回流区：温度由 217℃ ~ Tmax ~ 217℃，整个区间时间控制在 60s ~ 90s。
- 冷却区：温度由 Tmax ~ 180℃，温度下降速率最大不能超过 4℃/s。

- 温度从室温 25°C升温到 250°C时间不应该超过 6 分钟。
- 该回流焊曲线仅为推荐值，客户端需根据实际生产情况做相应调整。
- 回流时间以 60s ~ 90s 为目标，对于一些热容较大无法满足时间要求的单板可将回流时间放宽至 120s。封装体耐温标准参考 IPC/JEDEC J-STD-020D 标准，封装体测温方法参考 JEP140 标准。

IPC/JEDEC J-STD-020D 标准，封装体测温方法按照 JEP 140 标准要求：IPC/JEDEC 020D 中的无铅器件封装体耐温标准如表 8-2 所示。

表8-2 IPC/JEDEC 020D 中的无铅器件封装体耐温标准

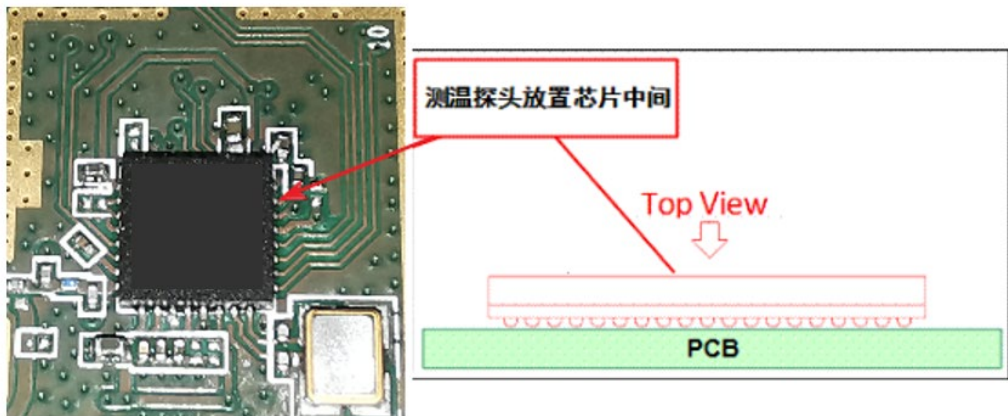
Package Thickness	Volume mm ³ < 350	Volume mm ³ 350 ~ 2000	Volume mm ³ > 2000
< 1.6mm	260°C	260°C	260°C
1.6mm ~ 2.5mm	260°C	250°C	245°C
> 2.5mm	250°C	245°C	245°C

体积计算中不计入器件焊端（焊球、引脚）和外部散热片。

回流焊接工艺曲线测量方法：

JEP140 推荐：对于厚度较小的器件，测量封装体温度时，直接将热电偶贴放在器件表面，对于厚度较大的器件，在器件表面钻孔埋入热电偶进行测量。由于量化器件厚度的要求，推荐全部采用在封装体表面钻孔埋入热电偶的方式（特别薄器件，无法钻孔除外）。如图 8-2 所示。

图8-2 封装体测温示意图



8.3 混合回流焊工艺参数要求

回流焊接过程中，如果出现器件混装现象，应首先保证无铅器件的正常焊接。具体要求如表 8-3 所示。

表8-3 混装回流焊工艺参数表

数值要求		有铅 BGA（Ball Grid Array Package）	无铅 BGA	其它器件
预热区（40 ~ 150 °C）	时间	60s ~ 150s		
	升温斜率	< 2.5°C/s		
均温区（150 ~ 183 °C）	时间	30s ~ 90s		
	升温斜率	< 1.0°C/s		
回流区（> 183 °C）	峰值温度	210°C ~ 240°C	220°C ~ 240°C	210°C ~ 245°C
	时间	30s ~ 120s	60s ~ 120s	30s ~ 120s
冷却区（Tmax ~ 150 °C）	降温斜率	1.0°C/s ≤ Slope ≤ 4.0°C/s		

 说明

以上工艺参数要求均针对焊点温度。单板上焊点最热点和最冷点均需要满足以上规范要求。

曲线调制中，还需要满足单板上元器件的封装体耐温要求。封装体耐温标准按照 IPC/JEDEC J-STD-020D 标准，封装体测温方法按照 JEP 140 标准。

IPC/JEDEC 020D 中的有铅器件封装体耐温标准如表 8-4 所示。

表8-4 IPC/JEDEC 020D 中的有铅器件封装体耐温标准

Package Thickness	Volume mm ³ < 350	Volume mm ³ ≥350
< 2.5mm	235°C	220°C
≥2.5mm	220°C	220°C

体积计算中不计入器件焊端（焊球，引脚）和外部散热片。

JEP140 标准规定测量封装体温度方法同无铅工艺，请参见“[无铅回流焊工艺参数](#)”要求详细说明。

9 潮敏参数

- 9.1 存放与使用
- 9.2 重新烘烤

9.1 存放与使用

本节规定了客户端对该芯片（潮敏产品）的存放和使用。

- 存放环境

建议产品真空包装存放，存放温度范围：-40℃ ~ +150℃。推荐存放在 25℃的环境温度下。

- 存储期限

存放环境<30℃/60% RH（Relative Humidity）下，真空包装存放，存储期限不少于 12 个月。

- 车间寿命在环境条件<30℃/60%下，车间寿命如表 9-1 所示。

表9-1 车间寿命参照表

潮湿敏感等级 (MSL)	含义（即拆分后放存条件及最长时间）
1	无限制，环境温湿度≤30℃/85% RH
2	1year, 30℃/60%RH。

潮湿敏感等级 (MSL)	含义（即拆分后放存条件及最长时间）
2a	4week, 30°C/60%RH。
3	1week, 30°C/60%RH。
4	72h, 30°C/60%RH。
5	48h, 30°C/60%RH。
5a	24h, 30°C/60%RH。
6	Time on Label, 30°C/60%RH。

【潮敏产品的使用】

- 产品在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$ 下连续或累计暴露超过 2 个小时，建议进行重新烘烤后再真空干燥包装。
- 产品在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$ 下暴露累计没有超过 2 个小时，可以不用重新烘烤，但要更换新的干燥剂，进行真空干燥包装。
- 本产品的潮敏参数等级为 3 级。

本文没有提到的存储及使用原则，请直接参考 JEDEC J-STD-033A。

9.2 重新烘烤

本节提供了客户端对该芯片（潮敏产品）重新烘烤时的参考。

使用范围：需要重新烘烤的芯片（潮敏产品）

重新烘烤参考如表 9-2 所示。

表9-2 重新烘烤参考表

芯片厚度	MSL 潮敏等级	烘烤 125°C	烘烤 90°C/ $\leq 5\% \text{ RH}$	烘烤 40°C/ $\leq 5\% \text{ RH}$
$\leq 1.4\text{mm}$	2a	3h	11h	5day
	3	7h	23h	9day

芯片厚度	MSL 潮敏等级	烘烤 125°C	烘烤 90°C/≤5% RH	烘烤 40°C/≤5% RH
	4	7h	23h	9day
	5	7h	24h	10day
	5a	10h	24h	10day
≤2.0mm	2a	16h	2day	22day
	3	17h	2day	23day
	4	20h	3day	28day
	5	25h	4day	35day
	5a	40h	6day	56day
≤4.5mm	2a	48h	7day	67day
	3	48h	8day	67day
	4	48h	10day	67day
	5	48h	10day	67day
	5a	48h	10day	67day

说明

- 此表中显示的均是受潮后，必须的最小的烘烤时间。
- 重新烘烤优先选择低温烘烤。
- 详细情况请参考 JEDEC。

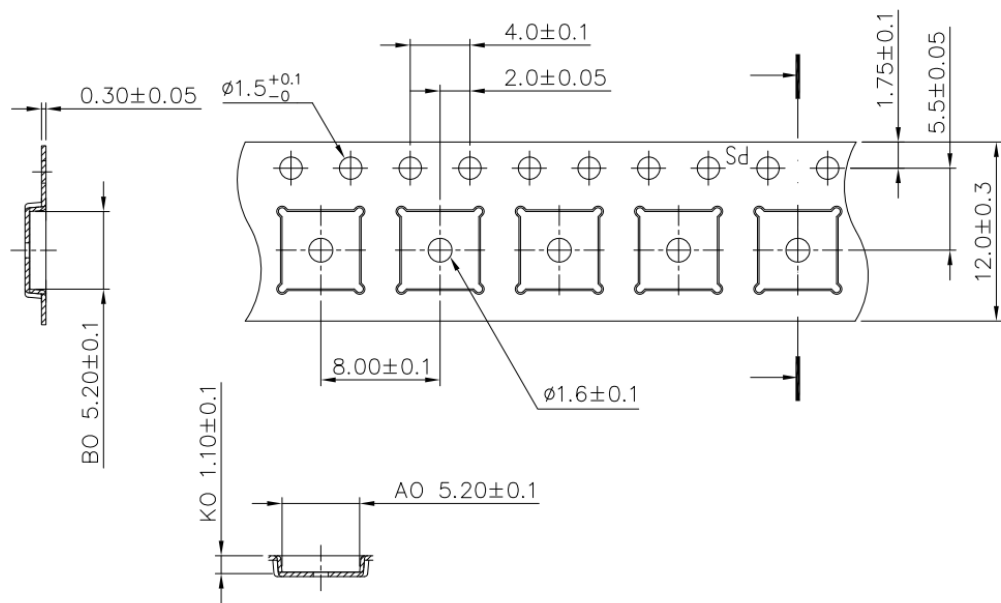
10 ESD

表10-1 ESD 能力

描述	条件	最小值	典型值	最大值	单位
ESD HBM	非 RF IO	-	-	2000	V
	RF IO	-	-	500	V
ESD CDM	所有管脚	-	-	200	V

11 包装

芯片采用真空卷带包装，具体卷带尺寸如下（单位 mm）：



A 缩略语

A

AGNSS	Assisted Global Navigation Satellite System	辅助 GNSS
--------------	---	---------

B

BDS	Beidou Navigation Satellite System	北斗卫星导航系统
------------	------------------------------------	----------

C

CPU	Central Processing Unit	中央处理器单元
------------	-------------------------	---------

G

GNSS	Global Navigation Satellite System	全球导航卫星系统
-------------	------------------------------------	----------

GPS	Global Positioning System	全球定位系统
------------	---------------------------	--------

GLONASS	Global Navigation Satellite System	全球导航卫星系统(俄)
----------------	------------------------------------	-------------

GPIO	General-purpose input/output	通用输入/输出口
-------------	------------------------------	----------

I

IO	Input Output	输入输出
-----------	--------------	------

L

LDO	Low dropout regulator	低压差调节器
------------	-----------------------	--------

LNA	Low Noise Amplifier	增益放大器
N		
NMEA	National Marine Electronics Association	美国国家海洋电子协会
NF	Noise Figure	噪声系数
O		
OSC	Oscillator	振荡器
OSP	Organic Solderability Preservative	有机可焊性保护涂层
P		
PCB	Printed Circuit Board	印刷电路板
PLL	Phase-Locked Loops	锁相环
QFN	Quad Flat No-leads Package	方形扁平无引脚封装
Q		
QZSS	Quasi-Zenith Satellite System	准天顶卫星系统
R		
RF	Radio Frequency	射频
ROM	Read-Only Memory	只读存储器
RTC	Real Time Clock	实时时钟
T		
TCXO	Temperature Compensated Crystal Oscillator	温度补偿晶体振荡器
U		
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发器

