

HWD240 系列

复杂可编程逻辑器件

产品手册

V3.0.0

成都华微电子科技股份有限公司

2025 年 10 月 28 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本	涂屹昆 夏明刚 马淑彬	20210729	
V1.1.0	增加 7 典型应用； 修改公司名称。	涂屹昆	20220308	
V1.2.0	7 中补充兼容 5.0V 特点详细说明； 修正图编号顺序错误	夏明刚 涂屹昆	20220422	
V1.3.0	修正图 3 中 e 值的位置标注错误	涂屹昆	20221010	
V1.4.0	增加 HWD240NQFN40 产品信息； 增加输出电压 VS 驱动电流特性曲线	涂屹昆 夏明刚	20221129	
V1.5.0	增加 HWD2210MFBGA324 产品信息	涂屹昆	20231031	
V1.6.0	优化图 1 清晰度	叶杨邦	20231107	
V1.7.0	在注意事项中增加各个 BANK 的 VCCIO 电源供电说明	夏明刚	20240111	
V1.8.0	按照新模板修改格式，增加 5 绝对最大额定值及推荐工作范围，更改各个封装 I/O Bank 表； 更新实物图； 增加 HWD570PQFP100 产品信息 增加 HWD1270LQFP144E 产品信息	涂屹昆	20241031	
V1.9.0	在注意事项中增加热插拔使用条件说明	夏明刚	20241105	
V2.0.0	修改注意事项①加载时间与原片对比，增加注意事项⑨寄存器初值设计	冯萍	20250613	
V3.0.0	1、更新手册模板 2、HWD240 单独发行系列手册 3、增加焊盘推荐、焊接推荐	刘义凯	20251028	



目 次

1 概述	1
2 产品特点	1
3 功能框图	2
4 封装信息	3
4.1 外形和管脚	3
4.2 焊盘推荐	9
4.3 焊接推荐	12
5 绝对最大额定值及推荐工作范围	15
5.1 绝对最大额定值	15
5.2 推荐工作范围	15
6 电特性参数	15
7 功能	17
7.1 概述	17
7.2 功能描述	18
8 应用建议	27
9 使用注意事项	28
10 订货信息	30

1 概述

HWD240 是一款“瞬时”功能实现(Instant-On)、非易失性 CPLD，该产品采用 0.18 μm 、6 层金属 FLASH 工艺制程，芯片密度可达 240 逻辑单元以及 8Kb 存储空间。相比其他 CPLD，HWD240 可提供更多的 IO 数目，更快的性能以及可靠的兼容性。HWD240 还具备多内核电压（3.3V/2.5V），用户 FLASH 存储（UFM），以及在系统可编程（ISP）等能力，HWD240 在减小成本和功耗同时为应用提供出色的可编程解决方案，如总线桥接、I/O 扩展、上电复位（POR）、时序控制以及设备初始化控制等。

2 产品特点

- 1) 低成本，低功耗。
- 2) “瞬时”功能实现，非易失性结构。
- 3) 提供快速传输延迟和时钟到输出的时间。
- 4) 提供四个全局时钟，每个逻辑阵列模块（LAB）可用两个时钟。
- 5) UFM 容量高达 8 Kbits，采用非易失性存储。
- 6) 多内核电压供电 3.3V/2.5V。
- 7) IO 多电平接口，支持 3.3V、2.5V、1.8V、1.5V。
- 8) 每个 IO 具有可编程的摆率、驱动强度、总线保持和上拉电阻等能力。
- 9) 支持热插拔。
- 10) 内建 JTAG 边界扫描电路，兼容 IEEE Std.1149.1-1990 协议。
- 11) ISP 电路与 IEEE Std.1532 协议兼容。

3 功能框图

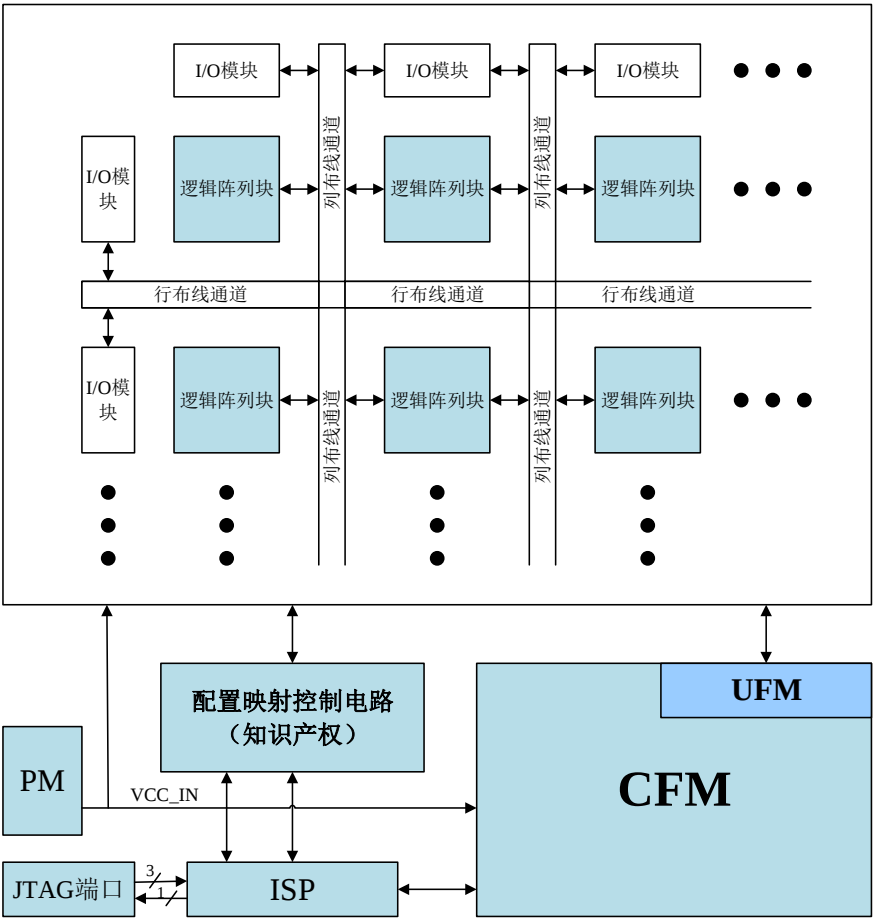


图 1 功能框图

HWD240 典型应用场景如下图所示。

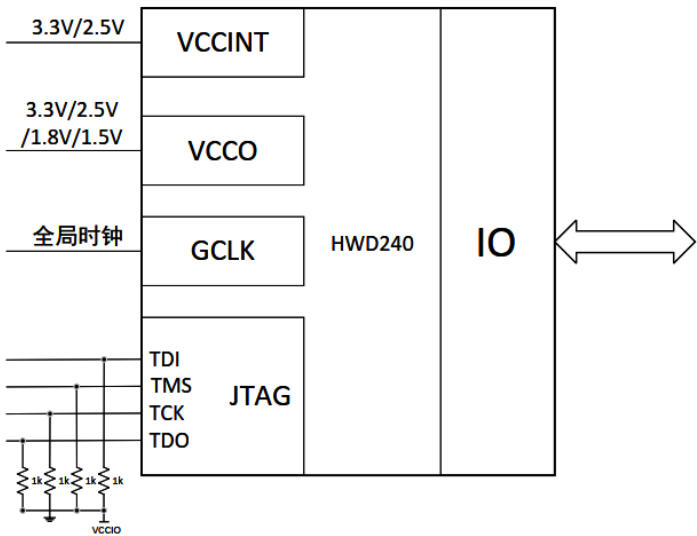


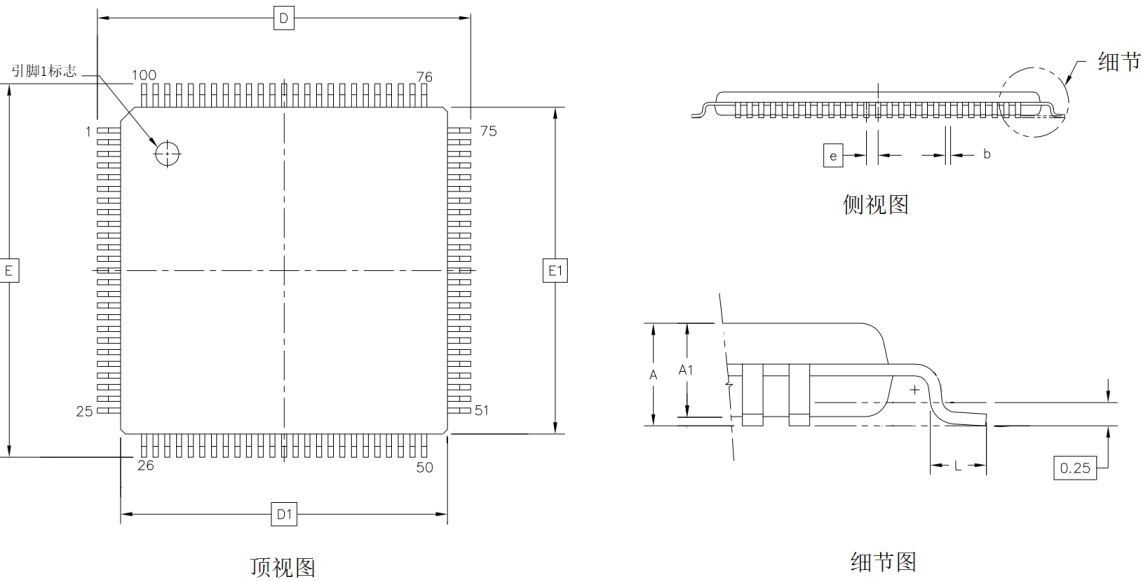
图 2 典型应用场景

4 封装信息

4.1 外形和管脚

4.1.1 PQFP100、QFP100 封装

PQFP100，QFP100封装外形图如下图所示。



单位：毫米

尺寸符号	数 值		
	最小	公称	最大
A	—	—	1.25
A1	0.95	—	1.05
D	15.80	—	16.20
E	15.80	—	16.20
D1	13.80	—	14.20
E1	13.80	—	14.20
e	—	0.50	—
b	0.15	—	0.30
L	0.45	—	0.75

图 3 PQFP100，QFP100 封装外形图

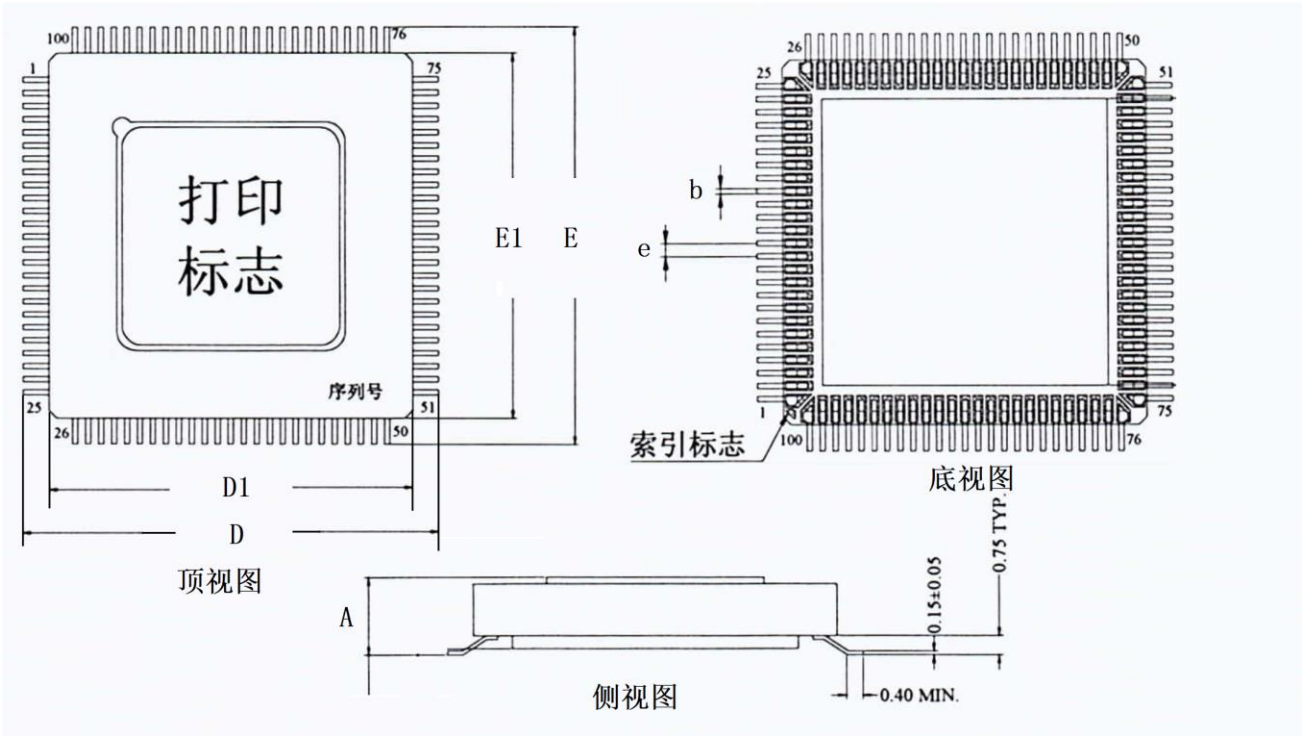
引脚排列表如下所示。

表 1 PFP100 和 QFP100 封装的管脚列表

管脚	管脚名	功 能
12	GCK0	输入/输出/全局时钟 0
14	GCK1	输入/输出/全局时钟 1
62	GCK2	输入/输出/全局时钟 2
64	GCK3	输入/输出/全局时钟 3
43	DEV_OE	输入/输出/全局使能信号
44	DEV_CLRn	输入/输出/全局清零信号
23	TDI	JTAG 配置数据输入
22	TMS	JTAG 测试模式
24	TCK	JTAG 配置时钟
25	TDO	JTAG 测试数据输出
11、65	GNDINT	地
10、32、46、60、79、93	GNDIO	地
13、63	VCCINT (3.3V)	核电源
9、31、45	VCCO1	IO 电源
59、80、94	VCCO2	IO 电源
2~8、12、14~21、22~30、33~44、47~51	IO_1	BANK_1 输入/输出
1、52~58、61~64、66~78、81~92、96~100	IO_2	BANK_2 输入/输出

4.1.2 CQFP100 封装

CQFP100 封装外形图如下图所示。



单位：毫米

尺寸符号	数 值		
	最小	公称	最大
A	—	—	3.75
D	15.75	—	17.25
E	15.75	—	17.25
D1	13.85	—	15.15
E1	13.85	—	15.15
e	—	0.50	—
b	0.15	—	0.30

图 4 CQFP100 封装外形图

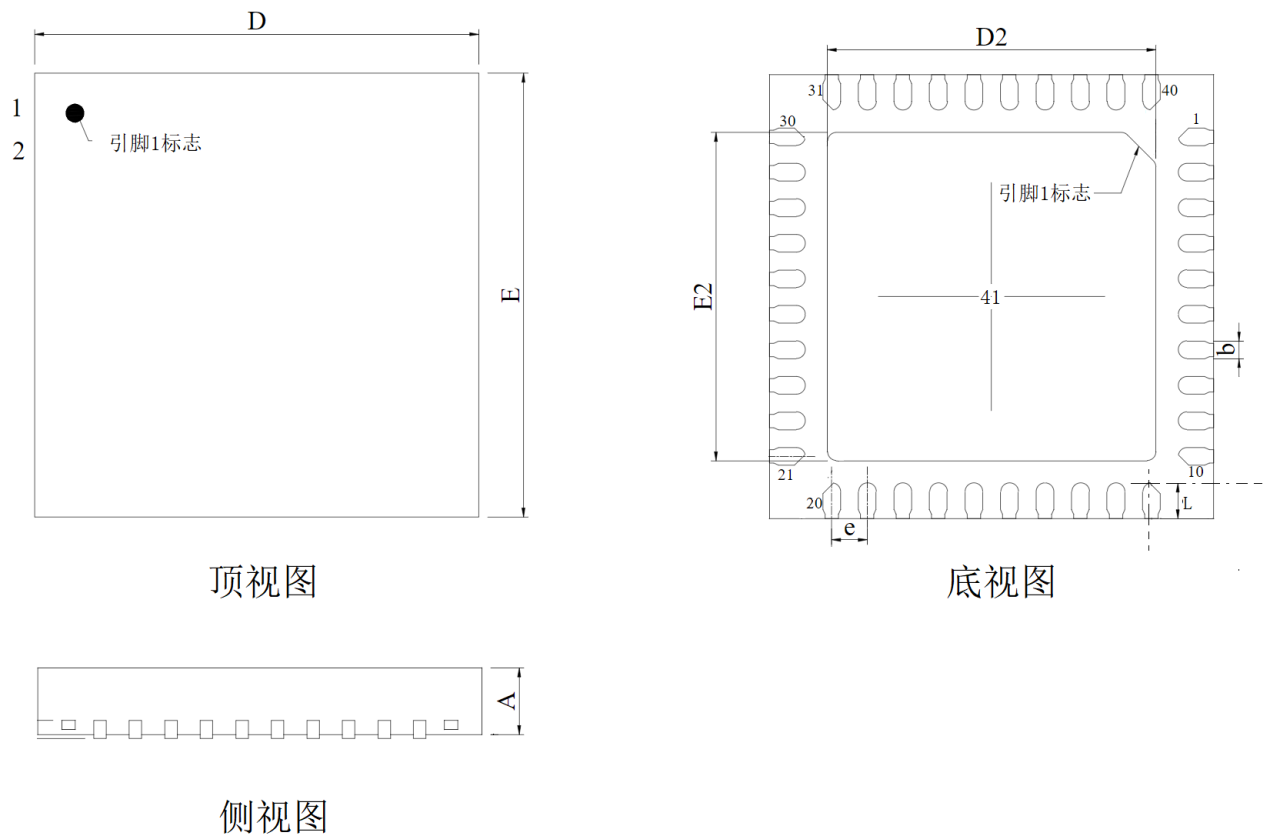
CQFP100 封装的管脚列表如下表所示。

表 2 CQFP100 封装的管脚列表

管脚	管脚名	功 能
12	GCK0	输入/输出/全局时钟 0
14	GCK1	输入/输出/全局时钟 1
62	GCK2	输入/输出/全局时钟 2
64	GCK3	输入/输出/全局时钟 3
43	DEV_OE	输入/输出/全局使能信号
44	DEV_CLRn	输入/输出/全局清零信号
23	TDI	JTAG 配置数据输入
22	TMS	JTAG 测试模式
24	TCK	JTAG 配置时钟
25	TDO	JTAG 测试数据输出
11、65	GNDINT	地
10、32、46、60、79、93	GNDIO	地
13、63	VCCINT (3.3V)	核电源
9、31、45	VCCO1	IO 电源
59、80、94	VCCO2	IO 电源
2~8、12、14~21、22~30、33~44、47~51	IO_1	BANK_1 输入/输出
1、52~58、61~64、66~78、81~92、96~100	IO_2	BANK_2 输入/输出

4.1.3 PQFN40、VQFN40、QFN40 封装

PQFN40，VQFN40和QFN40塑料封装外形图如下图所示。



单位：毫米

尺寸符号	数 值		
	最小	公称	最大
D	4.80	—	5.20
E	4.80	—	5.20
D2	3.50	—	3.90
E2	3.50	—	3.90
e	—	0.40	—
b	0.10	—	0.30
A	—	—	0.90
L	0.35	—	0.45

图 5 PQFN40，VQFN40 和 QFN40 封装外形图

PQFN40, VQFN40 和 QFN40 封装的管脚列表如下表所示。

表 3 PQFN40, VQFN40 和 QFN40 封装的管脚列表

管脚	管脚名	功 能
1、2、3、4、7、12、13、 18、19、20、21	IO_1	BANK_1 输入/输出
22、23、28、29、30、31、 32、33、34、35、37、38、 39、40	IO_2	BANK_2 输入/输出
5	VCCIO1/VCCINT	BANK1 或核心供电, 3.3V 或 2.5V
6	IO_1/GCLK1	BANK1 的 IO, 或作为全局时钟输入 1
8	TMS	JTAG 测试模式
9	TDI	JTAG 配置数据输入
10	TCK	JTAG 配置时钟
11	TDO	JTAG 测试数据输出
14	VCCIO1	BANK1 供电, 3.3V 或 2.5V
15	IO_1/OE	BANK1 的 IO, 或作为 IO 输出使能
16	IO_1/CLR	BANK1 的 IO, 或作为全局复位
17	VCCIO1	BANK1 供电, 3.3V 或 2.5V
24	VCCIO2	BANK2 供电, 3.3V 至 1.5V
25	IO_2/GCLK2	BANK2 的 IO, 或作为全局时钟输入 2
26	VCCINT	核心供电, 3.3V 或 2.5V
27	IO_2/GCLK3	BANK2 的 IO, 或作为全局时钟输入 3
36	VCCIO2	BANK2 供电, 3.3V 至 1.5V
41	GND	地 (位于管壳中间)

4.2 焊盘推荐

4.2.1 PQFP100、QFP100 封装

PQFP100, QFP100封装焊盘推荐如下图所示, 用户可根据焊接要求进行调整。

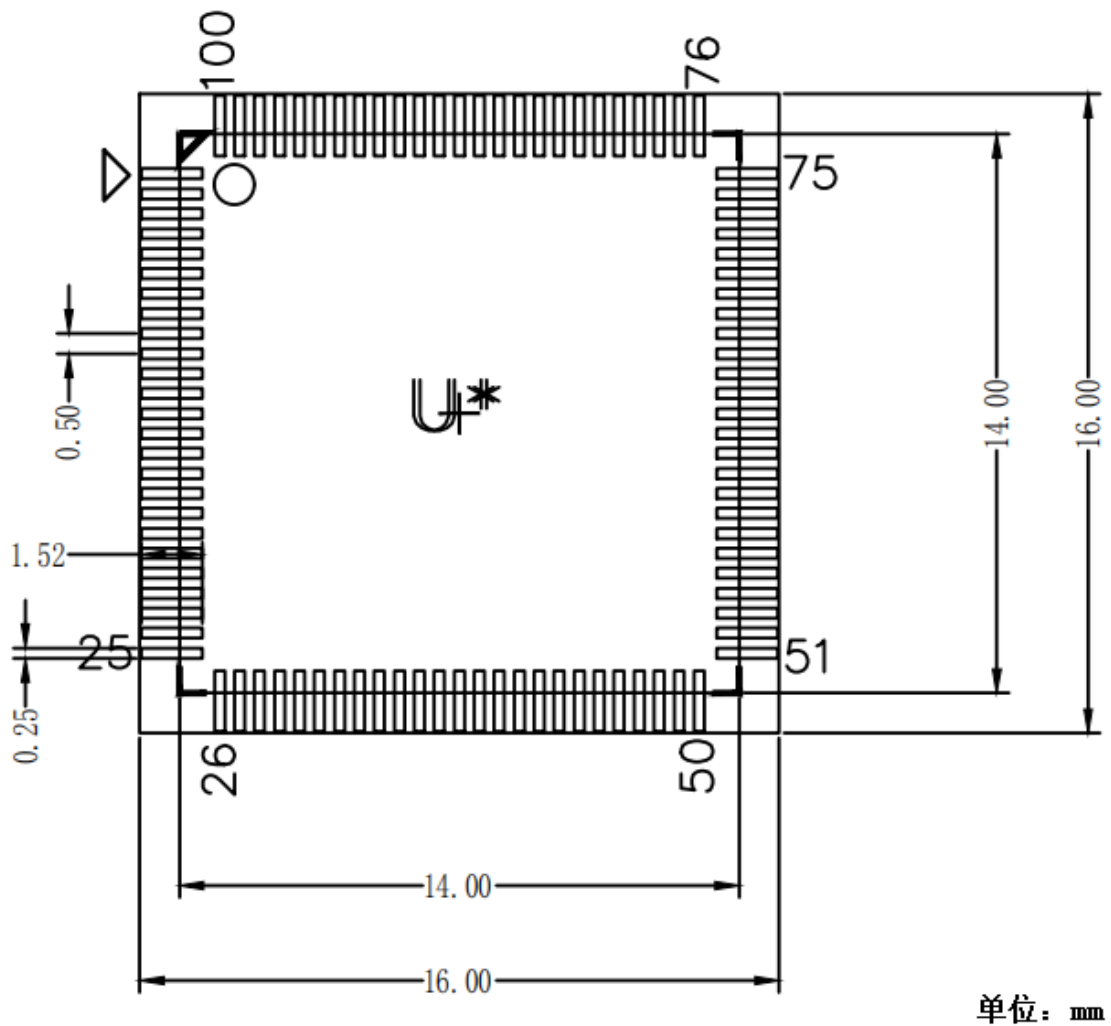


图 6 PQFP100, QFP100 封装推荐焊盘图

4.2.2 CQFP100 封装

CQFP100封装焊盘推荐如下图所示，用户可根据焊接要求进行调整。

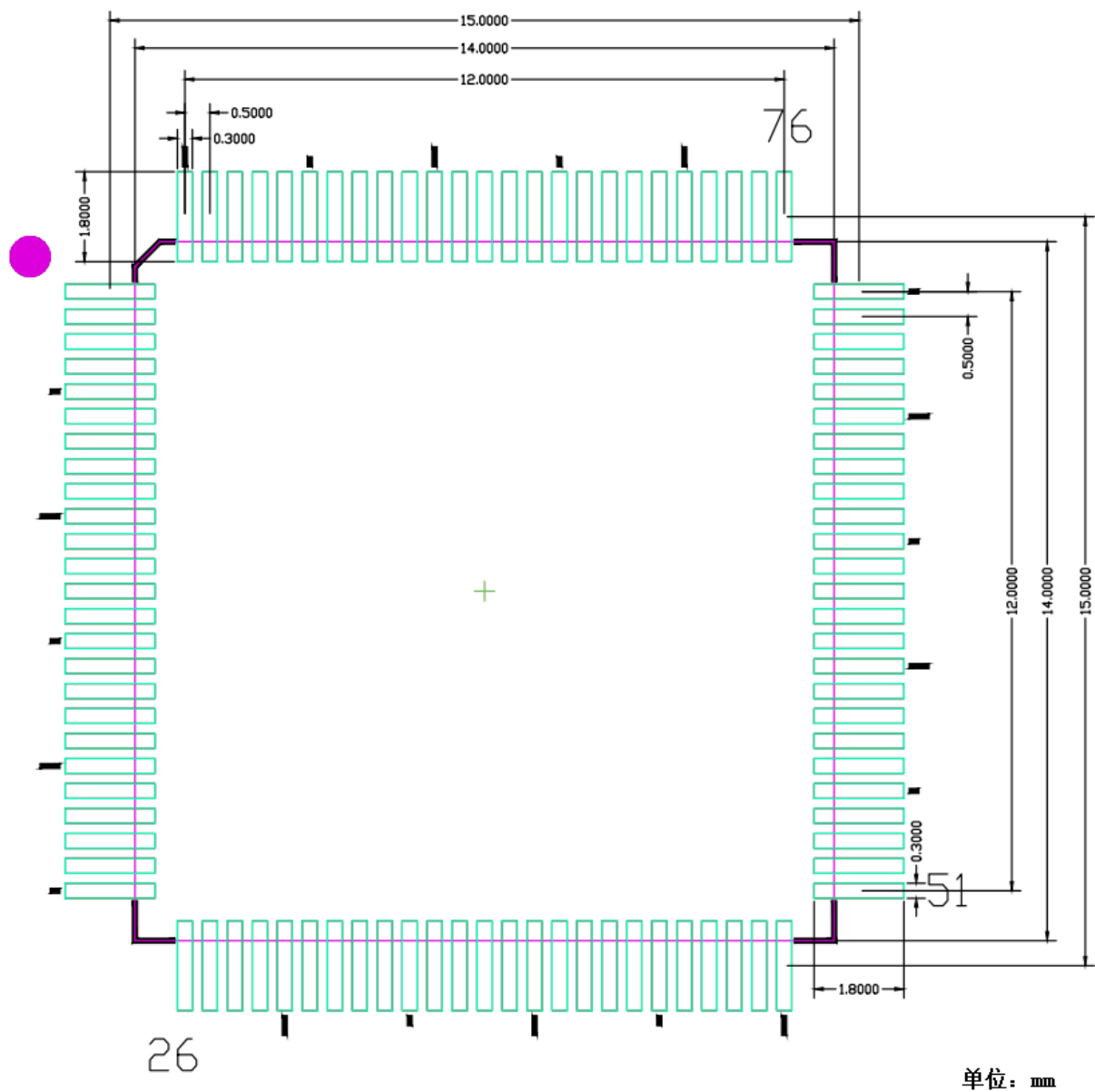


图 7 CQFP100 封装推荐焊盘图

4.2.3 PQFN40、VQFN40、QFN40 封装

PQFN40, VQFN40和QFN40封装焊盘推荐如下图所示, 用户可根据焊接要求进行调整。

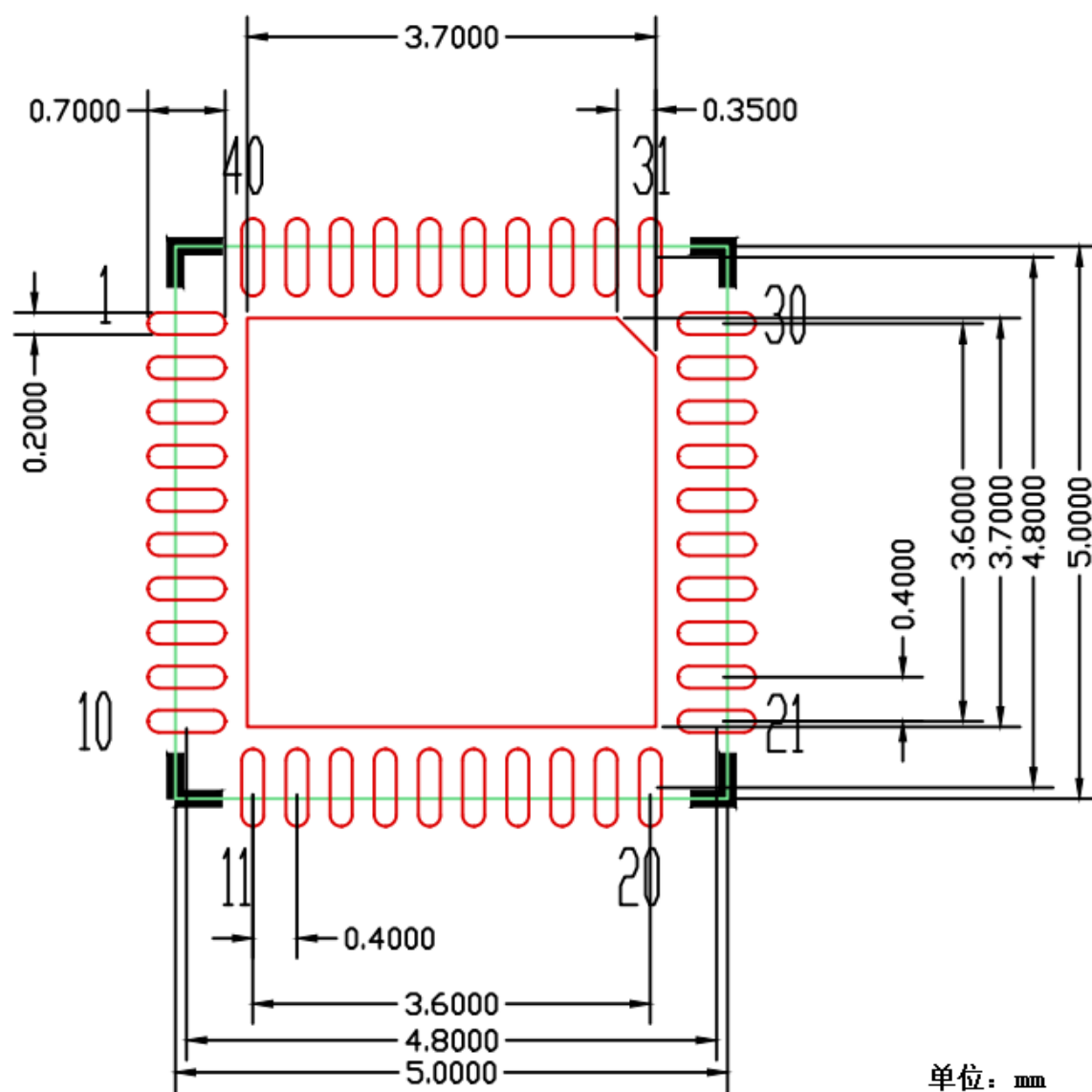


图 8 PQFN40, VQFN40 和 QFN40 封装推荐焊盘图

4.3 焊接推荐

4.3.1 PQFP100、QFP100 封装

PQFP100 和 QFP100 封装焊接建议无铅焊料，推荐条件如下。

表 4 焊接推荐

项目	操作条件
回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 150℃~200℃	60s~120s
熔点以上温度保持时间（回流时间）	60s~120s
低于峰值温度 5℃ 以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235℃，典型温度 245℃，不超过 260℃
降温速度	最大 6℃/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338 SAC305
备注	请根据选用的焊膏特性作相应的调整

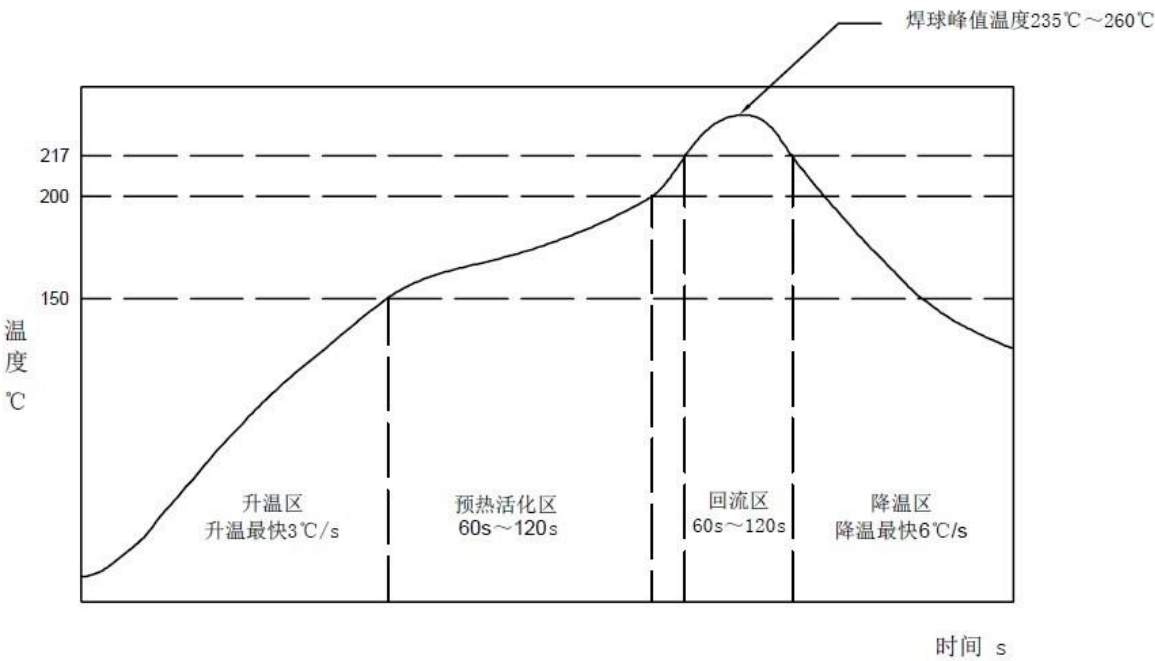


图 9 无铅回流曲线

4.3.2 CQFP100 封装

CQFP100 封装焊接建议有铅焊料 Sn63Pb37，推荐条件如下。

表 5 焊接推荐

项目	操作条件
回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 120℃~160℃	60s~120s
熔点以上温度保持时间（回流时间）	60s~120s
低于峰值温度 5℃ 以内的保持时间	最大 30s
引脚/焊球峰值温度	最低 210℃，典型温度 218℃，不超过 225℃
降温速度	最大 5℃/s
室温到峰值温度时间	最小 3 分钟，典型值 4.5 分钟，不超过 8 分钟
备注	根据选择的焊膏特性作调整

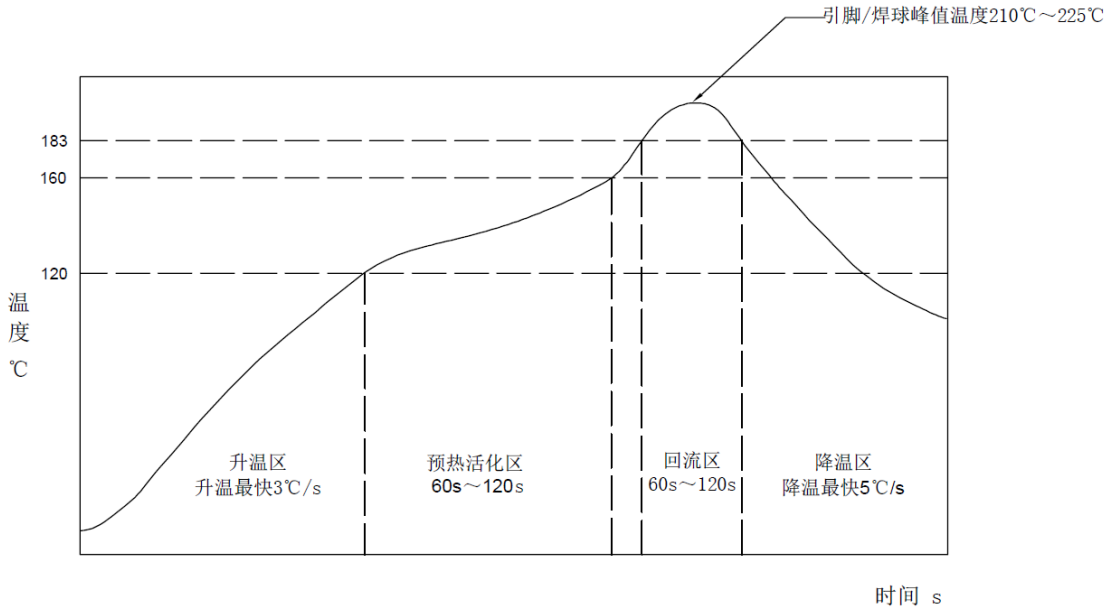


图 10 有铅焊料 Sn63Pb37 回流曲线

4.3.3 PQFN40、VQFN40、QFN40 封装

PQFN40，VQFN40 和 QFN40 封装焊接建议无铅焊料，推荐条件如下。

表 6 焊接推荐

项目	操作条件
回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 150℃~200℃	60s~120s
熔点以上温度保持时间（回流时间）	60s~120s
低于峰值温度 5℃ 以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235℃，典型温度 245℃，不超过 260℃
降温速度	最大 6℃/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338 SAC305
备注	请根据选用的焊膏特性作相应的调整

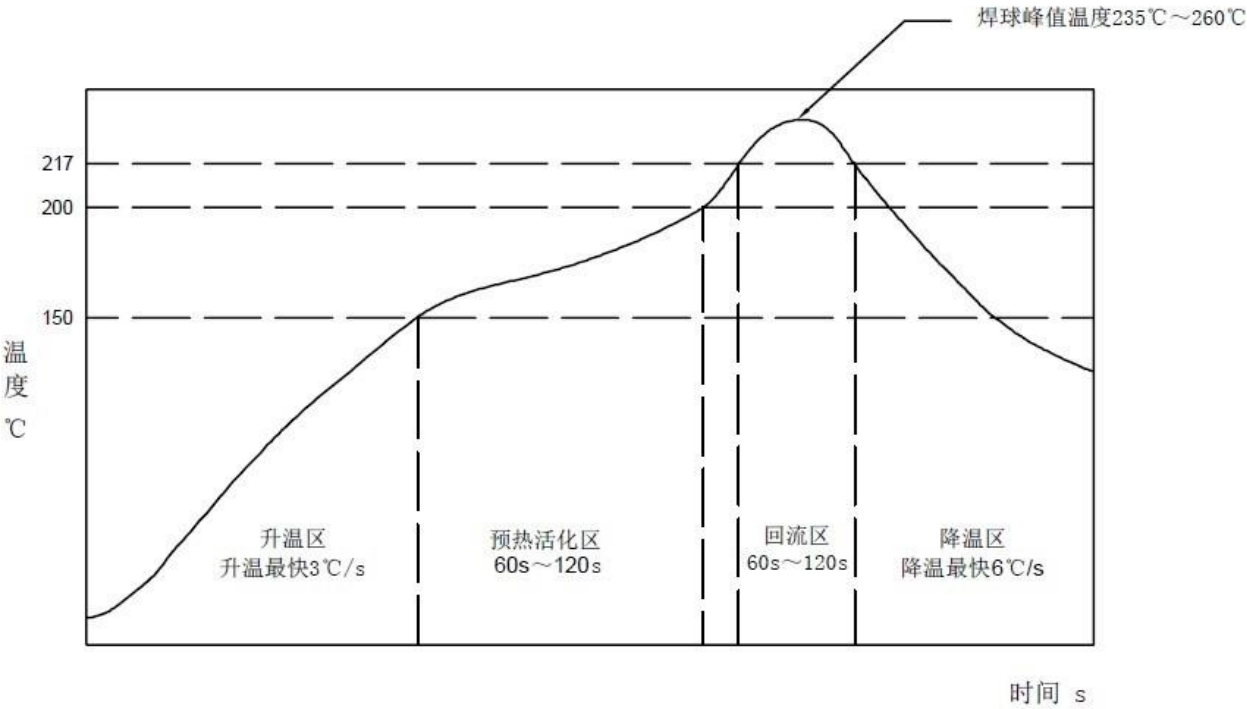


图 11 无铅回流曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

表 7 绝对最大额定值

序号	参数名称	参数值
1	内核电源电压 (V_{CCINT})	-0.5V~4.6V
2	I/O 电源电压 (V_{CCIO})	-0.5V~4.6V
3	DC 输入电压 (V_I)	-0.5V~4.6V
4	DC 输出电流 (I_{OUT})	-25mA~25mA
5	引线耐焊接温度 (T_h)	300°C (10s)
6	结温 (T_J) (工业)	150°C
7	结温 (T_J) (军用)	175°C
8	贮存温度范围 (T_{stg})	-65°C~150°C

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

表 8 推荐工作范围

序号	参数名称	参数值
1	3.3V 内核电源电压 (V_{CCINT})	3.00V~3.60V
2	2.5V 内核电源电压 (V_{CCINT})	2.38V~2.63V
3	3.3V 工作 I/O 电源电压 (V_{CCIO})	3.00V~3.60V
4	2.5V 工作 I/O 电源电压 (V_{CCIO})	2.38V~2.63V
5	1.8V 工作 I/O 电源电压 (V_{CCIO})	1.71V~1.89V
6	1.5V 工作 I/O 电源电压 (V_{CCIO})	1.45V~1.58V
7	工作温度 (T_A) (工业)	-40°C~85°C
8	工作温度 (T_A) (军用)	-55°C~125°C

6 电特性参数

该电特性指标为该系列产品能达到的最佳指标，不同的质量等级及封装形式略有不同，具体见对应的详细规范。

表 9 电特性

参数	符号	条件	最小值	最大值	单位
输入漏电流	I_I	$V_I=3.30V$ 或 $0V$, $V_{CCIO}=V_{CCINT}=3.60V$	-10	10	μA
三态 I/O 漏电流	I_{OZ}	$V_O=3.30V$ 或 $0V$, $V_{CCIO}=V_{CCINT}=3.60V$	-10	10	μA

参数	符号	条件	最小值	最大值	单位
电源电流（静态）	$I_{CCSTANDBY}$	$V_{CCIO}=1.80V, V_{CCINT}=2.50V$	—	20	mA
		$V_{CCIO}=V_{CCINT}=2.50V$			
		$V_{CCIO}=V_{CCINT}=3.30V$			
I/O 上拉电流	I_{PULLUP}	$V_{CCIO}=3.30V, V_{CCINT}=3.30V$	—	400	μA
上拉电阻	R_{PULLUP}	$V_{CCIO}=V_{CCINT}=3.30V$	1	40	$k\Omega$
		$V_{CCIO}=V_{CCINT}=2.50V$	5	60	$k\Omega$
		$V_{CCIO}=1.80V, V_{CCINT}=2.50V$	10	95	$k\Omega$
		$V_{CCIO}=1.50V, V_{CCINT}=3.30V$	20	130	$k\Omega$
3.3V-LVTTL I/O					
高电平输入电压	V_{IH}	$V_{CCINT}=3.30V, V_{CCIO}=3.60V$	1.7	—	V
低电平输入电压	V_{IL}	$V_{CCINT}=2.50V, V_{CCIO}=3.00V$	—	0.8	V
高电平输出电压	V_{OH}	$V_{CCINT}=3.30V, V_{CCIO}=3.30V, I_{OH}=-4mA$	2.4	—	V
低电平输出电压	V_{OL}	$V_{CCINT}=2.50V, V_{CCIO}=3.30V, I_{OL}=4mA$	—	0.45	V
3.3V-LVCMOS I/O					
高电平输入电压	V_{IH}	$V_{CCINT}=3.30V, V_{CCIO}=3.60V$	1.7	—	V
低电平输入电压	V_{IL}	$V_{CCINT}=2.50V, V_{CCIO}=3.30V$	—	0.8	V
高电平输出电压	V_{OH}	$V_{CCINT}=2.50V, V_{CCIO}=3.00V, I_{OH}=-0.1mA$	$V_{CCIO}-0.2$	—	V
低电平输出电压	V_{OL}	$V_{CCINT}=2.50V, V_{CCIO}=3.00V, I_{OL}=0.1mA$	—	0.2	V
2.5V-I/O					
高电平输入电压	V_{IH}	$V_{CCINT}=3.30V, V_{CCIO}=2.63V$	1.7	—	V
低电平输入电压	V_{IL}	$V_{CCINT}=2.50V, V_{CCIO}=2.38V$	—	0.7	V
高电平输出电压	V_{OH}	$V_{CCINT}=3.30V, V_{CCIO}=2.50V, I_{OH}=-0.1mA$	2.1	—	V
		$V_{CCINT}=2.50V, V_{CCIO}=2.50V, I_{OH}=-1mA$	2.0	—	V
		$V_{CCINT}=2.50V, V_{CCIO}=2.50V, I_{OH}=-2mA$	1.7	—	V
低电平输出电压	V_{OL}	$V_{CCINT}=3.30V, V_{CCIO}=2.50V, I_{OH}=0.1mA$	—	0.2	V
		$V_{CCINT}=2.50V,$	—	0.4	V

参数	符号	条件	最小值	最大值	单位
		$V_{CCIO}=2.50V, I_{OH}=1mA$			
		$V_{CCINT}=2.50V,$ $V_{CCIO}=2.50V, I_{OH}=2mA$	—	0.7	V
1.8V- I/O					
高电平输入电压	V_{IH}	$V_{CCINT}=3.30V,$ $V_{CCIO}=1.89V$	$0.65 \times V_{CCIO}$	—	V
低电平输入电压	V_{IL}	$V_{CCINT}=3.30V,$ $V_{CCIO}=1.71V$	—	$0.35 \times V_{CCIO}$	V
高电平输出电压	V_{OH}	$V_{CCINT}=2.50V,$ $V_{CCIO}=1.80V, I_{OH}=-2mA$	$V_{CCIO}-0.45$	—	V
低电平输出电压	V_{OL}	$V_{CCINT}=2.50V,$ $V_{CCIO}=1.80V, I_{OL}=2mA$	—	0.45	V
1.5V- I/O					
高电平输入电压	V_{IH}	$V_{CCINT}=3.30V,$ $V_{CCIO}=1.58V$	$0.65 \times V_{CCIO}$	—	V
低电平输入电压	V_{IL}	$V_{CCINT}=2.50V,$ $V_{CCIO}=1.45V$	—	$0.35 \times V_{CCIO}$	V
高电平输出电压	V_{OH}	$V_{CCINT}=2.50V,$ $V_{CCIO}=1.50V, I_{OH}=-2mA$	$0.75 \times V_{CCIO}$	—	V
低电平输出电压	V_{OL}	$V_{CCINT}=2.50V,$ $V_{CCIO}=1.50V, I_{OL}=2mA$	—	$0.25 \times V_{CCIO}$	V
外部 I/O 时序参数					
最大管脚间延迟	t_{PD1}	$V_{CCINT}=3.30V,$ $V_{CCIO}=3.30V$	—	10	ns
最小管脚间延迟	t_{PD2}	$V_{CCINT}=3.30V,$ $V_{CCIO}=3.30V$	—	5.5	ns
全局时钟建立时间	t_{SU}	$V_{CCINT}=3.30V,$ $V_{CCIO}=3.30V$	2.7	—	ns
全局时钟保持时间	t_{H}	$V_{CCINT}=3.30V,$ $V_{CCIO}=3.30V$	0.0	—	ns
全局时钟输出延迟时间	t_{CO}	$V_{CCINT}=3.30V,$ $V_{CCIO}=3.30V$	—	9	ns
16 位计数器最小全局时钟周期	t_{CNT}	$V_{CCINT}=3.30V,$ $V_{CCIO}=3.30V$	3.6	—	ns
16 位计数器最大全局时钟频率	f_{CNT}	$V_{CCINT}=3.30V,$ $V_{CCIO}=3.30V$	—	280	MHz

7 功能

7.1 概述

HWD240 产品主要由逻辑阵列块（LAM: Logic Array Module）、I/O 模块、层次互联通道、全局信号网络、在系统编程（ISP: In System Program）、配置映射控制电路和 FLASH 存储块等模块构成。

逻辑阵列块（LAM）由多个逻辑单元（LC：Logic Cell）组成，一个逻辑单元（LC）由一个组合逻辑单元和一个寄存器构成，用来实现基本的组合或时序逻辑功能。I/O 模块主要提供输入缓冲以及输出驱动，另外还包括可配置的上拉电阻、输出摆率、开漏输出、总线保持以及输入延迟等功能。互联通路则采用层次化的互联结构，来自 I/O 端口的信号经“行布线通道”或“列布线通道”进入到 LAM 中，再由 LAM 内部的局部互联通道分配至基本的逻辑单元；层次互联通道可为 I/O 模块、LAM 和 UFM（User FLASH Memory）之间提供快速、便利的连接通道。全局信号网络可为所有的时序逻辑资源提供全局时钟，全局时钟线也可以被用作全局控制信号，比如时钟使能、同步或是异步清零、置位或输出使能。

HWD240 的配置数据全部集中存储在器件内部的一个 FLASH 存储块中的“CFM”（Configuration FLASH Memory）部分中，器件在上电过程中，通过“配置映射控制电路”自动将存储在“CFM”中的配置数据装载到各功能模块中；“CFM”的编写、擦除和校验则通过遵循 IEEE Std.1532 协议的“ISP”模块来实现，通过“ISP”模块可从 JTAG 端口与配套软件工具实现交互。FLASH 存储块除了“CFM”部分还有可为用户提供 8192bits 储存空间的“UFM”（User FLASH Memory），用户可以通过逻辑阵列块与 UFM 块的接口，对其进行编程、擦除等操作。

表 10 HWD240 内部资源表

芯片	逻辑单元数	等效宏单元数	等效门数	UFM 大小	最大 I/O 数
HWD240	240	192	4200	8192bits	80

7.2 功能描述

7.2.1 逻辑阵列块（LAM）

图 12 是 LAM 模块的功能框图，其由基本逻辑单元 LC、LAM 本地控制信号分配器、LAM 局部互联通路，以及 LC 之间逻辑进位链路、组合逻辑链路和寄存器链路构成。

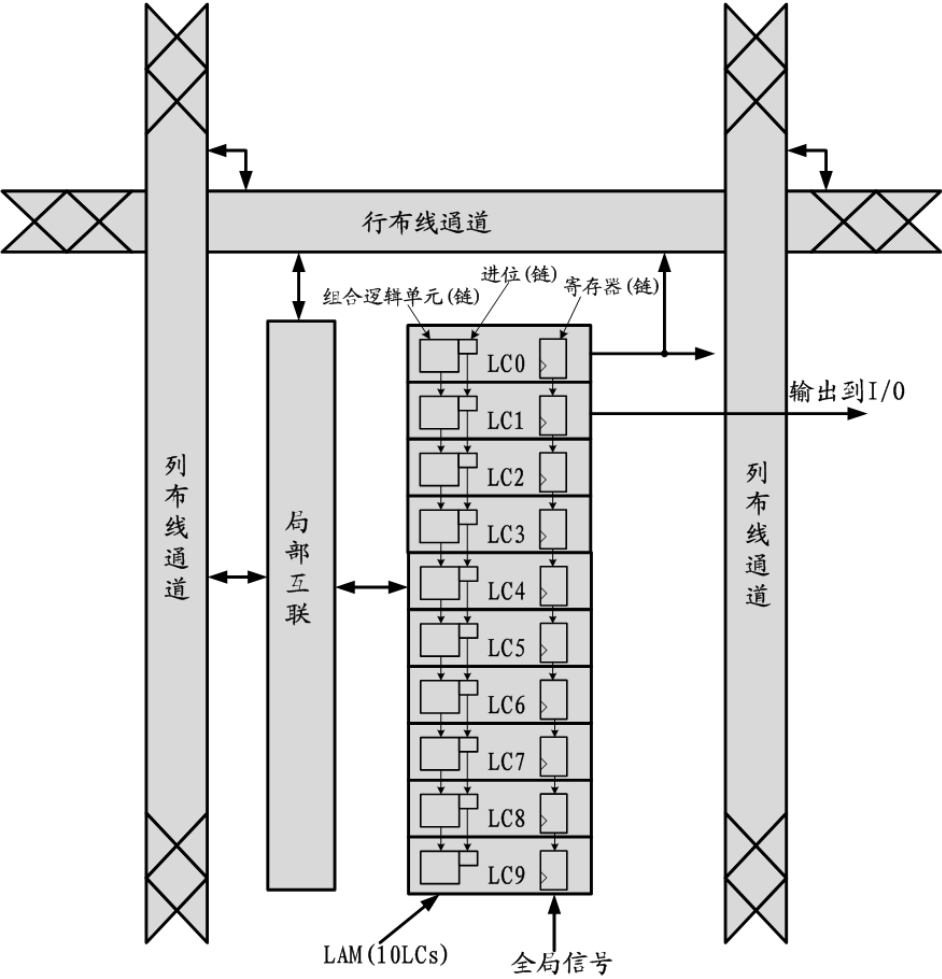


图 12 LAM 功能框图

基本逻辑单元 LC:

LC 是最小的逻辑单元，它的主体由一个四输入组合逻辑单元和一个寄存器构成，和有进位选择能力的进位链，模式选择由 LAM 控制信号选择。每个 LC 驱动所有类型的互连：局部、行、列、组合逻辑链、寄存器链和直通互连。

每个 LC 的可编程寄存器能够被配置为 D、T、JK 或 SR 类型，每个寄存器的输入有数据、异步装载数据、时钟、时钟使能、清零和异步装载/置位。对于组合逻辑来说，四输入组合逻辑单元的输出绕过寄存器直接驱动 LC 的输出。

每个 LC 有三个输出来驱动局部、行、列布线资源。四输入组合逻辑单元或是寄存器输出能独立地驱动这三种输出，LC 的两个输出驱动列（或行）和直通布线互连，一个输出驱动局部互连资源。可允许四输入组合逻辑单元驱动一个输出的同时，寄存器驱动另外的输出，也允许寄存器输出反馈到同一个 LC 的四输入组合逻辑单元，以便寄存器和它自己的四输入组合逻辑单元一起扇出。图 13 是 LC 结构框图：

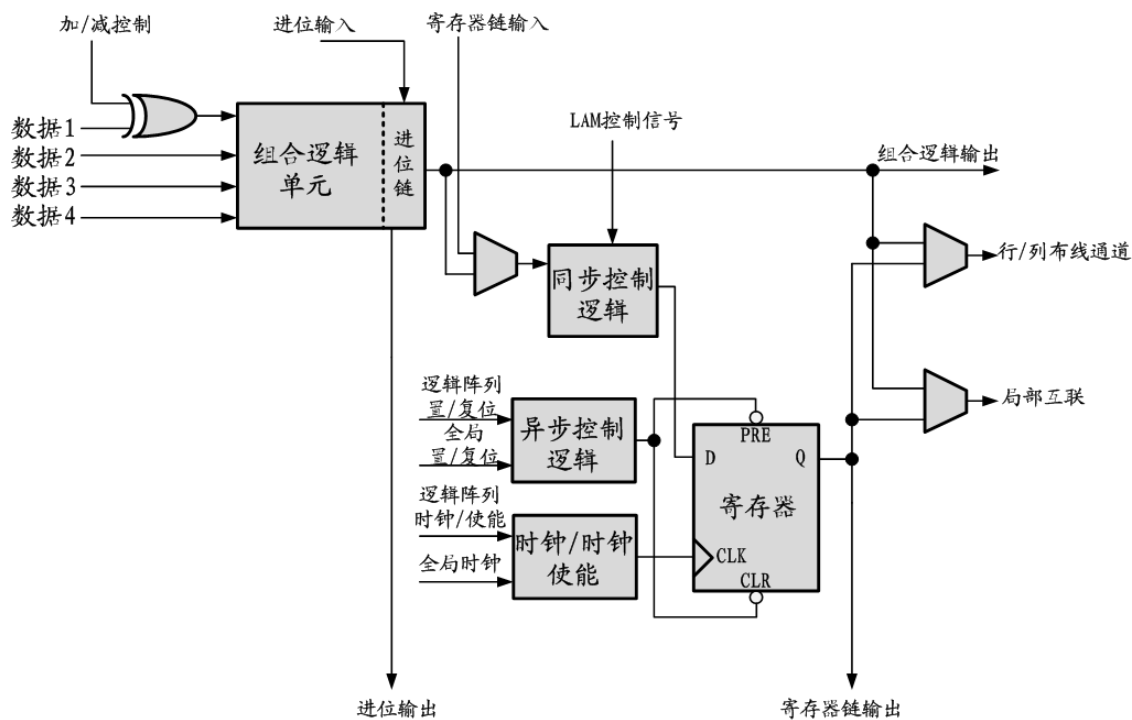


图 13 LC 结构框图

LAM 本地控制信号分配器：

LAM 本地控制信号分配器用来驱动控制信号到 LC。控制信号包含两个时钟、两个时钟使能、两个异步清零、一个同步清零、一个异步置位/装载、一个同步装载以及一个加/减控制信号。

每个 LAM 能够用两个时钟和两个时钟使能信号，每个 LAM 的时钟和时钟使能信号是连接的。比如，在一个 LAM 的任何 LC 可以同时使用 labclk1 和 labclkena1 信号。如果 LAM 同时使用一个时钟的上升沿和下降沿，那么它也同时使用两个时钟信号。

每个 LAM 可以用两个异步清零信号和一个异步装载/置位信号。用 LAM 加减控制信号，单个 LE 能实现 1-bit 的加法器和减法器。能够释放 LC 的资源和提高逻辑性能。图 14 是 LAM 控制信号功能框图：

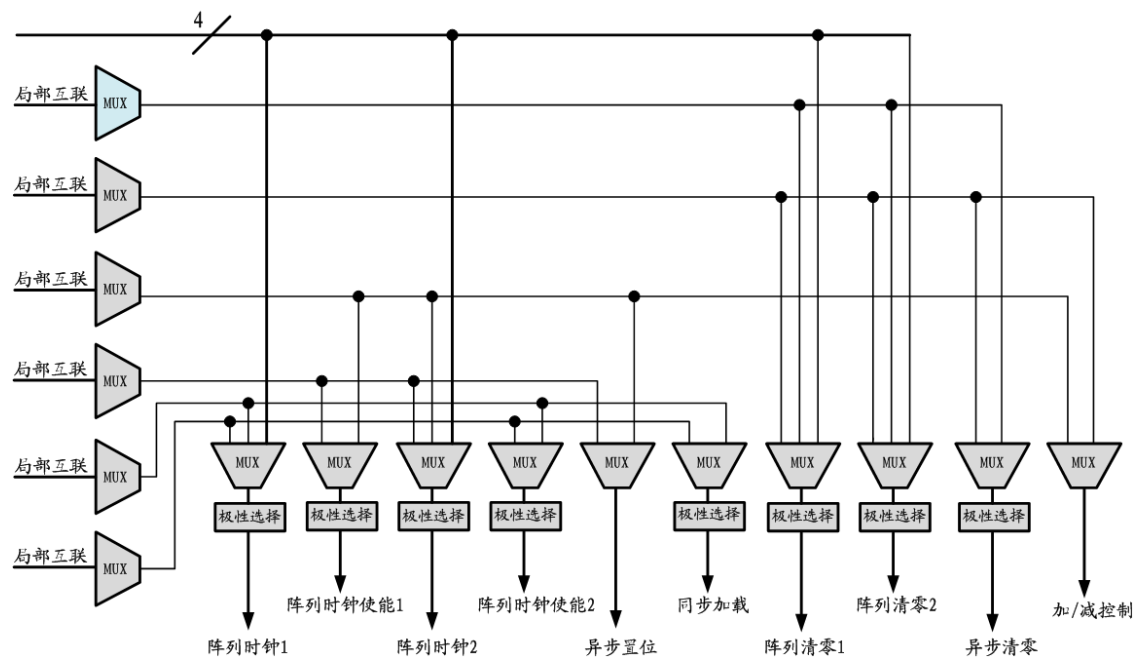


图 14 LAM 控制信号功能框图

LAM 局部互联通路:

局部互联有多个独立的输入到 LAM，另外有该 LAM 中 LC 的输出反馈路径。LAM 局部互联负责在 LC 之间传输信号，还包含组合逻辑链路连接 LC 间的组合逻辑单元，寄存器链路传输 LC 寄存器输出到临近的 LC 寄存器。图 15 是 LAM 局部互联结构图。

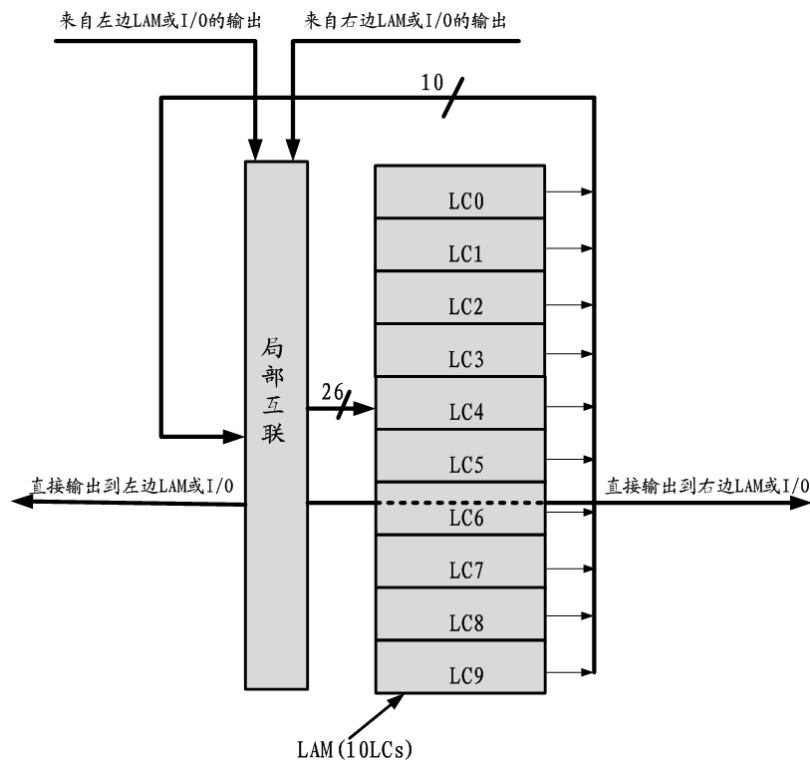


图 15 LAM 局部互联结构图

逻辑进位链:

逻辑进位链提供同一个 LAM 中 LC 之间的快速逻辑进位功能。逻辑进位链可提高进位功能的速度，LC 被配置为可能的 carry-in0 和 carry-in1 并行计算输出，从低位比特来的 carry-in0 和 carry-in1 信号通过逻辑进位链传送到高位，并且两者都送到组合逻辑单元和逻辑进位链输出。逻辑进位链特性可允许 LAM 实现高速计数器、加法器、乘法器等功能。

图 16 给出的是一个 10 比特全加器逻辑进位电路示例。组合逻辑单元的一部分通过使用输入信号和适当的 carry-in 比特产生两比特的求和，求和为 LC 的输出。

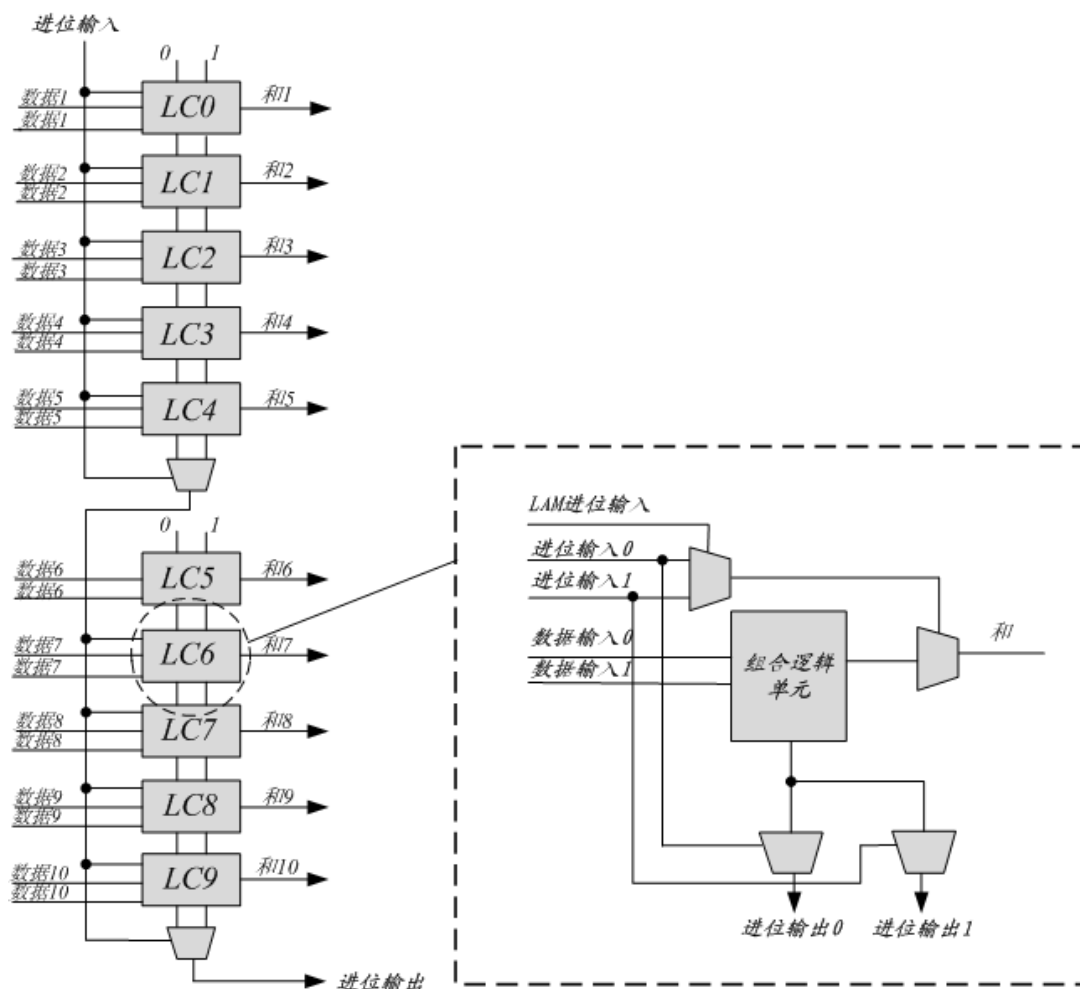


图 16 10 比特全加器逻辑进位电路示例

组合逻辑链&寄存器链：

LC 之间还有组合逻辑链和寄存器链。组合逻辑链允许同一个 LAM 中的组合逻辑级联在一起形成宽的输入功能。寄存器链输出允许寄存器级联在一起；寄存器链可以允许 LAM 使用组合逻辑单元形成单个的组合逻辑功能，而寄存器用作一组与组合逻辑不相关的移位寄存器。这些设计能够提高 LAM 之间的连接速度，同时节省局部互联资源。

7.2.2 行/列布线通道

采用层次化的布线，LAM、UFM、I/O 各模块之间的连接由行/列布线通道组成。软件编译器自动布局关键的设计路径来提高设计性能。

行/列布线通道由有固定距离的行和列互联组成，可以预计并提供较小的设计延迟。专有行/列互联信号来自于同一行的 LAM，也传输到同一行/列的 LAM。行/列布线资源还包括横跨四个 LAM 的次级行/列互联和 LAM 之间的直通互联，直通互联允许 LAM 驱动自己左边或是右边的 LAM 内局部互联。直通互联提供 LAM 或各模块之间的快速通信而不使用主布线通道。图 17 是行/列布线通道的结构框图。

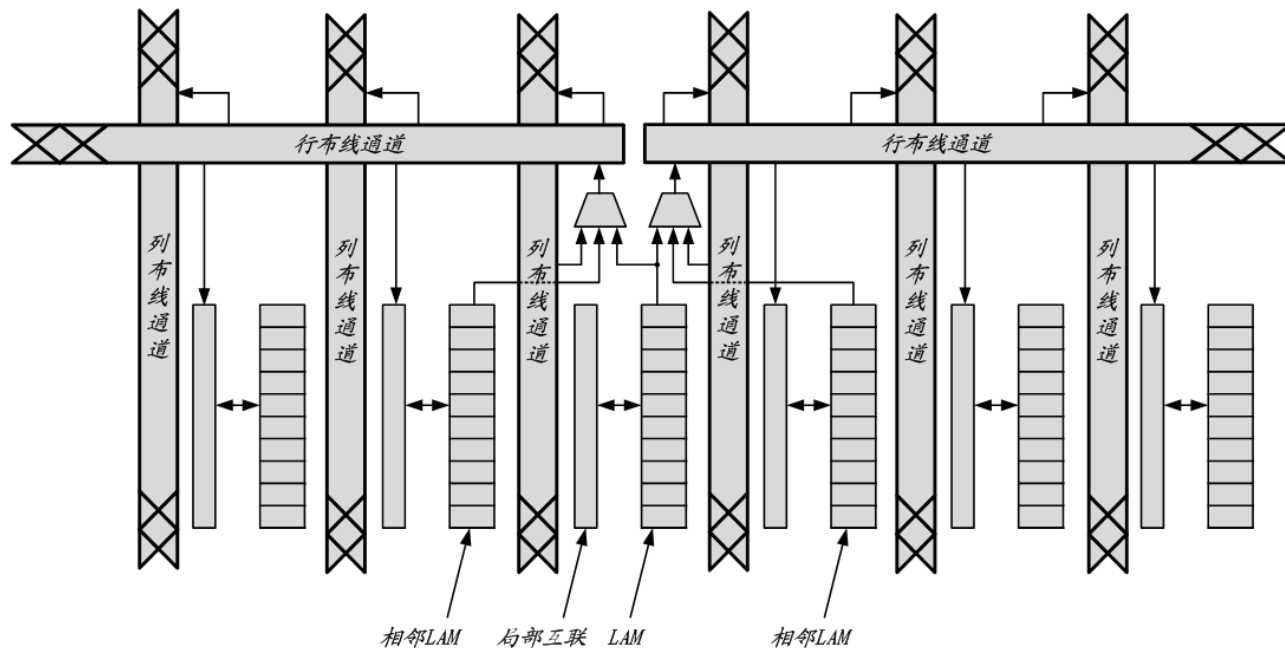


图 17 行/列布线通道结构框图

7.2.3 全局信号

产品每个器件有四个专用时钟引脚（GCLK[3: 0]）来驱动全局时钟网路，这四个引脚也可以用作普通 I/O。

四个全局时钟线能够为器件中所有的资源提供时钟。全局时钟线也可以被用作全局控制信号，比如时钟使能、同步或是异步清零、置位、输出使能或协议控制信号（例如 PCI 协议的 TRDY 和 IRDY）。内部逻辑可以通过内部产生的全局时钟和控制信号来驱动全局时钟网路。图 18 是全局时钟网路布局示意图：

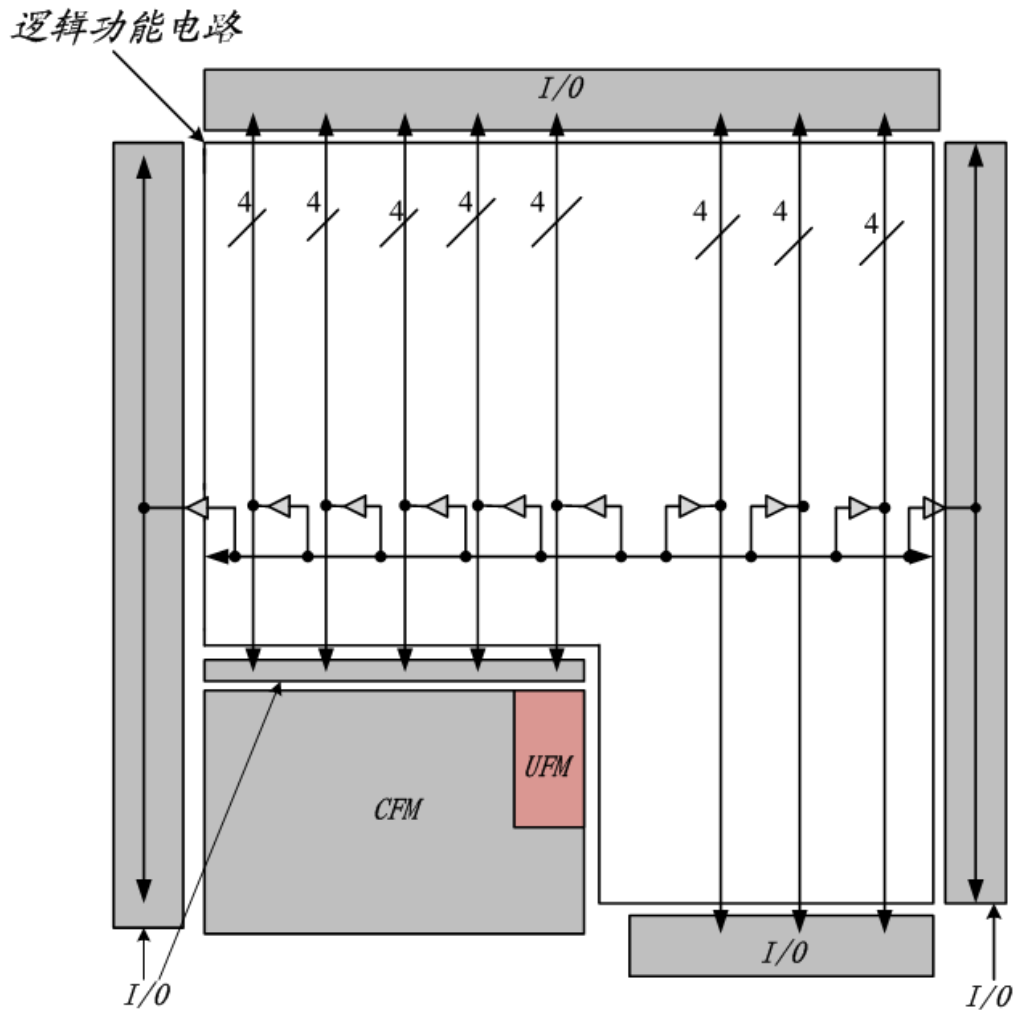


图 18 全局时钟网络布局示意图

7.2.4 UFM 块

产品内部包含有一个 UFM 块，使用方法类同于普通的片外 FLASH 器件，可用来存储 8192 比特的非易失数据信息。UFM 块能够通过行/列布线通道连接到逻辑阵列，任何 LE 可连接到 UFM。逻辑阵列可被用于实现用户接口或是协议逻辑来访问 UFM 块中的数据。UFM 块有如下特性：

- 1) 非易失性存储，提供 16 位宽总共 8192 比特；
- 2) 整块擦除；
- 3) 内建振荡器，可选驱动逻辑阵列；
- 4) 编程，擦除和忙信号；
- 5) 自动增加寻址；
- 6) 可编程的接口与逻辑阵列串行相接。

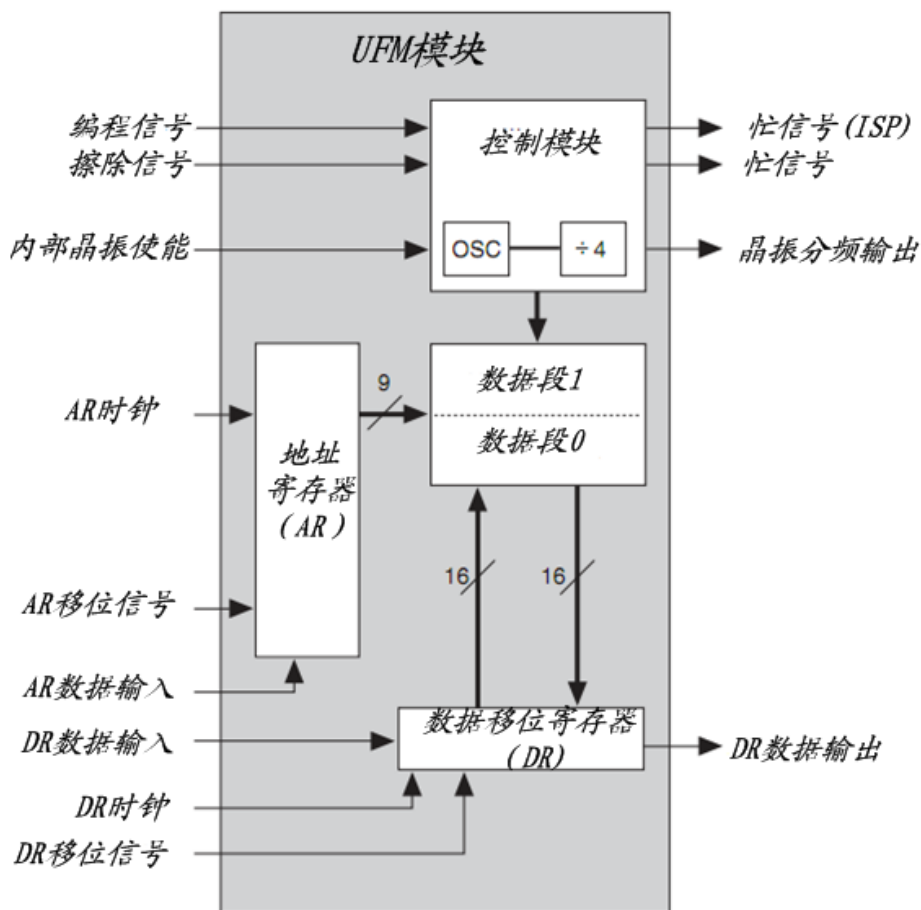


图 19 UFM 模块内部框图和接口信号

7.2.5 I/O 块

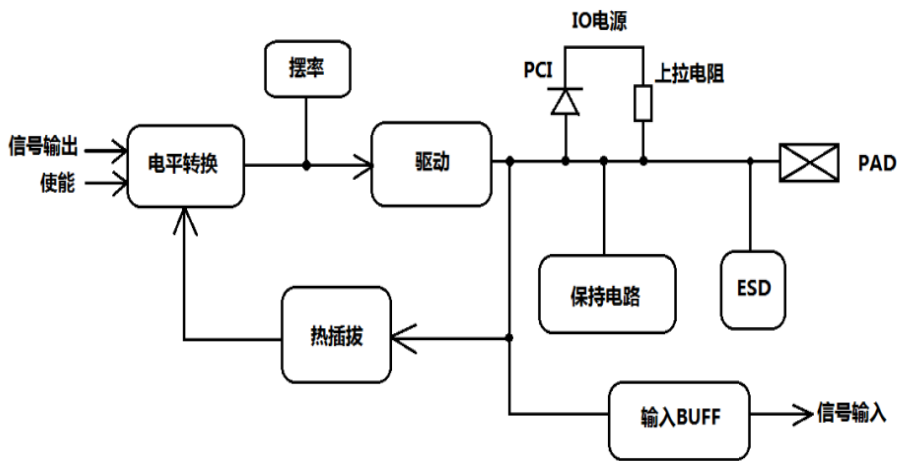


图 20 I/O 块功能框图

产品中每行或每列的“I/O 块”与其临近的 LAB 和行/列布线通道相接，行“I/O 块”驱动行互联通道、列“I/O 块”驱动列互联通道。器件的“I/O 块”分为不同的 I/O 组，每个 I/O 组都有专门的 VCCIO 供电引脚，其决定这个 I/O 组所支持的电平标准，VCCIO 可支持接入 3.3V/2.5V/1.8V/1.5V 多种电压；每个独立的

I/O 组可以支持不同的电平标准。

支持以下多种特性：

- 1) 3.3V/2.5V/1.8V/1.5V 多种电压 LVTTTL/LVCMOS I/O 电平标准；
- 2) 可编程的输出驱动强度；
- 3) 上电过程弱上拉；
- 4) 翻转摆率的控制；
- 5) 独立输出使能的三态控制；
- 6) 总线保持电路；
- 7) 用户模式时的可编程上拉电阻；
- 8) 每个引脚单独的输出使能；
- 9) 可编程输入延迟。
- 10) 多电压 I/O 电平标准：

多电压 I/O 电平标准可允许器件与不同供电电压的系统相接。VCCIO 引脚的引入电压的选择，取决于 I/O 电平标准的要求，如表 11。

表 11 多电压 I/O 电平标准

VCCIO 引入电压	输入信号					输出信号				
	1.5V	1.8V	2.5V	3.3V	5V	1.5V	1.8V	2.5V	3.3V	5V
1.5V	√	√	√	√	—	√	—	—	—	—
1.8V	√	√	√	√	—	√	√	—	—	—
2.5V	—	—	√	√	—	√	√	√	—	—
3.3V	—	—	√	√	耐受	√	√	√	√	—

输出使能信号：

每个“IO 块”输出缓冲支持输出使能信号实现三态控制。输出使能信号可以由 GCLK[3:0]或是行/列布线通道产生。器件也提供一个全芯片范围的输出使能信号，用于控制整个芯片的输出使能。

可编程的驱动强度：

对于每一种电平标准，每个 I/O 引脚的输出驱动都有两种可编程的驱动强度选择。选择正确的可编程驱动强度可以减小系统设计的噪声。

摆率控制：

器件的每个输出驱动都可以选择快或慢两种输出摆率，快的摆率提供快速的传输速度，但也会给系统引进噪声。慢摆率可减小噪声但也增加了对于信号上升沿和下降沿的延迟。

可编程的接地引脚：

器件每个不用的 I/O 引脚都可以被用作额外的接地引脚。这种可编程的接地特性不需要消耗额外的可编程逻辑资源。在配套开发软件中，用户没有使用的引脚可以被全部一起或单独设置为接地引脚，没有使用的引脚也可以被设置为三态模式。

总线保持：

每个 I/O 引脚提供一个可选的总线保持特性。总线保持可以保持 I/O 引脚上一次的逻辑状态，故当总线为三态的时候，就不需要器件外部的上拉或是下拉电阻来保持总线上的电平信号。

8 应用建议

产品可以直接驱动 5V TTL 器件，当需要驱动 5V CMOS 器件时，可以将相应的 I/O 设置成开漏输出，并通过上拉电阻接 5V 电源，如图 21 所示：

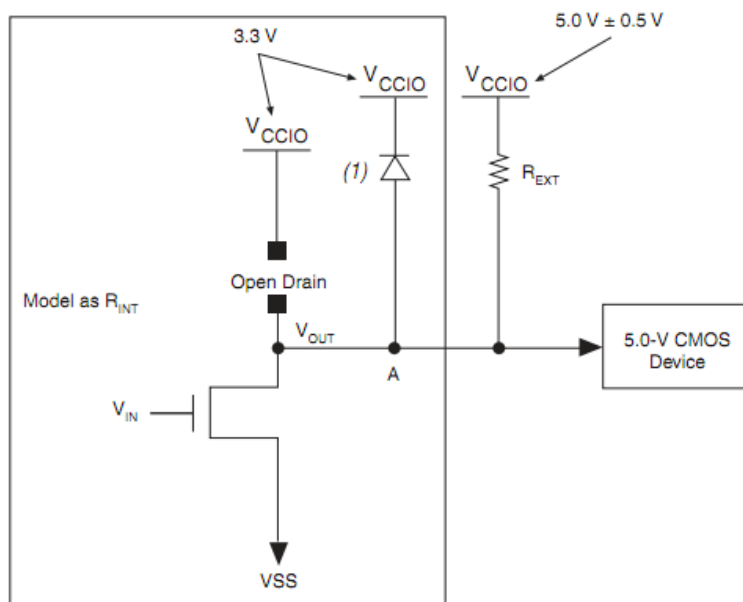


图 21 输出驱动 5V CMOS 器件

开漏管脚不能驱动高电平，只能驱动低电平或者三态。当开漏有效时，管脚驱动低电平。当开漏无效时，管脚处于三态并被外部电阻上拉到 5.0V。用 I/O 嵌位二极管的目的是保护 I/O 管脚，将 A 点的电平限制到最高 4.0V。

上拉电阻 R_{EXT} 需要合适的值，满足信号上升时间与 I_{OL} （输出低）的要求。器件 I_{OL} 与 I/O 输出驱动强度相关。表 12 说明了器件 3.3V LVTTTL/LVCMOS 电平标准的可编程驱动强度设置。默认设置是最大的驱动强度。

表 12 驱动强度设置

I/O 标准	IOH/IOL 电流设置 (mA)
3.3-V LVTTL	16
	8
3.3-V LVCMOS	8
	4

为了选择满足 I_{OL} 的上拉电阻 R_{EXT} , 可以计算 R_{EXT} 用公式: $R_{EXT} = (V_{CC}/I_{OL}) - R_{INT}$ 。例如, 如果某个 I/O 被配置为 3.3V LVTTL 电平与 16mA 驱动强度, 最大的电源输入 V_{CC} 是 5.5V, R_{EXT} 的计算公式如下, 电阻值需要满足最差条件。

$$R_{EXT} = \frac{(5.5V - 0.45V)}{16mA} = 315.6\Omega$$

9 使用注意事项

产品使用时应注意以下事项:

- 1) 电源 (V_{CCIO} 和 V_{CCINT}) 的理想上电时间为 200us~20ms, 过快或者过慢的上电时间可能会造成上电过程中 I/O 的不定态;
- 2) 虽然 4 个 JTAG 引脚在器件内部已设计相应的上、下拉电阻 (典型值: 10K Ω), 但是, 建议用户在编程过程中, 按照下图所示接相应的上、下拉电阻, 特别是在多个器件级联模式下编程的情况下;

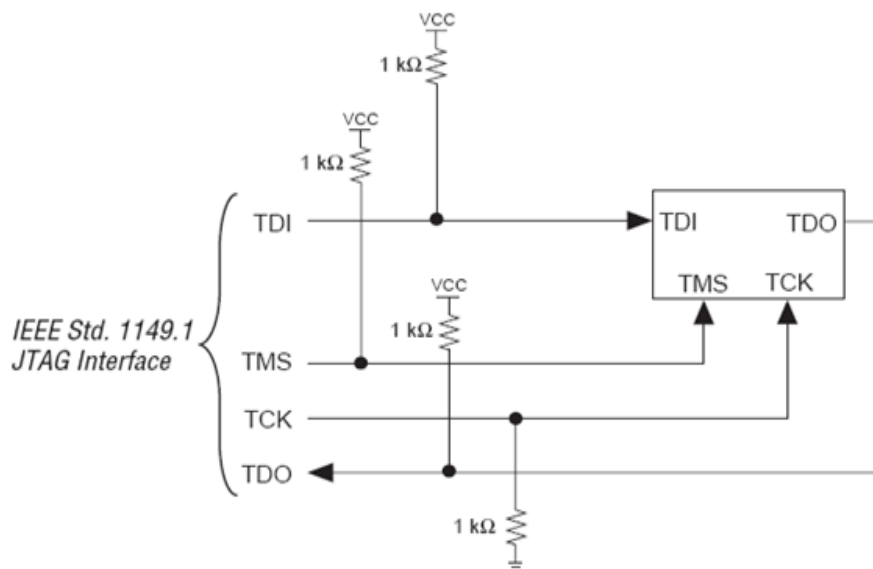


图 22 JTAG 端口连接

- 3) HWD240NQFN40 的软件选型为 EPM240TQ100, 详细管脚对应关系见表 3。
- 4) 各个 BANK 的 V_{CCIO} 电源 (例如 HWD2210 的 V_{CCIO1} 、 V_{CCIO2} 、 V_{CCIO3} 与 V_{CCIO4}) 可以

分开供不同的电源，但是必须都要供电才能保证功能正确,不能出现某个 BANK 的 VCCIO 不供电的情况。

5) 虽然 IO 带有热插拔功能，但是对 IO 上涌入的电流有限制，在热插拔过程中，器件必须要满足以下热插拔条件：

热插拔直流条件：| I_{IOPIN} | < 300 uA;

热插拔交流条件：| I_{IOPIN} | < 8 mA （10ns 或者更小）；

由上述条件可知，在 DC 情况下，热插拔发生时，I_{IOPIN} 的电流不能超过 300uA，在 AC 情况下，I_{IOPIN} 的电流不能超过 8mA 或者持续时间小于 10ns，否则将超过热插拔的负荷，可能引发芯片烧毁，而且在热插拔器件，JTAG TCK 输入引脚如果为高电平，则该引脚上的电流可能会超过上述条件。

6) 使用寄存器初值进行设计

HWDMAXII 系列均存在配置数据下发完成后输入通路先打开，输出通路晚于输入通路打开的情况。当功能设计中使用到寄存器初值，而寄存器的时钟和复位信号均在输出通路打开前有效，寄存器则会提前工作，输出有效时表现出的寄存器初值不符合预期。

解决该问题有两种方法：

1、控制寄存器工作的至少一个输入晚于配置时间给入。各型号的上电配置时间如下表，输入应晚于该时间有效。

参数	描述	器件	最大	单位
t _{CONFIG}	Vccint 有效到器件进行用户状态的时间	HWD240	200	us
		HWD570	800	us
		HWD1270	800	us
		HWD2210	1200	us

2、不用的 IO 配置期间为上拉，配置完成后默认为输出低，可选用一个不用的 IO 的下降沿作为程序启动的条件。

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物。

10 订货信息

表 13 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	引脚材料	重量 (g)	详细规范
1	HWD240NQFN40	VQFN40	塑料	N1 级	镀锡	0.1g	Q/HWD 50160-2022
2	HWD240NTQFP100M3	QFP100	塑料	N1 级	镀锡	0.6g	Q/HWD 20380-2018
3	HWD240	QFP100	塑料	军温级	镀锡	0.6g	Q/HWD 20195-2014
4	HWD240MCQFP100	CQFP100	陶瓷	B 级	镀金	2g	Q/HWD 30039-2015
5	HWD240TQFP100I	PQFP100	塑料	工业温区级	镀锡	0.6g	Q/HWD 50823-2025
6	HWD240EQFN40	QFN40	塑料	军温级	镀锡	0.1g	Q/HWD 50007-2020
7	HWD240PQFN40I	PQFN40	塑料	工业温区级	镀锡	0.1g	Q/HWD 50801-2025

注1:

- a) Q/B/B1级器件满足GJB 597A-1996或GJB 597B-2012 《半导体集成电路通用规范》Q/B/B1级的筛选要求。
- b) N/N1级器件满足GJB 7400A 《合格制造厂认证用半导体集成电路通用规范》N/N1级的筛选要求
- c) 工业温区级器件满足Q/HWD40022-2021 《华微工业温区级产品通用规范》的筛选要求，其工作环境温度范围应为-40℃～+85℃。
- d) 军温级器件满足Q/HWD40020-2018 《华微军温级产品通用规范》的筛选要求，其工作环境温度范围应为-55℃～+125℃。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。