

HWD9653PQFN48M3 型
16 位四通道模数转换器
产品手册
V1.4.0

成都华微电子科技股份有限公司

2026 年 1 月 14 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本	魏娟	20241226	
V1.1.0	更改地址 0x04/0x100 的默认值；	魏娟	20250319	
V1.2.0	增加输出测试模式说明/One-Lane 模式下数据输出端口说明	魏娟	20250410	
V1.3.0	增加未使用通道的输入端电路图	魏娟	20250910	
V1.4.0	1、根据技术支持中心的建议，增加焊盘、典型应用场景和焊接温度曲线。 2. 删除“9 使用注意事项”的“f 若可行，相对湿度保持在50%以上”； 3. 17,18,19,20,8,29 引脚名称信息勘误； 4. 完善封装外形尺寸图； 5. 更新公司 logo，使用公司最新手册版本。	魏娟	20260114	

目 次

1 概述	1
2 产品特点	1
3 功能框图	2
4 封装信息	4
4.1 HWD9653PQFN48M3 封装信息	4
4.2 HWD9653PQFN48M3 焊盘推荐	6
4.3 HWD9653PQFN48M3 焊接推荐	7
5 绝对最大额定值及推荐工作范围	8
5.1 绝对最大额定值	8
5.2 推荐工作范围	8
6 电特性参数	8
7 功能描述	10
7.1 概述	10
7.2 功能描述	10
7.3 SPI 接口定义	11
7.4 SPI 寄存器定义	11
7.5 数据格式	14
7.6 输出测试模式	14
7.7 PCB 设计	15
8 应用建议	15
8.1 HWD9653PQFN48M3 典型应用	15
9 使用注意事项	19
10 订货信息	21

1 概述

HWD9653PQFN48M3 一款16 位、125MSPS 四通道模数转换器，主要面向要求高性能、低成本、小尺寸的通信应用场合。ADC内核采用多级、差分流水线架构，并集成了输出纠错逻辑。芯片前段宽带差分采样保持电路可支持用户灵活选择各种输入范围。芯片内部集成了基准电压电路。芯片具有时钟占空比调整器，可补偿ADC时钟占空比的波动，保证转换器的输出性能。芯片输出为串行LVDS信号。芯片具有省电模式，可降低功耗。芯片通过SPI接口来实现各种配置。芯片采用PQFN48封装，额定工作温度范围为 -55°C 至 +125°C。芯片兼容ADI公司AD9653 型号。

2 产品特点

- 1) 采用紧凑的封装实现四通道 ADC。
- 2) 通过优化设计，实现低功耗特性。
- 3) 采用优化的输入采样电路，可在高频输入时保持出色的交流性能。
- 4) 采用标准串口对芯片进行寄存器配置。
- 5) 采用串行 LVDS 数据输出接口，简化板级设计。

3 功能框图

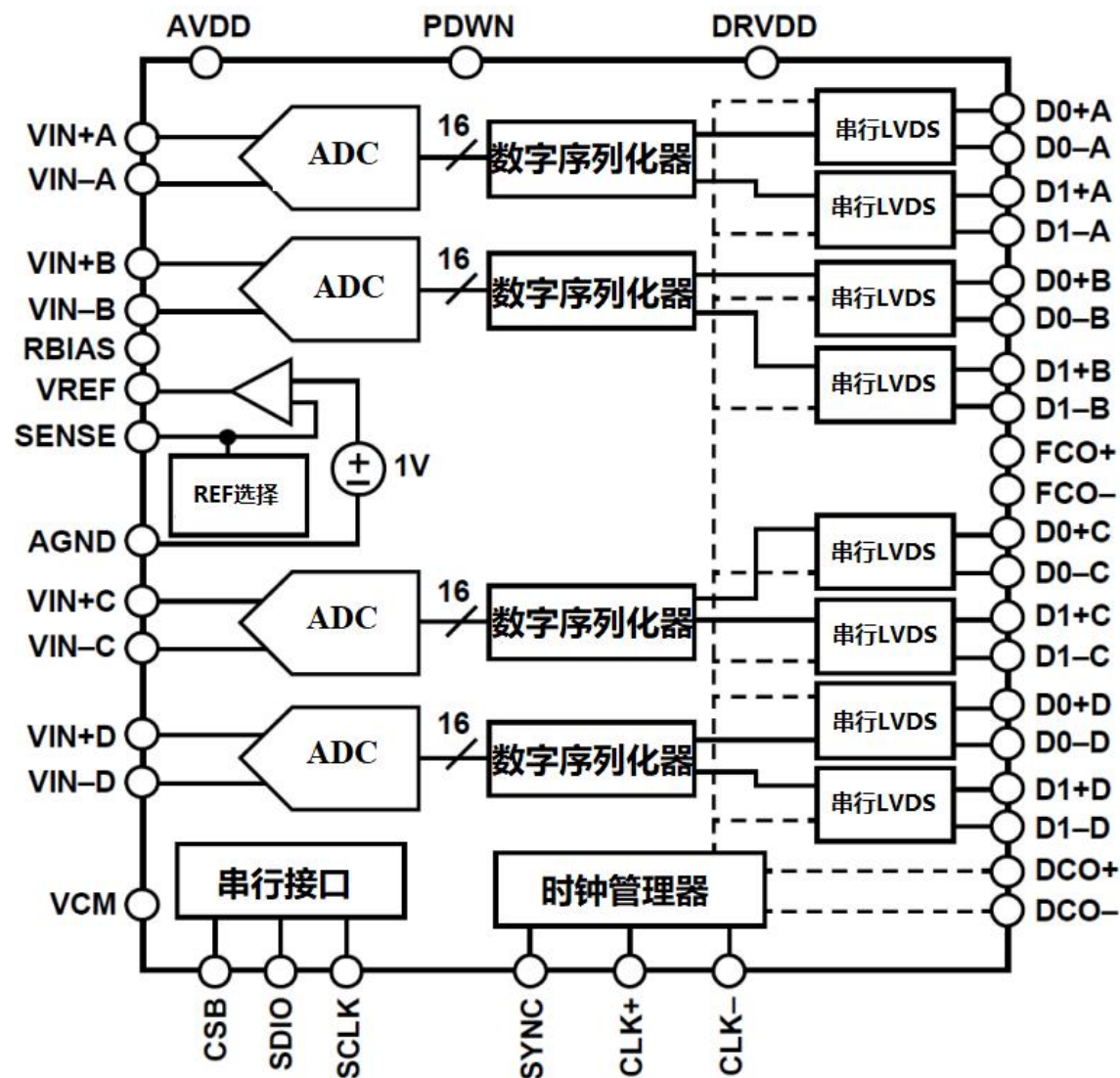


图 1 功能框图

HWD9653PQFN48M3典型应用场景如下图所示。

第 3 页

4 封装信息

4.1 HWD9653PQFN48M3 封装信息

HWD9653PQFN48M3采用塑料PQFN48封装，外形及引脚排列图如下图所示。

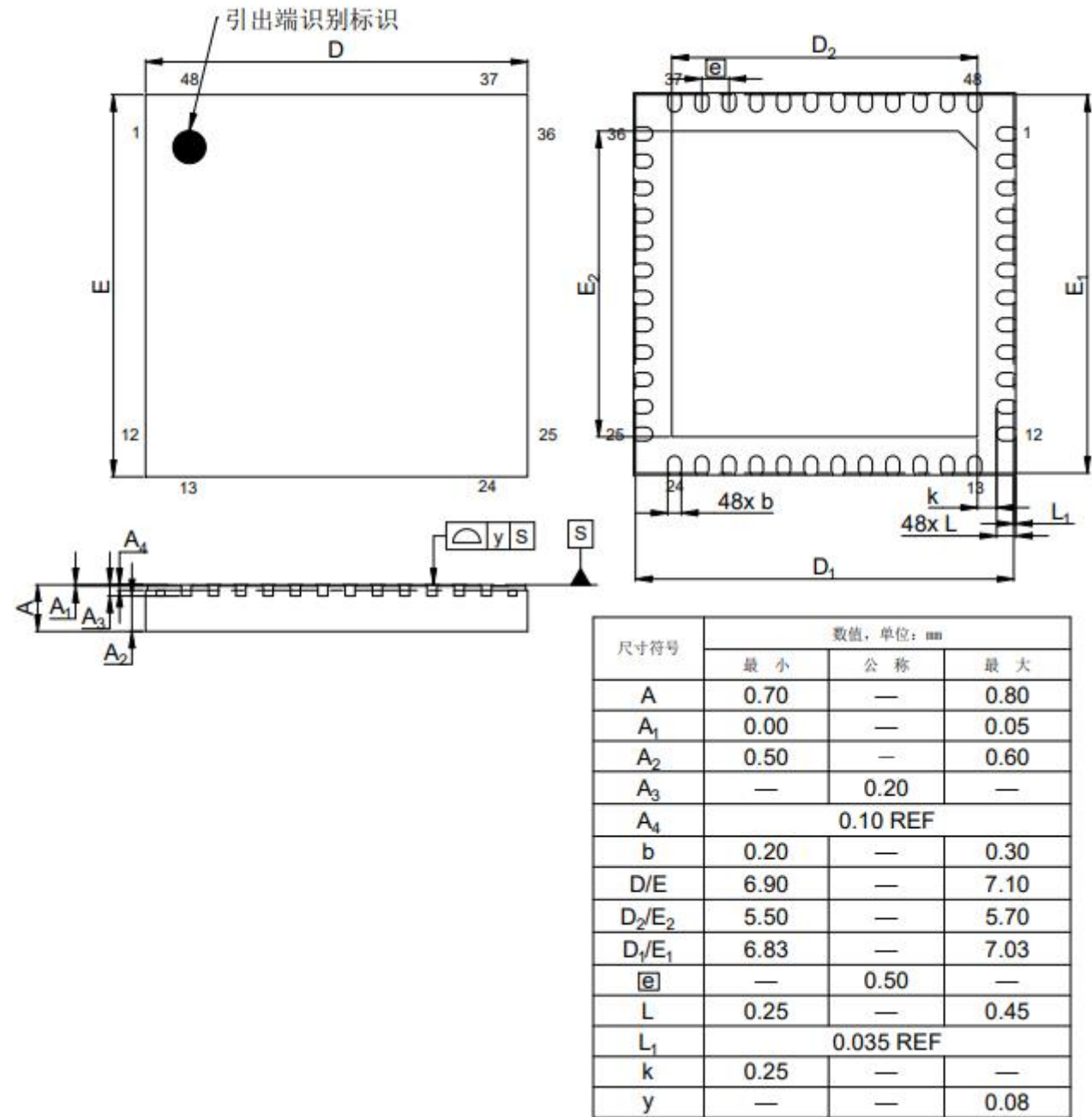


图 3 HWD9653PQFN48M3 封装外形图

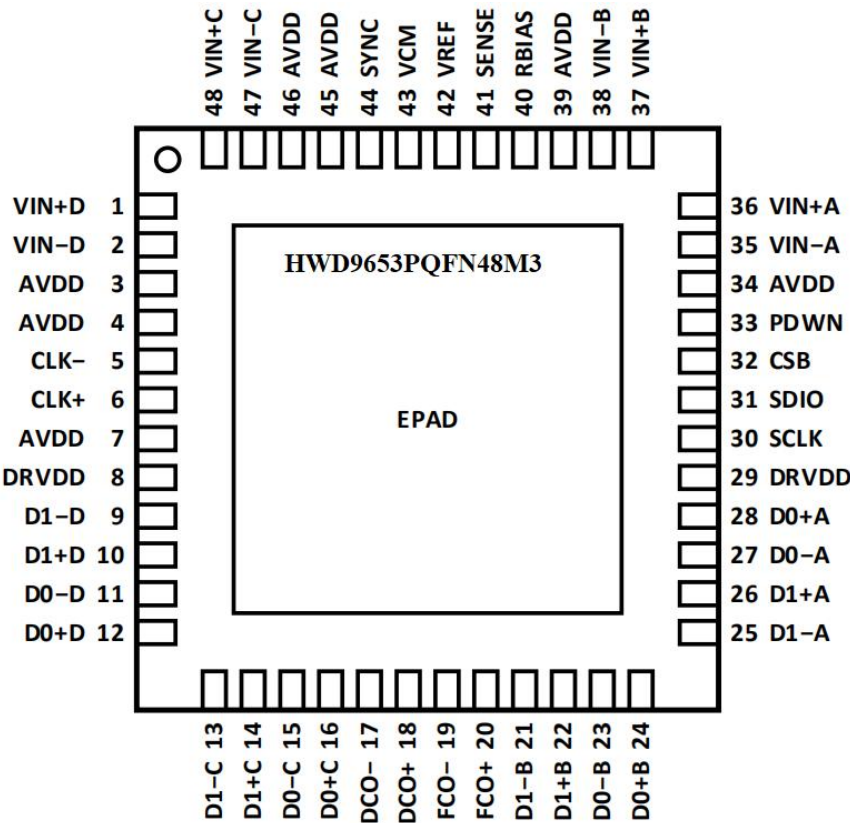


图 4 HWD9653PQFN48M3 引脚排列图

HWD9653PQFN48M3引脚描述描述如下表所示。

表 1 HWD9653PQFN48M3 引脚描述

管脚序号	管脚名	功能描述
1, 2	VIN+D, VIN-D	D 通道模拟输入
5, 6	CLK-, CLK+	时钟输入
9, 10	D1-D,D1+D	通道 D 数据输出（在 One-Lane 模式下不适用）
11, 12	D0-D,D0+D	通道 D 数据输出（在 One-Lane 模式下不适用）
13, 14	D1-C,D1+C	通道 C 数据输出（通道 D 在 One-Lane 模式下的输出端口）
15, 16	D0-C,D0+C	通道 C 数据输出（通道 C 在 One-Lane 模式下的输出端口）
17, 18	DCO-, DCO+	LVDS 时钟输出
19, 20	FCO-, FCO+	LVDS 帧输出
21, 22	D1-B,D1+B	通道 B 数据输出（通道 B 在 One-Lane 模式下的输出端口）
23, 24	D0-B,D0+B	通道 B 数据输出（通道 A 在 One-Lane 模式下的输出端口）
25, 26	D1-A,D1+A	通道 A 数据输出（在 One-Lane 模式下不适用）
27, 28	D0-A,D0+A	通道 A 数据输出（在 One-Lane 模式下不适用）
30	SCLK	SPI 时钟
31	SDIO	SPI 数据输入/输出

管脚序号	管脚名	功能描述
32	CSB	片选信号，低有效
33	PDWN	断电使能，高有效
35, 36	VIN-A, VIN+A	A 通道模拟输入
37, 38	VIN+B、VIN-B	B 通道模拟输入
40	RBIAS	偏置电阻（通过 10K Ω 接地）
41	SENSE	基准电压模式选择
42	VREF	基准电压输入/输出
43	VCM	提供模拟输入共模电平
44	SYNC	同步信号
47、48	VIN-C、VIN+C	C 通道模拟输入
3、4、7、34、39、45、46	AVDD	模拟 1.8V 电源
8、29	DRVDD	数字 1.8V 电源
EPAD	GND	接地

4.2 HWD9653PQFN48M3 焊盘推荐

HWD9653PQFN48M3焊盘推荐如下图所示，用户可根据焊接要求进行调整。

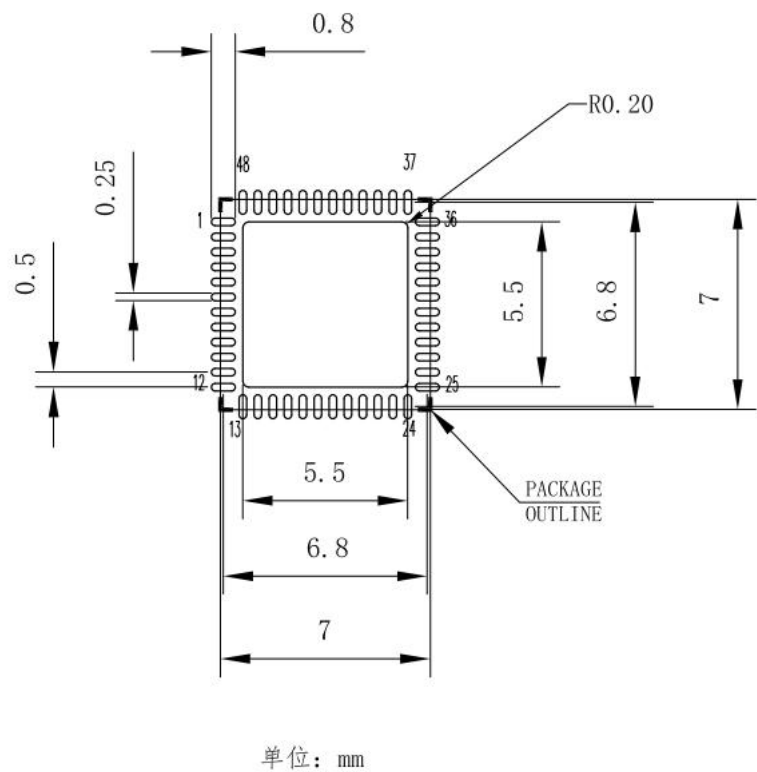


图 5 HWD9653PQFN48M3 推荐焊盘图

4.3 HWD9653PQFN48M3 焊接推荐

HWD9653PQFN48M3产品属于塑封器件，推荐无铅回流曲线。

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 150℃～200℃	60s～120s
熔点以上温度保持时间（回流时间）	60s～120s
低于峰值温度 5℃ 以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235℃，典型温度 245℃，不超过 260℃
降温速度	最大 6℃/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338 SAC305
备注	请根据选用的焊膏特性作相应的调整

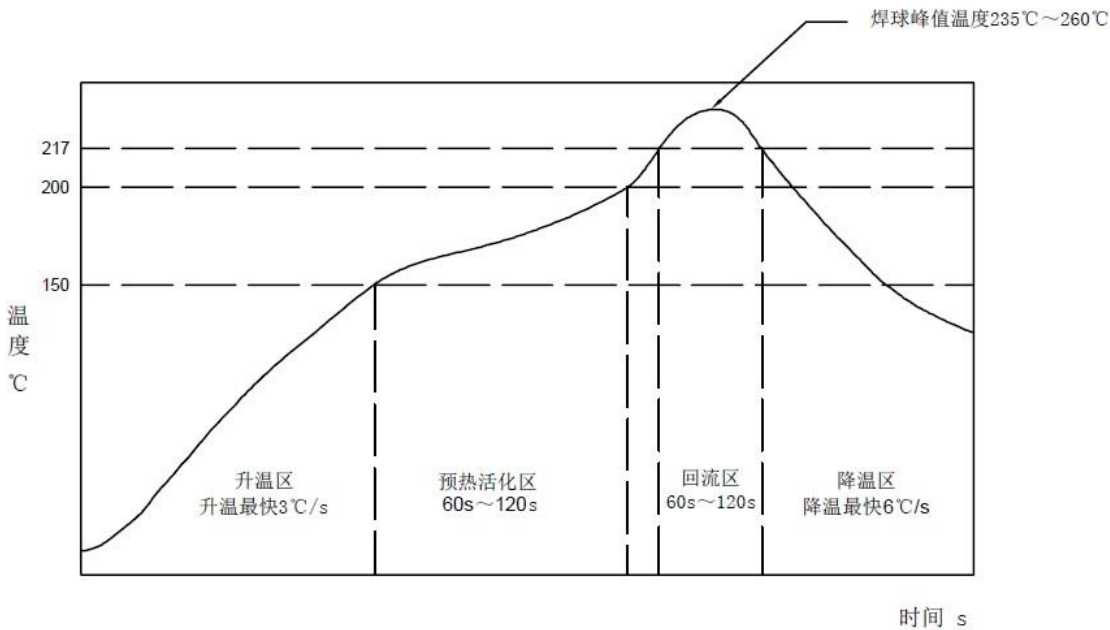


图 6 HWD9653PQFN48M3 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	AVDD	-0.3V~2.0V
2	DRVDD	-0.3V~2.0V
3	D0±x, D1±x, DCO+, DCO-, FCO+, FCO-	-0.3V~2.0V
4	CLK+, CLK-	-0.3V~2.0V
5	VIN+x, VIN-x	-0.3V~2.0V
6	SCLK, SDIO, CSB	-0.3V~2.0V
7	SYNC, PDWN	-0.3V~2.0V
8	RBIAS	-0.3V~2.0V
9	VREF, SENSE	-0.3V~2.0V
10	贮存温度范围 (T_{stg})	-65°C~150°C
11	引线耐焊接温度 (T_{h})	300°C
12	结温 (T_{J})	150°C

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	数字电压 (V_{DRVDD})	1.8 V
2	模拟电压 (V_{AVDD})	1.8 V
3	工作环境温度 (T_{A})	-55°C~125°C

6 电特性参数

表 2 电特性

参数	符号	条件 (除非另有规定, VAVDD=1.8V, VDRVDD=1.8V, 125MSPS 采样速率, 输入差分 2Vp-p, -1dBFS -55°C≤TA≤125°C)	最小值	最大值	单位
分辨率	RES	-	-	16	Bits
积分非线性误差	INL	-	-24	24	LSB
微分非线性误差	DNL	-	-3.5	+3.5	LSB
失调误差	EZ	-	-	0.3	%FSR

参数	符号	条件 (除非另有规定, VAVDD=1.8V, VDRVDD=1.8V, 125MSPS 采样速率, 输入差分 2Vp-p, -1dBFS -55°C≤TA≤125°C)	最小值	最大值	单位
模拟电源电流	I_{AVDD}	$f=9.7\text{MHz}$, -1dBFS	-	350	mA
数字电源电流	I_{DRVDD}	$f=9.7\text{MHz}$, -1dBFS	-	120	mA
功耗	P_W	$f=9.7\text{MHz}$, -1dBFS	-	900	mW
待机功耗	P_{STY}		-	600	mW
最差 2、3 次谐波	$THD_{2,3}$	$f=9.7\text{MHz}$, -1dBFS	-	-78	dBc
		$f=70\text{MHz}$, -1dBFS	-	-73	dBc
无杂散动态范围	$SFDR$	$f=9.7\text{MHz}$, -1dBFS	78	-	dBc
		$f=70\text{MHz}$, -1dBFS	73	-	dBc
信噪比	SNR	$f=9.7\text{MHz}$, -1dBFS	75	-	dBFS
		$f=70\text{MHz}$, -1dBFS	74	-	dBFS
信纳比	$SINAD$	$f=9.7\text{MHz}$, -1dBFS	74	-	dBFS
		$f=70\text{MHz}$, -1dBFS	72	-	dBFS
SCLK 周期	t_{SCLK}		-	1	MHZ

注1: 除非另有规定, 上述参数条件为: 采样速率125MSPS, $V_{AVDD}=1.8\text{V}$, $V_{DRVDD}=1.8\text{V}$, $-55^\circ\text{C}\leq T_A\leq 125^\circ\text{C}$ 。

注2: 芯片输出数据采用LVDS, 输出数据和SYNC信号的时序如下图所示, 时序兼容ADI公司的AD9653。

注3: HWD9653中SCLK最大速率1M, 与AD9653存在差异。

注4: 器件最低采样率40MSPS。

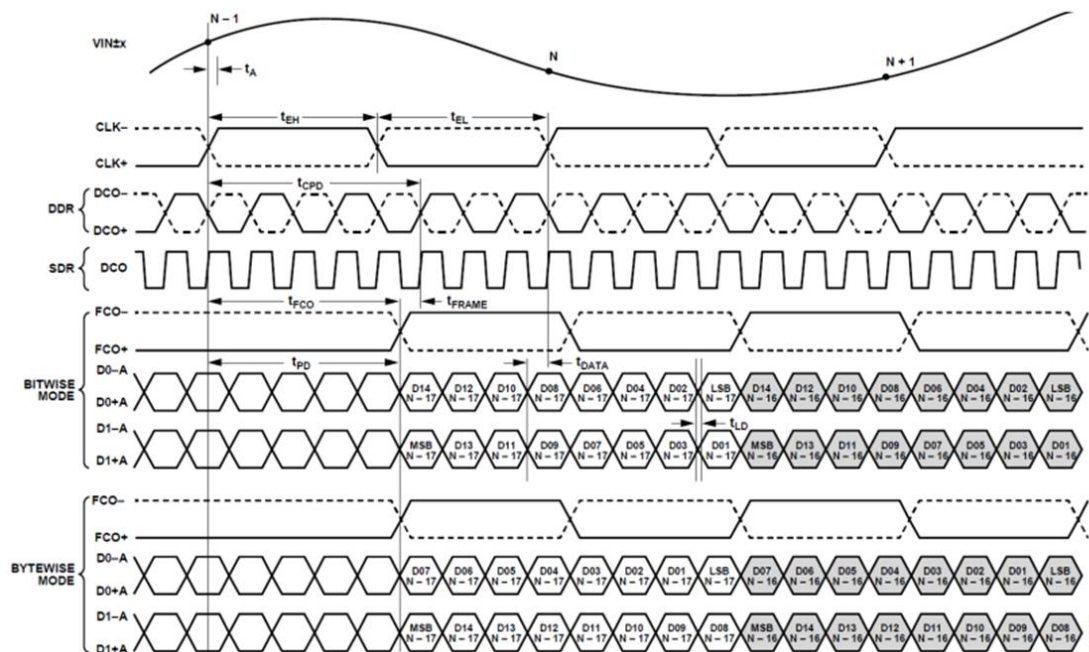


图 7 串口时序图

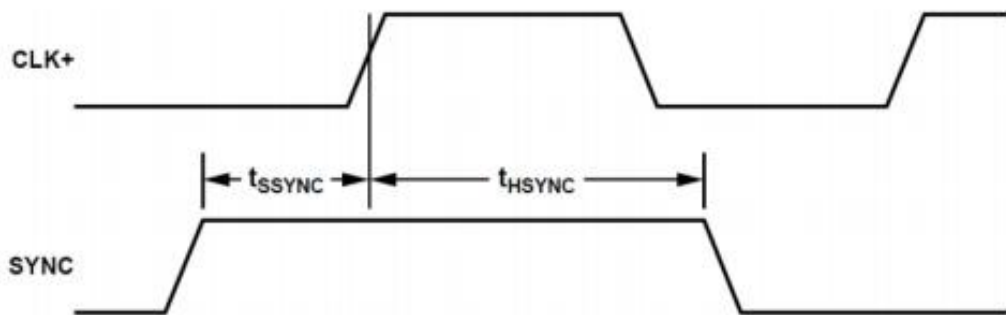


图 8 SYNC 时序图

7 功能描述

7.1 概述

该器件是一款四通道 16 位 A/D 转换器芯片，采样率为 125MSPS，内核采用多级、差分流水线架构，并集成了输出纠错逻辑。可通过 SPI 接口来实现各种配置。采用了 PQFN48 封装。额定工作范围为-55℃~+125℃。兼容 ADI 公司的 AD9653 型号。

7.2 功能描述

HWD9653PQFN48M3 兼容 ADI 的 AD9653，电源电压位 1.8V，ADC 内核采用多级、差分流水线架构，并集成了输出纠错逻辑。芯片前段宽带差分采样保持电路可支持用户灵活选择各种输入范围。芯片内部集成了基准电压电路。芯片具有时钟占空比调整器，可补偿 ADC 时钟占空比的波动，保证转换器的输出性能。芯片输出为串行 LVDS 信号。芯片具有省电模式，可降低功耗。芯片通过 SPI 接口来实现各种配置。

7.3 SPI 接口定义

本芯片采用SPI读写协议，其端口定义和指令结构由下面表格定义。SPI端口以及时序兼容ADI公司的AD9653。

表 3 SPI 端口定义与指令结构

端口名称	端口定义
SDIO	SPI数据写入/读出端口
SCLK	SPI时钟，1MHz以下
CSB	SPI片选信号，低电平有效
指令说明	
R/W	读写控制，高电平为读，低电平为写
W[1:0]	写为00
A[12:0]	寄存器地址
D[7:0]	读写数据
写SPI操作：16 位指令和8位数据都在SCLK的上升沿写入；	
读SPI操作：16 位指令在SCLK的上升沿写入，8 位读出数据在SCLK的下降沿输出；	

下图为 SPI 接口的时序图，建议 SPI 时钟频率不超过 1MHz。SPI 接口可以通过芯片的 0×00 寄存器来配置。

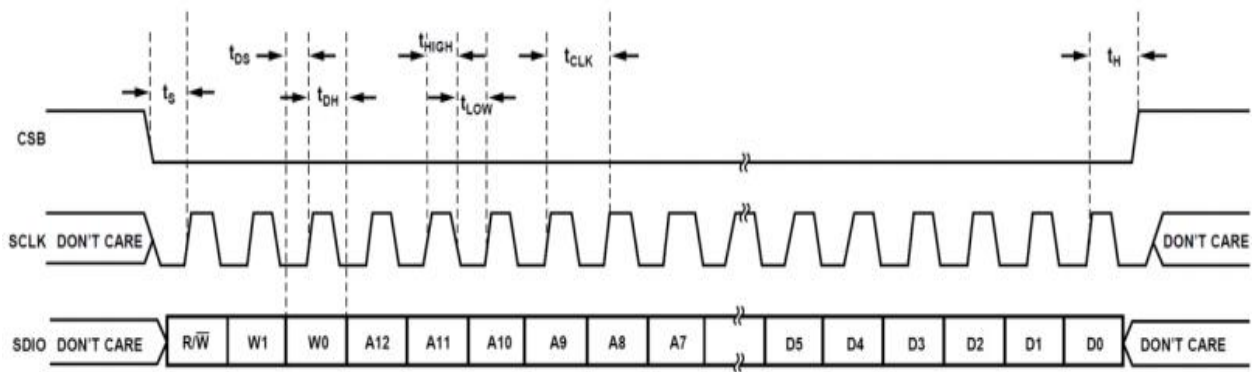


图 9 SPI 接口时序图

注 1：当寄存器 0x08 中 BIT0~BIT1 选择 11=reset 时，HWD9653 会重新读取 efuse，耗时会比 AD9653 更长。

7.4 SPI 寄存器定义

下述表格为芯片 SPI 寄存器定义表格，兼容 ADI 公司 AD9653，具体寄存器定义参见 AD9653 数据手册。

其中有以下不同处：

1. 删除 Chop 模式（寄存器 0×0C）；
2. 删除 SDIO 下拉功能（寄存器 0×101）。
3. 删除单同步功能（寄存器 0×109）
4. 修改 0x100 寄存器后直接生效，无需再写其他寄存器
5. 寄存器 0x16 中 BIT0~BIT3 控制输出时钟相位，仅支持调节范围 0-300°
6. 删除分频功能（0x0B）

表 4 SPI 寄存器定义

地址	名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认 值
0×00	SPI 配置 (全局)	0	LSB 优 先	软复位 1=复位 0=工作	1	1	软复位 1=复位 0=工作	LSB 优 先	0	0×18
0×01	芯片 ID	芯片 ID[7:0]								0×B5
0×02	速度等级 (全局)		速度等级 110=125MSPS							
0×04	通道选择					通道 D	通道 C	通道 B	通道 A	0×00
0×05	通道选择			DCO 通道	FCO 通道	通道 D	通道 C	通道 B	通道 A	0×3F
0×FF	传送开关								初始化	0×00
0×08	功耗控制 (全局)			PDWN 管脚功 能 0=断电 1=待机				工作模式 00=工作 01=断电 10=待机 11=复位		0×00
0×09	全局时钟 (全局)								占空比 控制 0=开启 1=关闭	0×01
0×0D	测试模式	用户输入测试模 式（局部） 00=单独连续 01=交替连续 10=单独单次 11=交替单次 仅 Bits[3:0]=1000 时有效		长伪随 机序列 生成复 位	短伪随 机序列 生成复 位	输出测试模式（局部） 0000=正常工作 0001=中间值短接测试 0010/0011=正/负 FS 0100=交替棋盘模式 0101/0110=PN23/PN9 序列 0111=1/0 切换 1000=用户输入测试码 1001=1/0 位交替切换 1010=单同步模式				0×00

地址	名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认 值	
							1011=单个位高 1100=混合位频率测试				
0×10	失调控制 （局部）	+127 LSB 到-128 LSB 失调电压调整 （二进制补码格式）									0×00
0×14	输出模式		LVDS 输出幅度 （全局） 0=LVDS-ANSI 1=LVDS-IEEE				输出反转（局部） 0=关闭 1=开启	1	输出格式（全局） 0=偏移二进制 1=二进制补码	0×03	
0×15	输出调整			片内 LVDS 负载 00=无 01=200 Ω 10/11=100 Ω					LVDS 输出驱动力 0=1X 1=2X	0×00	
0×16	时钟相位控制		输入时钟分频器相调整 000=无延迟 001=1 输入时钟周期 010=2 输入时钟周期 ... 111=7 输入时钟周期			输出时钟相位调整（60 度递进） 0000=0 度 0001=60 度 0010=120 度 ... 0101=300 度			0×03		
0×18	Vref						基准电压调整 000= 1.0Vp-p（1.3 Vp-p） 001= 1.14Vp-p（1.48 Vp-p） 010= 1.33Vp-p（1.73 Vp-p） 011= 1.6Vp-p（2.08 Vp-p） 100= 2.0Vp-p（2.6 Vp-p）			0×04	
0×19	测试码 1_LSB（全局）	测试码 1[7:0]									0×00
0×1A	测试码 1_MSB（全局）	测试码 1[15:8]									0×00
0×1B	测试码 2_LSB（全局）	测试码 2[7:0]									0×00
0×1C	测试码 2_MSB（全局）	测试码 1[15:8]									0×00
0×21	输出控制 （全局）		LVDS 输出模式 000=SDR two-lane，bitwise					串行输出位数 00=16 位数据		0×30	

地址	名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认 值
			001=SDRtwo-lane, bitwise 010=DDR two-lane, bitwise 011=DDRtwo-lane, bitwise 100=DDRone-lan, wordwise							
0×22	通道状态 (局部)							通道复 位 0=正常 1=复位	通道断 电 0=正常 1=断电	0×00
0×100	采样率覆 盖						采样率 000=20 MSPS 001=40 MSPS 010=50 MSPS 011=65 MSPS 100=80 MSPS 101=105 MSPS 110=125 MSPS			0×06
0×102	用户输入 输出控制					VCM 断电 0=正常 1=断电				0×00

7.5 数据格式

芯片具有两种输出数据格式，如下面表格所示。默认输出格式为二进制补码，可通过SPI寄存器进行切换。

表 5 输出数据格式

输入 (V)	条件 (V)	偏移二进制	二进制补码
VIN+ - VIN-	<-VREF-0.5LSB	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ - VIN-	=-VREF	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ - VIN-	=0	1000 0000 0000 0000	0000 0000 0000 0000
VIN+ - VIN-	=+VREF-1.0LSB	1111 1111 1111 1111	0111 1111 1111 1111
VIN+ - VIN-	>+VREF-0.5LSB	1111 1111 1111 1111	0111 1111 1111 1111

7.6 输出测试模式

表 6 输出测试模式

0x0D地址Bit[0:3]	模式名称	输出码字1	输出码字2	是否受输出格式影响 (0x14的配置)	备注
0000	关闭 (默认)	不适用	不适用	不适用	

0x0D地址Bit[0:3]	模式名称	输出码字1	输出码字2	是否受输出格式影响 (0x14的配置)	备注
0001	中间值短码	1000 0000 0000 0000	不适用	是	偏移二进制格式
0010	正满量程	1111 1111 1111 1111	不适用	是	偏移二进制格式
0011	负满量程	0000 0000 0000 0000	不适用	是	偏移二进制格式
0100	棋盘格	1010 1010 1010 1010	0101 0101 0101 0101	否	
0101	长PN码	不适用	不适用	是	PN23
0110	短PN码	不适用	不适用	是	PN9
0111	交替字	1111 1111 1111 1111	0000 0000 0000 0000	否	
1000	用户定义输入模式	寄存器 0x19/0x1A写入	寄存器 0x1B/0x1C写入	否	
1001	交替位	1010 1010 1010 1010	不适用	否	
1010	同步码	0000 0000 1111 1111	不适用	否	
1011	单比特高	1000 0000 0000 0000	不适用	否	与外部引脚关联模式
1100	混合频率	1010 0001 1001 1100	不适用	否	

7.7 PCB 设计

PCB 设计对高速 ADC 的性能至关重要，需要注意以下几点：

1. 芯片背面电源管脚处需要放置足够多的退耦电容。
2. 整个 PCB 板要有足够强的地，并通过足够多的过孔连接。
3. 两个模拟输入在 PCB 正面布线接入芯片，且相互之间保留足够距离并使用屏蔽地隔离。
4. 时钟输入要与模拟输入保持足够的距离，避免干扰。
5. 数字输出尽量与模拟输入和时钟输入保持足够的距离，避免干扰。

8 应用建议

8.1 HWD9653PQFN48M3 典型应用

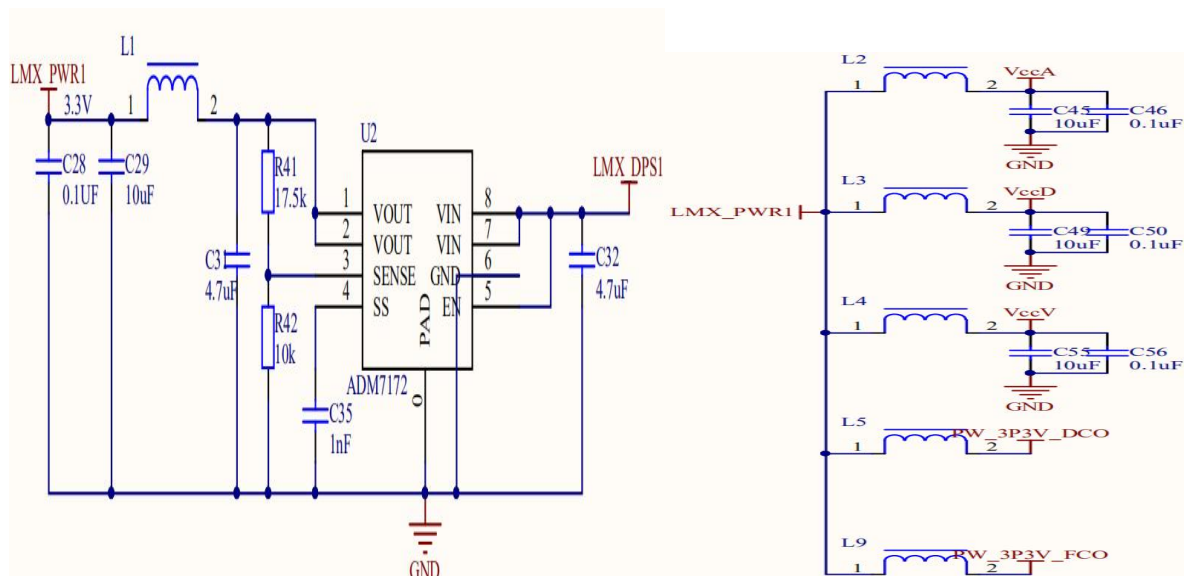


图 10 LMAX2592_Power

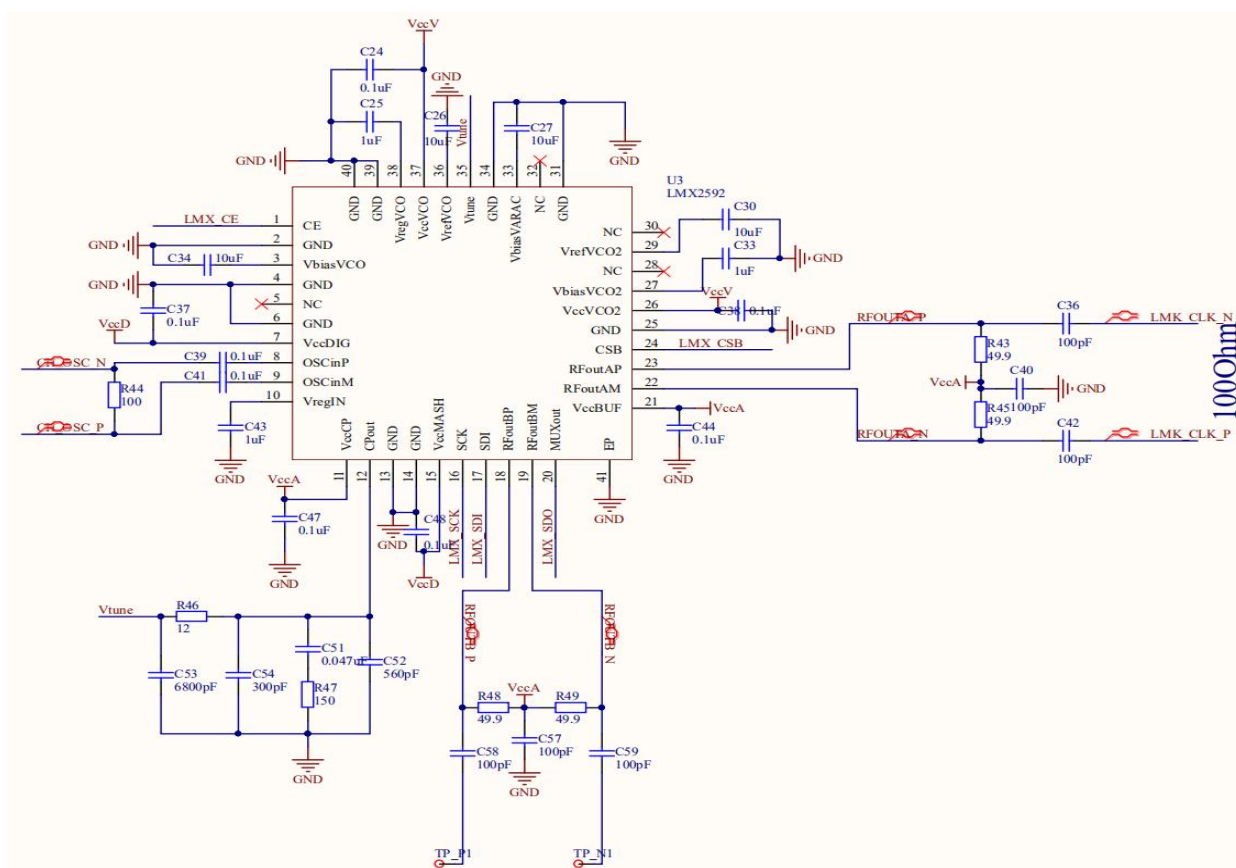
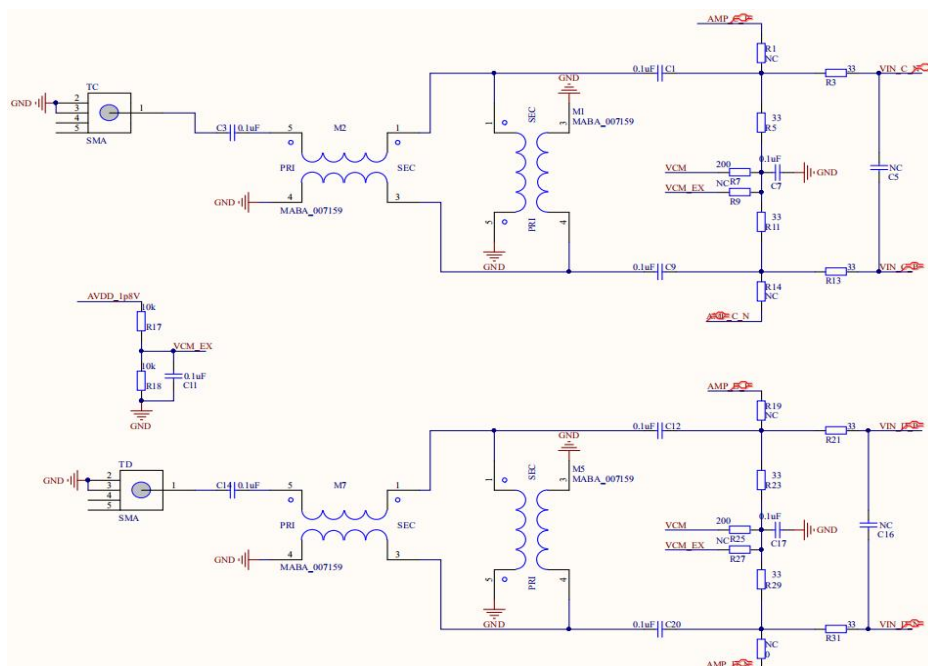


图 11 Clock Generator



(b)

图 13 Analog Input

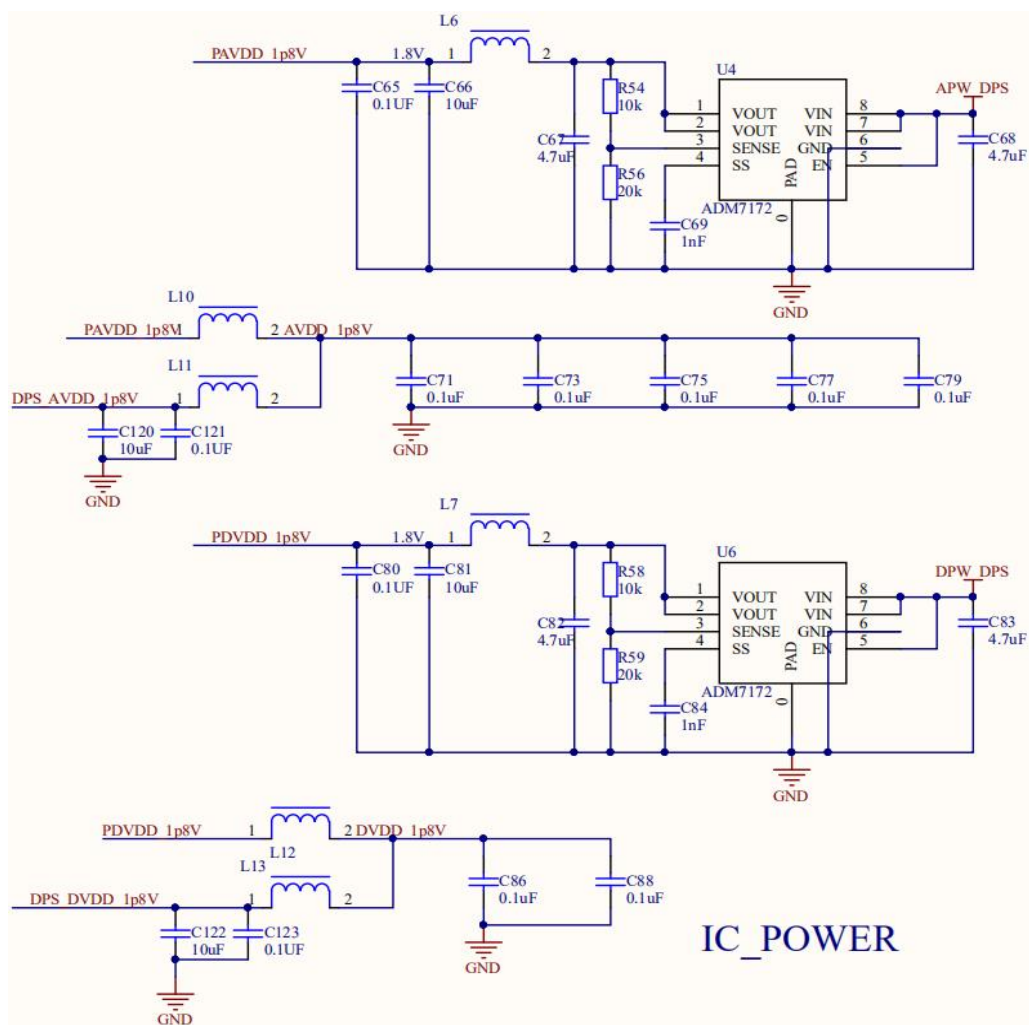


图 14 IC_POWER

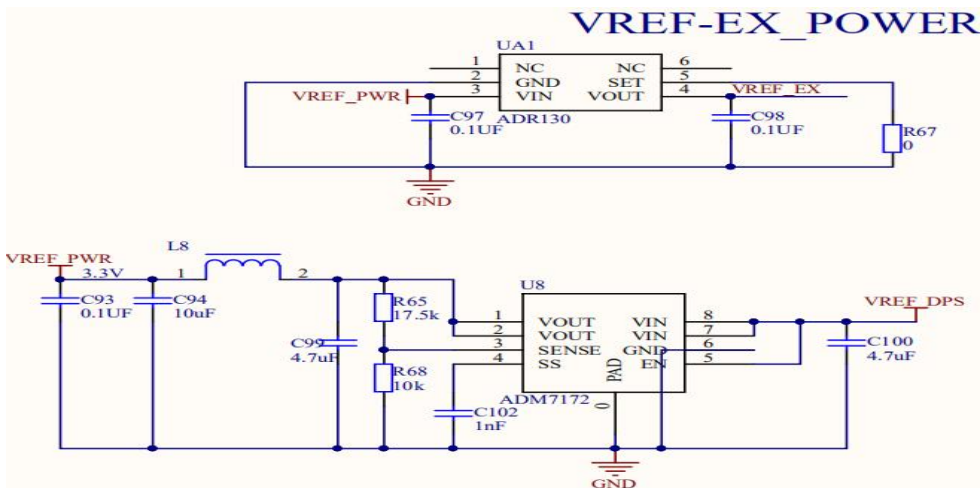


图 15 VREF-EX_POWER

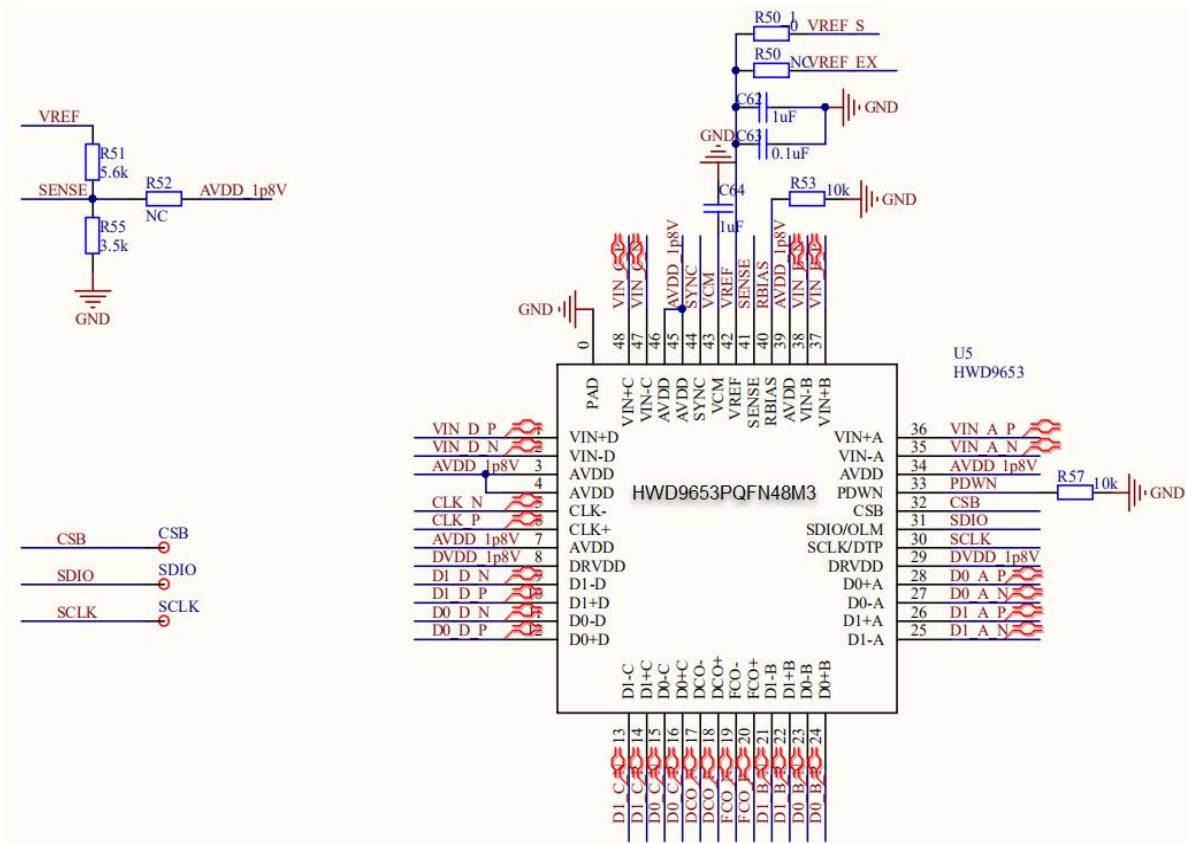


图 16 HWD9653PQFN48M3 应用图

9 使用注意事项

- 器件必须采取防静电措施进行操作。
- 该器件操作注意事项如下：
- a) 器件应在防静电的工作台上操作；

- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物。

10 订货信息

表 7 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	引脚材料	重量（g）	详细规范
1	HWD9653PQFN48M3	PQFN48	塑料	N1 级	铜合金	0.13g	Q/HWD 50560-2024

注1:

a) N/N1级器件满足GJB 7400A 《合格制造厂认证用半导体集成电路通用规范》N/N1级的筛选要求

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。