

HWDSL50T 系列

五百万门级 FPGA

产品手册

V2.0.0

成都华微电子科技股份有限公司

2025 年 11 月 19 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始版本	王志超	20230829	
V1.1.0	1、删除-2 速度等级	刘云搏	20240115	
V1.2.0	1、增加“应用说明”	刘云搏	20240902	
V1.3.0	1、增加配置参考电路 2、修正表 1-1PCIE 数量 3、修正 2.1 章节 CLB 的介绍 4、表 2-1 级连改为级联 5、表 4-4，INIT_B_0 方向，开链输出，改为开漏输出 6、2.4 章节，DSP 介绍，补数乘法器改为二进制补码乘法器 7、2.5 章节，BUFR 的解释，从时钟区域缓冲器改为区域时钟缓冲器，BUFMR 的解释，从多时钟区域缓冲器改为多区域时钟缓冲器 8、删除表 2-12、表 2-14 重复内容 9、表 3-16~表 3-20，删除最小、最大值的表达，只写极限值 10、修正 5.3.6 节的电路图 11、修改图 6-1 文字大小	徐元银	20241123	
V2.0.0	1、删除 5.2 章节块存储器 BRAM 应用注意事项 2、增加焊盘推荐、焊接推荐 3、更新手册模板	王志超	20251119	

目 次

1 概述	1
2 产品特点	1
3 功能框图	2
4 封装信息	3
4.1 CS324 封装信息	3
4.2 CS325 封装信息	7
4.3 FG484 封装信息	12
4.4 引脚描述	19
4.5 HWDSL50T 焊盘推荐	22
4.6 HWDSL50T 焊接推荐	25
5 绝对最大额定值及推荐工作范围	26
5.1 绝对最大额定值	26
5.2 推荐工作范围	27
6 电特性参数	28
7 功能描述	35
7.1 概述	35
7.2 器件工作原理	36
7.3 功能描述	38
8 应用建议	49
7.4 开发工具版本	49
7.5 参考配置电路	49
7.6 SERDES 应用注意事项	54
7.7 未使用的 HRIO BANK VCCO 电源建议	55
9 使用注意事项	55
10 订货信息	56

1 概述

HWDSL50T型FPGA对标XC7A50T，属于SRAM型FPGA。逻辑资源包括6输入LUT的CLB、高性能用户IO模块、单块容量达36k bits的Block RAM、数字信号处理模块DSP、时钟管理模块CMT、ADC模块、PCIe模块、高速串行接口SERDES模块、配置模块和互连资源。

2 产品特点

- 1) 逻辑实现基于 6 输入查找表（可被配置为分布式 RAM）。
- 2) 片上数据缓存块 RAM 单块容量为 36Kb、双端口模式，并带有内建 FIFO 逻辑功能。
- 3) 宽范围用户 IO 可以支持单端 LVCMOS、LVTTL 等多种电平标准，并支持多种差分电平标准，电压范围支持 1.2V~3.3V。
- 4) 高速用户 IO 接口支持 DDR3，最高速率可达 800Mb/s。
- 5) DSP 模块包含 25×18 乘法器、48 位累加器和预加器，可用于高性能滤波算法。
- 6) 高精度低抖动时钟管理单元（CMT），包括锁相环（PLL）和混合模式时钟管理（MMCM），时钟管理模块最高输入频率可达 800MHz
- 7) 全局时钟树频率最高可达 464MHz
- 8) 高速串行接口 SERDES 模块，线速率从 500Mb/s 到最高 6.25Gb/s
- 9) 集成 PCIe 硬核，支持 Gen2
- 10) 集成用于片上温度和电压传感器监控的 12 位 1MSPS ADC
- 11) 支持多种配置模式，包含支持通用存储器接口和 256 位 AES 加密

表 1 HWDSL50T 产品包含内部资源

资源项	HWDSL50T		
	CS324 封装	CS325 封装	FG484 封装
等效逻辑单元数	52160		
CLB slice 数量	8150		
CLB 构成分布式 RAM(Kb)	600		
DSP 数量	120		
BRAM 数量	150（单个 BRAM 容量 18Kb） 75（单个 BRAM 容量 36Kb）		
BRAM 最大容量(Kb)	2700		
CMT 数量	5		
ADC 数量	1		
PCIE 数量	0	1	1
高速接口 SERDES 信道数量	0	4	4
宽范围用户 IO 数量	210	150	250

3 功能框图

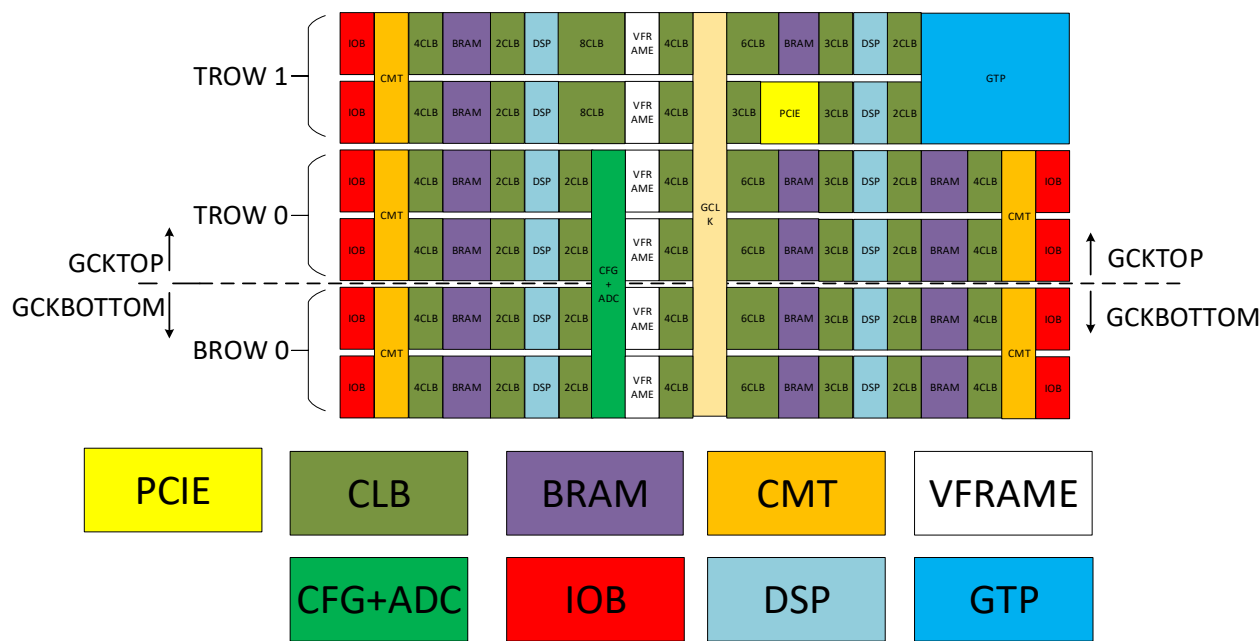


图1 功能框图

HWDSL50T典型应用场景如下图所示。

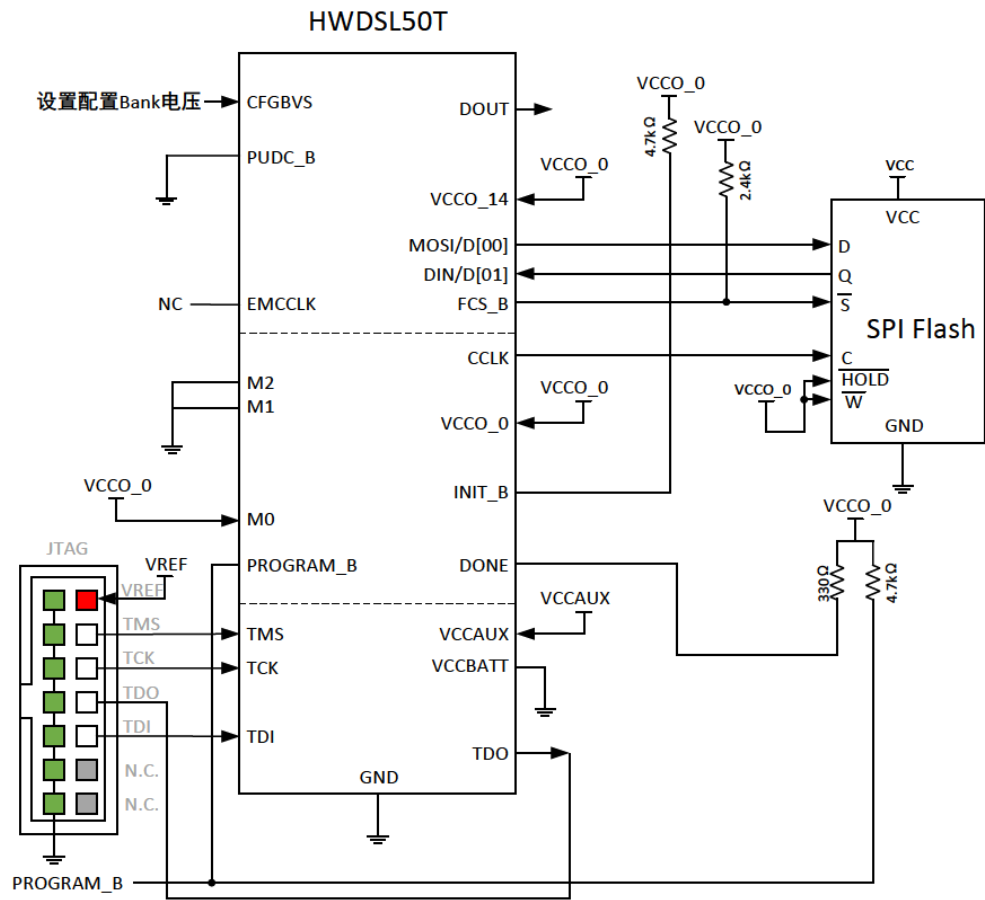


图2 典型应用场景

4 封装信息

4.1 CS324 封装信息

HWDSL50T-1CS324产品为PBGA324封装（FC-BGA324），外形及引脚排列图如下图所示。

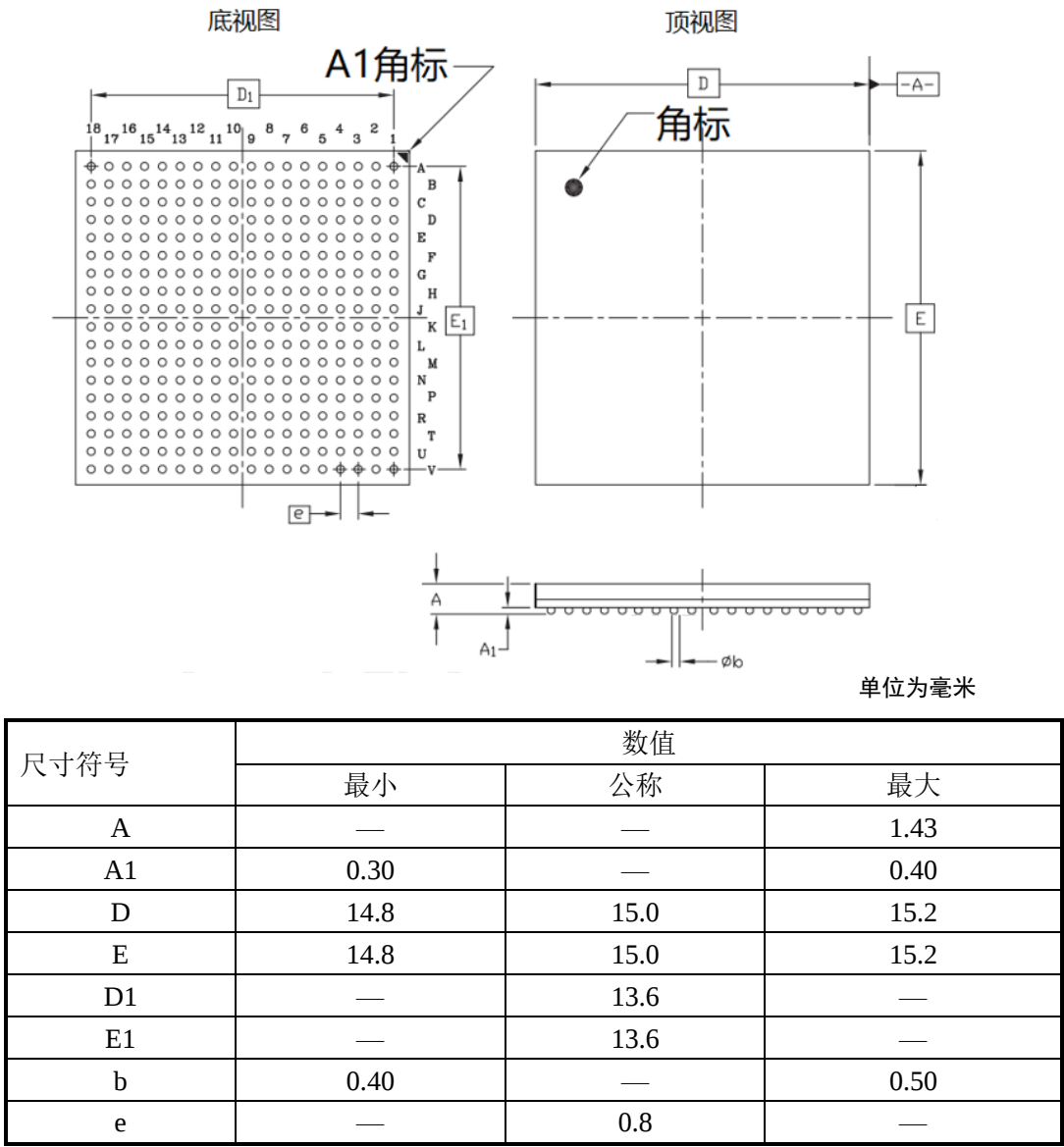


图3 HWDSL50T-1CS324 封装外形图

HWDSL50T-CS324 的封装引脚信息见下表所示

表 2 HWDSL50T-CS324 封装引脚信息

管脚	符号	管脚	符号
P10	DONE_0	M4	IO_L16P_T2_34
L10	DXP_0	N4	IO_L16N_T2_34
H9	GNDADC_0	R1	IO_L17P_T2_34
H10	VCCADC_0	T1	IO_L17N_T2_34

管脚	符号	管脚	符号
K10	VREFP_0	M6	IO_L18P_T2_34
K9	VN_0	N6	IO_L18N_T2_34
E8	VCCBATT_0	R6	IO_L19P_T3_34
E10	TCK_0	R5	IO_L19N_T3_VREF_34
L9	DXN_0	V7	IO_L20P_T3_34
J9	VREFN_0	V6	IO_L20N_T3_34
J10	VP_0	U9	IO_L21P_T3_DQS_34
E9	CCLK_0	V9	IO_L21N_T3_DQS_34
P12	M0_0	U7	IO_L22P_T3_34
P13	M1_0	U6	IO_L22N_T3_34
P7	INIT_B_0	R7	IO_L23P_T3_34
E11	TDI_0	T6	IO_L23N_T3_34
E13	TDO_0	R8	IO_L24P_T3_34
P11	M2_0	T8	IO_L24N_T3_34
P8	CFGBVS_0	U8	IO_25_34
P9	PROGRAM_B_0	F5	IO_0_35
E12	TMS_0	C6	IO_L1P_T0_AD4P_35
R11	IO_0_14	C5	IO_L1N_T0_AD4N_35
K17	IO_L1P_T0_D00_MOSI_14	B7	IO_L2P_T0_AD12P_35
K18	IO_L1N_T0_D01_DIN_14	B6	IO_L2N_T0_AD12N_35
L14	IO_L2P_T0_D02_14	A6	IO_L3P_T0_DQS_AD5P_35
M14	IO_L2N_T0_D03_14	A5	IO_L3N_T0_DQS_AD5N_35
L15	IO_L3P_T0_DQS_PUDC_B_14	D8	IO_L4P_T0_35
L16	IO_L3N_T0_DQS_EMCCCLK_14	C7	IO_L4N_T0_35
L18	IO_L4P_T0_D04_14	E6	IO_L5P_T0_AD13P_35
M18	IO_L4N_T0_D05_14	E5	IO_L5N_T0_AD13N_35
R12	IO_L5P_T0_D06_14	E7	IO_L6P_T0_35
R13	IO_L5N_T0_D07_14	D7	IO_L6N_T0_VREF_35
L13	IO_L6P_T0_FCS_B_14	C4	IO_L7P_T1_AD6P_35
M13	IO_L6N_T0_D08_VREF_14	B4	IO_L7N_T1_AD6N_35
R18	IO_L7P_T1_D09_14	A4	IO_L8P_T1_AD14P_35
T18	IO_L7N_T1_D10_14	A3	IO_L8N_T1_AD14N_35
N14	IO_L8P_T1_D11_14	B1	IO_L9P_T1_DQS_AD7P_35
P14	IO_L8N_T1_D12_14	A1	IO_L9N_T1_DQS_AD7N_35
N17	IO_L9P_T1_DQS_14	B3	IO_L10P_T1_AD15P_35
P18	IO_L9N_T1_DQS_D13_14	B2	IO_L10N_T1_AD15N_35
M16	IO_L10P_T1_D14_14	D5	IO_L11P_T1_SRCC_35
M17	IO_L10N_T1_D15_14	D4	IO_L11N_T1_SRCC_35
N15	IO_L11P_T1_SRCC_14	E3	IO_L12P_T1_MRCC_35
N16	IO_L11N_T1_SRCC_14	D3	IO_L12N_T1_MRCC_35
P17	IO_L12P_T1_MRCC_14	F4	IO_L13P_T2_MRCC_35
R17	IO_L12N_T1_MRCC_14	F3	IO_L13N_T2_MRCC_35

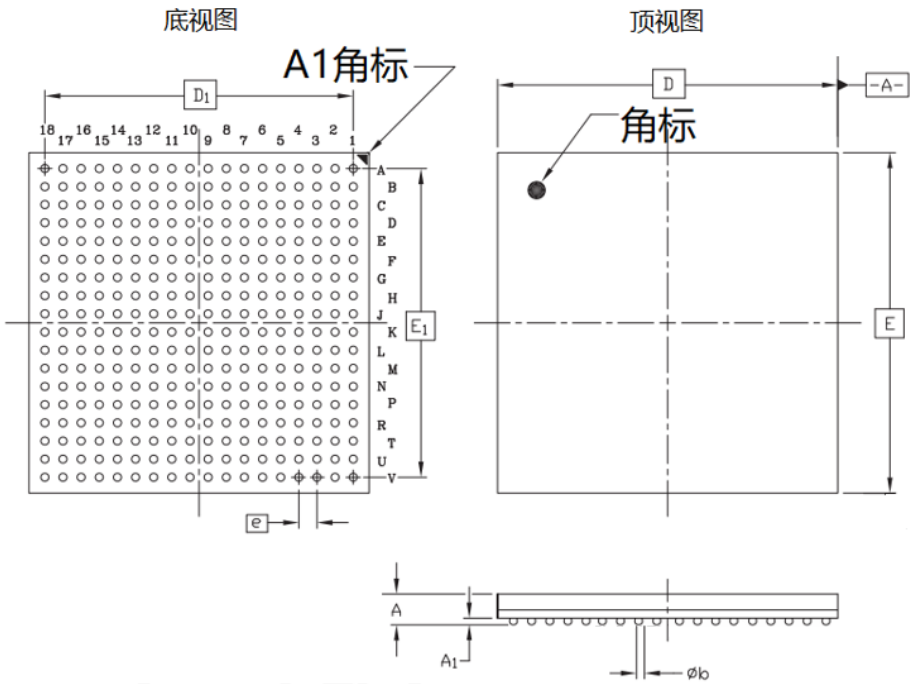
管脚	符号	管脚	符号
P15	IO_L13P_T2_MRCC_14	E2	IO_L14P_T2_SRCC_35
R15	IO_L13N_T2_MRCC_14	D2	IO_L14N_T2_SRCC_35
T14	IO_L14P_T2_SRCC_14	H2	IO_L15P_T2_DQS_35
T15	IO_L14N_T2_SRCC_14	G2	IO_L15N_T2_DQS_35
R16	IO_L15P_T2_DQS_RDWR_B_14	C2	IO_L16P_T2_35
T16	IO_L15N_T2_DQS_DOUT_CSO_B_14	C1	IO_L16N_T2_35
V15	IO_L16P_T2_CSI_B_14	H1	IO_L17P_T2_35
V16	IO_L16N_T2_A15_D31_14	G1	IO_L17N_T2_35
U17	IO_L17P_T2_A14_D30_14	F1	IO_L18P_T2_35
U18	IO_L17N_T2_A13_D29_14	E1	IO_L18N_T2_35
U16	IO_L18P_T2_A12_D28_14	G6	IO_L19P_T3_35
V17	IO_L18N_T2_A11_D27_14	F6	IO_L19N_T3_VREF_35
T11	IO_L19P_T3_A10_D26_14	G4	IO_L20P_T3_35
U11	IO_L19N_T3_A09_D25_VREF_14	G3	IO_L20N_T3_35
U12	IO_L20P_T3_A08_D24_14	J4	IO_L21P_T3_DQS_35
V12	IO_L20N_T3_A07_D23_14	H4	IO_L21N_T3_DQS_35
V10	IO_L21P_T3_DQS_14	J3	IO_L22P_T3_35
V11	IO_L21N_T3_DQS_A06_D22_14	J2	IO_L22N_T3_35
U14	IO_L22P_T3_A05_D21_14	K2	IO_L23P_T3_35
V14	IO_L22N_T3_A04_D20_14	K1	IO_L23N_T3_35
T13	IO_L23P_T3_A03_D19_14	H6	IO_L24P_T3_35
U13	IO_L23N_T3_A02_D18_14	H5	IO_L24N_T3_35
T9	IO_L24P_T3_A01_D17_14	J5	IO_25_35
T10	IO_L24N_T3_A00_D16_14	A12	GND
R10	IO_25_14	A2	GND
G13	IO_0_15	B15	GND
D14	IO_L1P_T0_AD0P_15	B5	GND
C14	IO_L1N_T0_AD0N_15	C18	GND
B13	IO_L2P_T0_AD8P_15	C8	GND
B14	IO_L2N_T0_AD8N_15	D11	GND
C12	IO_L3P_T0_DQS_AD1P_15	D1	GND
B12	IO_L3N_T0_DQS_AD1N_15	E14	GND
B11	IO_L4P_T0_15	E4	GND
A11	IO_L4N_T0_15	F17	GND
F13	IO_L5P_T0_AD9P_15	F11	GND
F14	IO_L5N_T0_AD9N_15	F9	GND
D12	IO_L6P_T0_15	F7	GND
D13	IO_L6N_T0_VREF_15	G12	GND
B16	IO_L7P_T1_AD2P_15	G10	GND
B17	IO_L7N_T1_AD2N_15	G8	GND
A15	IO_L8P_T1_AD10P_15	H13	GND
A16	IO_L8N_T1_AD10N_15	H11	GND

管脚	符号	管脚	符号
A13	IO_L9P_T1_DQS_AD3P_15	H7	GND
A14	IO_L9N_T1_DQS_AD3N_15	H3	GND
B18	IO_L10P_T1_AD11P_15	J16	GND
A18	IO_L10N_T1_AD11N_15	J12	GND
E15	IO_L11P_T1_SRCC_15	J8	GND
E16	IO_L11N_T1_SRCC_15	J6	GND
D15	IO_L12P_T1_MRCC_15	K11	GND
C15	IO_L12N_T1_MRCC_15	K7	GND
H16	IO_L13P_T2_MRCC_15	L12	GND
G16	IO_L13N_T2_MRCC_15	L8	GND
F15	IO_L14P_T2_SRCC_15	L2	GND
F16	IO_L14N_T2_SRCC_15	M15	GND
H14	IO_L15P_T2_DQS_15	M11	GND
G14	IO_L15N_T2_DQS_ADV_B_15	M9	GND
E17	IO_L16P_T2_A28_15	M7	GND
D17	IO_L16N_T2_A27_15	M5	GND
K13	IO_L17P_T2_A26_15	N18	GND
J13	IO_L17N_T2_A25_15	N12	GND
H17	IO_L18P_T2_A24_15	N10	GND
G17	IO_L18N_T2_A23_15	N8	GND
J14	IO_L19P_T3_A22_15	P1	GND
H15	IO_L19N_T3_A21_VREF_15	R14	GND
C16	IO_L20P_T3_A20_15	R4	GND
C17	IO_L20N_T3_A19_15	T17	GND
E18	IO_L21P_T3_DQS_15	T7	GND
D18	IO_L21N_T3_DQS_A18_15	U10	GND
G18	IO_L22P_T3_A17_15	V13	GND
F18	IO_L22N_T3_A16_15	V3	GND
J17	IO_L23P_T3_FOE_B_15	F8	VCCINT
J18	IO_L23N_T3_FWE_B_15	G9	VCCINT
K15	IO_L24P_T3_RS1_15	G7	VCCINT
J15	IO_L24N_T3_RS0_15	H8	VCCINT
K16	IO_25_15	J11	VCCINT
D9	IO_L6N_T0_VREF_16	J7	VCCINT
C9	IO_L11P_T1_SRCC_16	K8	VCCINT
B9	IO_L11N_T1_SRCC_16	L11	VCCINT
B8	IO_L12P_T1_MRCC_16	L7	VCCINT
A8	IO_L12N_T1_MRCC_16	M10	VCCINT
C11	IO_L13P_T2_MRCC_16	M8	VCCINT
C10	IO_L13N_T2_MRCC_16	N11	VCCINT
A10	IO_L14P_T2_SRCC_16	N9	VCCINT
A9	IO_L14N_T2_SRCC_16	N7	VCCINT

管脚	符号	管脚	符号
D10	IO_L19N_T3_VREF_16	F12	VCCAUX
K6	IO_0_34	H12	VCCAUX
L1	IO_L1P_T0_34	K12	VCCAUX
M1	IO_L1N_T0_34	M12	VCCAUX
K3	IO_L2P_T0_34	R9	VCCO_0
L3	IO_L2N_T0_34	L17	VCCO_14
N2	IO_L3P_T0_DQS_34	N13	VCCO_14
N1	IO_L3N_T0_DQS_34	P16	VCCO_14
M3	IO_L4P_T0_34	T12	VCCO_14
M2	IO_L4N_T0_34	U15	VCCO_14
K5	IO_L5P_T0_34	V18	VCCO_14
L4	IO_L5N_T0_34	A17	VCCO_15
L6	IO_L6P_T0_34	C13	VCCO_15
L5	IO_L6N_T0_VREF_34	D16	VCCO_15
U1	IO_L7P_T1_34	G15	VCCO_15
V1	IO_L7N_T1_34	H18	VCCO_15
U4	IO_L8P_T1_34	K14	VCCO_15
U3	IO_L8N_T1_34	B10	VCCO_16
U2	IO_L9P_T1_DQS_34	K4	VCCO_34
V2	IO_L9N_T1_DQS_34	N3	VCCO_34
V5	IO_L10P_T1_34	P6	VCCO_34
V4	IO_L10N_T1_34	T2	VCCO_34
R3	IO_L11P_T1_SRCC_34	U5	VCCO_34
T3	IO_L11N_T1_SRCC_34	V8	VCCO_34
T5	IO_L12P_T1_MRCC_34	A7	VCCO_35
T4	IO_L12N_T1_MRCC_34	C3	VCCO_35
N5	IO_L13P_T2_MRCC_34	D6	VCCO_35
P5	IO_L13N_T2_MRCC_34	F2	VCCO_35
P4	IO_L14P_T2_SRCC_34	G5	VCCO_35
P3	IO_L14N_T2_SRCC_34	J1	VCCO_35
P2	IO_L15P_T2_DQS_34	F10	VCCBRAM
R2	IO_L15N_T2_DQS_34	G11	VCCBRAM

4.2 CS325 封装信息

HWDSL50T-1CS325产品为PBGA324封装（FC-BGA324），外形及引脚排列图如下图所示。



单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	—	—	1.43
A1	0.30	—	0.40
D	14.8	—	15.2
E	14.8	—	15.2
D1	—	13.6	—
E1	—	13.6	—
b	0.40	—	0.50
e	—	0.8	—

图4 HWDSL50T-1CS325 封装外形尺寸图及引脚排列图

HWDSL50T-1CS325 的封装引脚信息见下表所示

表 3 HWDSL50T-1CS325 封装引脚信息

管脚	符号	管脚	符号
F12	DONE_0	R5	IO_L21P_T3_DQS_34
M10	DXP_0	T5	IO_L21N_T3_DQS_34
J9	GNDADC_0	R7	IO_L22P_T3_34
J10	VCCADC_0	T7	IO_L22N_T3_34
L10	VREFP_0	U7	IO_L23P_T3_34
L9	VN_0	V6	IO_L23N_T3_34
E11	VCCBATT_0	V8	IO_L24P_T3_34
F8	TCK_0	V7	IO_L24N_T3_34
M9	DXN_0	R6	IO_25_34

管脚	符号	管脚	符号
K9	VREFN_0	A6	MGTRREF_216
K10	VP_0	D5	MGTREFCLK0N_216
E8	CCLK_0	D6	MGTREFCLK0P_216
R12	M0_0	A4	MGTPRXP1_216
R11	M1_0	C4	MGTPRXP2_216
T10	INIT_B_0	G4	MGTPRXP3_216
T9	TDI_0	E4	MGTPRXP0_216
T8	TDO_0	B2	MGTPTXP3_216
F13	M2_0	D2	MGTPTXP2_216
E12	CFGBVS_0	B6	MGTREFCLK1P_216
P10	PROGRAM_B_0	B5	MGTREFCLK1N_216
R8	TMS_0	A3	MGTPRXN1_216
L14	IO_0_14	C3	MGTPRXN2_216
K16	IO_L1P_T0_D00_MOSI_14	G3	MGTPRXN3_216
L17	IO_L1N_T0_D01_DIN_14	E3	MGTPRXN0_216
J15	IO_L2P_T0_D02_14	B1	MGTPTXN3_216
J16	IO_L2N_T0_D03_14	D1	MGTPTXN2_216
J18	IO_L3P_T0_DQS_PUDC_B_14	F2	MGTPTXP1_216
K18	IO_L3N_T0_DQS_EMCCCLK_14	F1	MGTPTXN1_216
K17	IO_L4P_T0_D04_14	H2	MGTPTXP0_216
L18	IO_L4N_T0_D05_14	H1	MGTPTXN0_216
J14	IO_L5P_T0_D06_14	G12	VCCAUX
K15	IO_L5N_T0_D07_14	H13	VCCAUX
L15	IO_L6P_T0_FCS_B_14	K13	VCCAUX
M15	IO_L6N_T0_D08_VREF_14	M13	VCCAUX
M16	IO_L7P_T1_D09_14	P13	VCCAUX
M17	IO_L7N_T1_D10_14	F7	VCCINT
M14	IO_L8P_T1_D11_14	F9	VCCINT
N14	IO_L8N_T1_D12_14	G8	VCCINT
N16	IO_L9P_T1_DQS_14	H7	VCCINT
N17	IO_L9N_T1_DQS_D13_14	H9	VCCINT
N18	IO_L10P_T1_D14_14	J8	VCCINT
P18	IO_L10N_T1_D15_14	J12	VCCINT
P15	IO_L11P_T1_SRCC_14	K7	VCCINT
P16	IO_L11N_T1_SRCC_14	K11	VCCINT
P14	IO_L12P_T1_MRCC_14	L8	VCCINT
R15	IO_L12N_T1_MRCC_14	L12	VCCINT
T14	IO_L13P_T2_MRCC_14	M7	VCCINT
T15	IO_L13N_T2_MRCC_14	M11	VCCINT
R16	IO_L14P_T2_SRCC_14	N8	VCCINT
R17	IO_L14N_T2_SRCC_14	N10	VCCINT
R18	IO_L15P_T2_DQS_RDWR_B_14	N12	VCCINT

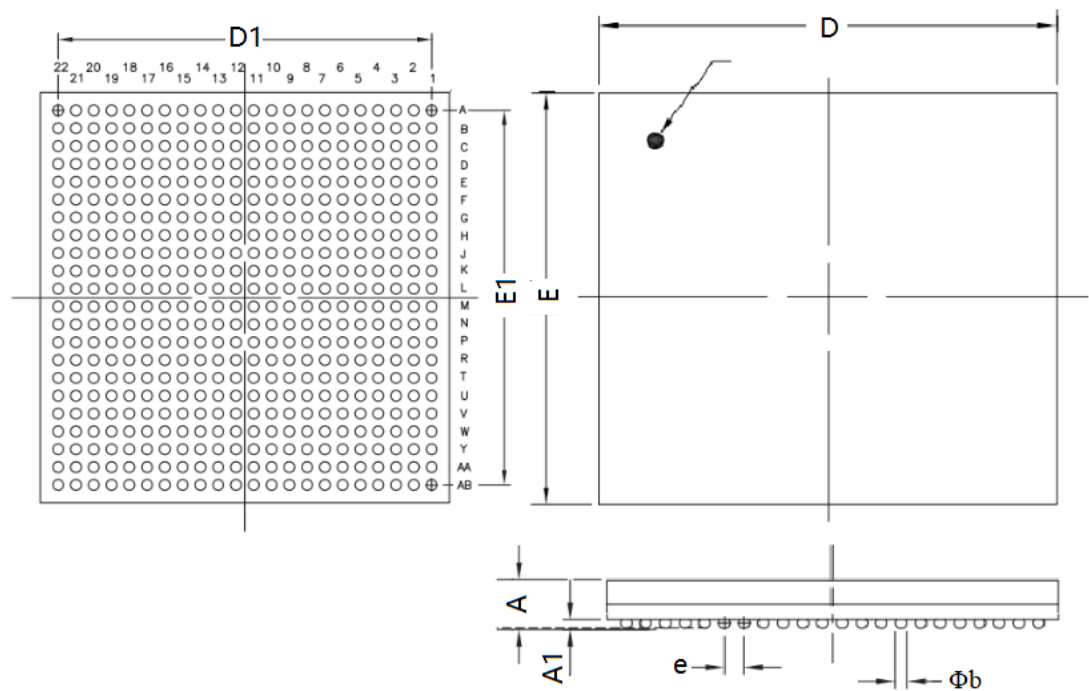
管脚	符号	管脚	符号
T18	IO_L15N_T2_DQS_DOUT_CSO_B_14	P9	VCCINT
T17	IO_L16P_T2_CSI_B_14	P11	VCCINT
U17	IO_L16N_T2_A15_D31_14	A1	GND
U15	IO_L17P_T2_A14_D30_14	A5	GND
U16	IO_L17N_T2_A13_D29_14	A7	GND
V16	IO_L18P_T2_A12_D28_14	A8	GND
V17	IO_L18N_T2_A11_D27_14	A11	GND
R13	IO_L19P_T3_A10_D26_14	A18	GND
T13	IO_L19N_T3_A09_D25_VREF_14	B3	GND
U14	IO_L20P_T3_A08_D24_14	B7	GND
V14	IO_L20N_T3_A07_D23_14	B8	GND
V12	IO_L21P_T3_DQS_14	B18	GND
V13	IO_L21N_T3_DQS_A06_D22_14	C2	GND
T12	IO_L22P_T3_A05_D21_14	C6	GND
U12	IO_L22N_T3_A04_D20_14	C7	GND
U11	IO_L23P_T3_A03_D19_14	C15	GND
V11	IO_L23N_T3_A02_D18_14	D3	GND
U9	IO_L24P_T3_A01_D17_14	D4	GND
V9	IO_L24N_T3_A00_D16_14	D7	GND
U10	IO_25_14	D12	GND
D10	IO_0_15	E2	GND
D8	IO_L1P_T0_AD0P_15	E6	GND
C8	IO_L1N_T0_AD0N_15	E7	GND
D9	IO_L2P_T0_AD8P_15	E9	GND
C9	IO_L2N_T0_AD8N_15	F4	GND
B9	IO_L3P_T0_DQS_AD1P_15	F6	GND
A9	IO_L3N_T0_DQS_AD1N_15	F10	GND
C11	IO_L4P_T0_15	F16	GND
B11	IO_L4N_T0_15	G1	GND
B10	IO_L5P_T0_AD9P_15	G5	GND
A10	IO_L5N_T0_AD9N_15	G6	GND
D11	IO_L6P_T0_15	G7	GND
C12	IO_L6N_T0_VREF_15	G9	GND
B12	IO_L7P_T1_AD2P_15	G11	GND
A12	IO_L7N_T1_AD2N_15	G13	GND
A13	IO_L8P_T1_AD10P_15	H3	GND
A14	IO_L8N_T1_AD10N_15	H4	GND
C14	IO_L9P_T1_DQS_AD3P_15	H5	GND
B15	IO_L9N_T1_DQS_AD3N_15	H6	GND
B14	IO_L10P_T1_AD11P_15	H8	GND
A15	IO_L10N_T1_AD11N_15	H10	GND
D13	IO_L11P_T1_SRCC_15	H12	GND

管脚	符号	管脚	符号
C13	IO_L11N_T1_SRCC_15	J1	GND
E13	IO_L12P_T1_MRCC_15	J2	GND
D14	IO_L12N_T1_MRCC_15	J3	GND
E15	IO_L13P_T2_MRCC_15	J7	GND
D15	IO_L13N_T2_MRCC_15	J11	GND
E16	IO_L14P_T2_SRCC_15	J13	GND
D16	IO_L14N_T2_SRCC_15	J17	GND
B16	IO_L15P_T2_DQS_15	K4	GND
A17	IO_L15N_T2_DQS_ADV_B_15	K8	GND
C16	IO_L16P_T2_A28_15	K12	GND
B17	IO_L16N_T2_A27_15	K14	GND
E17	IO_L17P_T2_A26_15	L1	GND
D18	IO_L17N_T2_A25_15	L7	GND
C17	IO_L18P_T2_A24_15	L11	GND
C18	IO_L18N_T2_A23_15	L13	GND
G17	IO_L19P_T3_A22_15	M8	GND
F18	IO_L19N_T3_A21_VREF_15	M12	GND
H16	IO_L20P_T3_A20_15	M18	GND
G16	IO_L20N_T3_A19_15	N5	GND
G15	IO_L21P_T3_DQS_15	N7	GND
F15	IO_L21N_T3_DQS_A18_15	N9	GND
G14	IO_L22P_T3_A17_15	N11	GND
F14	IO_L22N_T3_A16_15	N13	GND
H17	IO_L23P_T3_FOE_B_15	N15	GND
H18	IO_L23N_T3_FWE_B_15	P2	GND
F17	IO_L24P_T3_RS1_15	P8	GND
E18	IO_L24N_T3_RS0_15	P12	GND
H14	IO_25_15	R9	GND
J6	IO_0_34	T6	GND
K6	IO_L1P_T0_34	T16	GND
K5	IO_L1N_T0_34	U3	GND
J5	IO_L2P_T0_34	U13	GND
J4	IO_L2N_T0_34	V1	GND
K2	IO_L3P_T0_DQS_34	V10	GND
K1	IO_L3N_T0_DQS_34	V18	GND
K3	IO_L4P_T0_34	E10	VCCO_0
L2	IO_L4N_T0_34	R10	VCCO_0
L4	IO_L5P_T0_34	L16	VCCO_14
L3	IO_L5N_T0_34	P17	VCCO_14
L5	IO_L6P_T0_34	R14	VCCO_14
M5	IO_L6N_T0_VREF_34	T11	VCCO_14
M2	IO_L7P_T1_34	U8	VCCO_14

管脚	符号	管脚	符号
M1	IO_L7N_T1_34	U18	VCCO_14
M6	IO_L8P_T1_34	V15	VCCO_14
N6	IO_L8N_T1_34	A16	VCCO_15
N1	IO_L9P_T1_DQS_34	B13	VCCO_15
P1	IO_L9N_T1_DQS_34	C10	VCCO_15
M4	IO_L10P_T1_34	D17	VCCO_15
N4	IO_L10N_T1_34	E14	VCCO_15
N3	IO_L11P_T1_SRCC_34	G18	VCCO_15
N2	IO_L11N_T1_SRCC_34	H15	VCCO_15
P4	IO_L12P_T1_MRCC_34	L6	VCCO_34
P3	IO_L12N_T1_MRCC_34	M3	VCCO_34
R2	IO_L13P_T2_MRCC_34	P7	VCCO_34
R1	IO_L13N_T2_MRCC_34	R4	VCCO_34
R3	IO_L14P_T2_SRCC_34	T1	VCCO_34
T2	IO_L14N_T2_SRCC_34	V5	VCCO_34
U2	IO_L15P_T2_DQS_34	F11	VCCBRAM
U1	IO_L15N_T2_DQS_34	G10	VCCBRAM
V3	IO_L16P_T2_34	H11	VCCBRAM
V2	IO_L16N_T2_34	B4	MGTAVCC
T4	IO_L17P_T2_34	C5	MGTAVCC
T3	IO_L17N_T2_34	E5	MGTAVCC
U4	IO_L18P_T2_34	F5	MGTAVCC
V4	IO_L18N_T2_34	A2	MGTAVTT
P6	IO_L19P_T3_34	C1	MGTAVTT
P5	IO_L19N_T3_VREF_34	E1	MGTAVTT
U6	IO_L20P_T3_34	F3	MGTAVTT
U5	IO_L20N_T3_34	G2	MGTAVTT

4.3 FG484 封装信息

HWDSL50T-1FG484 产品为 PBGA484 封装（FC-BGA484），外形及引脚排列图如下图所示



单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	—	—	1.58
A1	0.40	—	0.60
D	22.80	—	23.20
E	22.80	—	23.20
D1	—	21.00	—
E1	—	21.00	—
b	0.50	—	0.70
e	—	1.00	—

图5 HWDSL50T-1FG484 封装外形尺寸图

HWDSL50T-1FG484 的封装引脚信息见下表所示

表 4 HWDSL50T-1FG484 的封装引脚信息见下表所示

管脚	符号	管脚	符号
G11	DONE_0	H3	IO_L11P_T1_SRCC_35
N10	DXP_0	G3	IO_L11N_T1_SRCC_35
K9	GNDADC_0	H4	IO_L12P_T1_MRCC_35
K10	VCCADC_0	G4	IO_L12N_T1_MRCC_35
M10	VREFP_0	K4	IO_L13P_T2_MRCC_35
M9	VN_0	J4	IO_L13N_T2_MRCC_35
E12	VCCBATT_0	L3	IO_L14P_T2_SRCC_35
V12	TCK_0	K3	IO_L14N_T2_SRCC_35
N9	DXN_0	M1	IO_L15P_T2_DQS_35

L9	VREFN_0	L1	IO_L15N_T2_DQS_35
L10	VP_0	M3	IO_L16P_T2_35
L12	CCLK_0	M2	IO_L16N_T2_35
U11	M0_0	K6	IO_L17P_T2_35
U10	M1_0	J6	IO_L17N_T2_35
U12	INIT_B_0	L5	IO_L18P_T2_35
R13	TDI_0	L4	IO_L18N_T2_35
U13	TDO_0	N4	IO_L19P_T3_35
U9	M2_0	N3	IO_L19N_T3_VREF_35
U8	CFGBVS_0	R1	IO_L20P_T3_35
N12	PROGRAM_B_0	P1	IO_L20N_T3_35
T13	TMS_0	P5	IO_L21P_T3_DQS_35
P20	IO_0_14	P4	IO_L21N_T3_DQS_35
P22	IO_L1P_T0_D00_MOSI_14	P2	IO_L22P_T3_35
R22	IO_L1N_T0_D01_DIN_14	N2	IO_L22N_T3_35
P21	IO_L2P_T0_D02_14	M6	IO_L23P_T3_35
R21	IO_L2N_T0_D03_14	M5	IO_L23N_T3_35
U22	IO_L3P_T0_DQS_PUDC_B_14	P6	IO_L24P_T3_35
V22	IO_L3N_T0_DQS_EMCCCLK_14	N5	IO_L24N_T3_35
T21	IO_L4P_T0_D04_14	L6	IO_25_35
U21	IO_L4N_T0_D05_14	F8	MGTREF_216
P19	IO_L5P_T0_D06_14	E6	MGTREFCLK0N_216
R19	IO_L5N_T0_D07_14	F6	MGTREFCLK0P_216
T19	IO_L6P_T0_FCS_B_14	D11	MGTTPRXP1_216
T20	IO_L6N_T0_D08_VREF_14	B10	MGTTPRXP2_216
W21	IO_L7P_T1_D09_14	D9	MGTTPRXP3_216
W22	IO_L7N_T1_D10_14	B8	MGTTPRXP0_216
AA20	IO_L8P_T1_D11_14	D7	MGTTPXP3_216
AA21	IO_L8N_T1_D12_14	B6	MGTTPXP2_216
Y21	IO_L9P_T1_DQS_14	F10	MGTREFCLK1P_216
Y22	IO_L9N_T1_DQS_D13_14	E10	MGTREFCLK1N_216
AB21	IO_L10P_T1_D14_14	C11	MGTTPRXN1_216
AB22	IO_L10N_T1_D15_14	A10	MGTTPRXN2_216
U20	IO_L11P_T1_SRCC_14	C9	MGTTPRXN3_216
V20	IO_L11N_T1_SRCC_14	A8	MGTTPRXN0_216
W19	IO_L12P_T1_MRCC_14	C7	MGTTPTXN3_216
W20	IO_L12N_T1_MRCC_14	A6	MGTTPTXN2_216
Y18	IO_L13P_T2_MRCC_14	D5	MGTTPXP1_216
Y19	IO_L13N_T2_MRCC_14	C5	MGTTPTXN1_216
V18	IO_L14P_T2_SRCC_14	B4	MGTTPXP0_216
V19	IO_L14N_T2_SRCC_14	A4	MGTTPTXN0_216
AA19	IO_L15P_T2_DQS_RDWR_B_14	D6	MGTAVCC
AB20	IO_L15N_T2_DQS_DOUT_CSO_B_14	D10	MGTAVCC

V17	IO_L16P_T2_CSI_B_14	F7	MGTAVCC
W17	IO_L16N_T2_A15_D31_14	F9	MGTAVCC
AA18	IO_L17P_T2_A14_D30_14	E8	MGTAVCC
AB18	IO_L17N_T2_A13_D29_14	B5	MGTAVTT
U17	IO_L18P_T2_A12_D28_14	B7	MGTAVTT
U18	IO_L18N_T2_A11_D27_14	B9	MGTAVTT
P14	IO_L19P_T3_A10_D26_14	B11	MGTAVTT
R14	IO_L19N_T3_A09_D25_VREF_14	C4	MGTAVTT
R18	IO_L20P_T3_A08_D24_14	C8	MGTAVTT
T18	IO_L20N_T3_A07_D23_14	D8	GND
N17	IO_L21P_T3_DQS_14	A2	GND
P17	IO_L21N_T3_DQS_A06_D22_14	A3	GND
P15	IO_L22P_T3_A05_D21_14	A5	GND
R16	IO_L22N_T3_A04_D20_14	A7	GND
N13	IO_L23P_T3_A03_D19_14	A9	GND
N14	IO_L23N_T3_A02_D18_14	A11	GND
P16	IO_L24P_T3_A01_D17_14	A12	GND
R17	IO_L24N_T3_A00_D16_14	A22	GND
N15	IO_25_14	AA2	GND
J16	IO_0_15	AA12	GND
H13	IO_L1P_T0_AD0P_15	AA22	GND
G13	IO_L1N_T0_AD0N_15	AB9	GND
G15	IO_L2P_T0_AD8P_15	AB19	GND
G16	IO_L2N_T0_AD8N_15	B3	GND
J14	IO_L3P_T0_DQS_AD1P_15	B12	GND
H14	IO_L3N_T0_DQS_AD1N_15	B19	GND
G17	IO_L4P_T0_15	C3	GND
G18	IO_L4N_T0_15	C6	GND
J15	IO_L5P_T0_AD9P_15	C10	GND
H15	IO_L5N_T0_AD9N_15	C12	GND
H17	IO_L6P_T0_15	C16	GND
H18	IO_L6N_T0_VREF_15	D3	GND
J22	IO_L7P_T1_AD2P_15	D4	GND
H22	IO_L7N_T1_AD2N_15	D12	GND
H20	IO_L8P_T1_AD10P_15	D13	GND
G20	IO_L8N_T1_AD10N_15	E4	GND
K21	IO_L9P_T1_DQS_AD3P_15	E5	GND
K22	IO_L9N_T1_DQS_AD3N_15	E7	GND
M21	IO_L10P_T1_AD11P_15	E9	GND
L21	IO_L10N_T1_AD11N_15	E11	GND
J20	IO_L11P_T1_SRCC_15	E20	GND
J21	IO_L11N_T1_SRCC_15	F5	GND
J19	IO_L12P_T1_MRCC_15	F11	GND

H19	IO_L12N_T1_MRCC_15	F17	GND
K18	IO_L13P_T2_MRCC_15	G5	GND
K19	IO_L13N_T2_MRCC_15	G6	GND
L19	IO_L14P_T2_SRCC_15	G7	GND
L20	IO_L14N_T2_SRCC_15	G8	GND
N22	IO_L15P_T2_DQS_15	G9	GND
M22	IO_L15N_T2_DQS_ADV_B_15	G10	GND
M18	IO_L16P_T2_A28_15	G12	GND
L18	IO_L16N_T2_A27_15	G14	GND
N18	IO_L17P_T2_A26_15	H1	GND
N19	IO_L17N_T2_A25_15	H7	GND
N20	IO_L18P_T2_A24_15	H9	GND
M20	IO_L18N_T2_A23_15	H11	GND
K13	IO_L19P_T3_A22_15	H21	GND
K14	IO_L19N_T3_A21_VREF_15	J8	GND
M13	IO_L20P_T3_A20_15	J10	GND
L13	IO_L20N_T3_A19_15	J12	GND
K17	IO_L21P_T3_DQS_15	J18	GND
J17	IO_L21N_T3_DQS_A18_15	K5	GND
L14	IO_L22P_T3_A17_15	K7	GND
L15	IO_L22N_T3_A16_15	K11	GND
L16	IO_L23P_T3_FOE_B_15	K15	GND
K16	IO_L23N_T3_FWE_B_15	L2	GND
M15	IO_L24P_T3_RS1_15	L8	GND
M16	IO_L24N_T3_RS0_15	L22	GND
M17	IO_25_15	M7	GND
F15	IO_0_16	M11	GND
F13	IO_L1P_T0_16	M19	GND
F14	IO_L1N_T0_16	N6	GND
F16	IO_L2P_T0_16	N8	GND
E17	IO_L2N_T0_16	N16	GND
C14	IO_L3P_T0_DQS_16	P3	GND
C15	IO_L3N_T0_DQS_16	P7	GND
E13	IO_L4P_T0_16	P9	GND
E14	IO_L4N_T0_16	P11	GND
E16	IO_L5P_T0_16	P13	GND
D16	IO_L5N_T0_16	R8	GND
D14	IO_L6P_T0_16	R10	GND
D15	IO_L6N_T0_VREF_16	R12	GND
B15	IO_L7P_T1_16	R20	GND
B16	IO_L7N_T1_16	T7	GND
C13	IO_L8P_T1_16	T9	GND
B13	IO_L8N_T1_16	T11	GND

A15	IO_L9P_T1_DQS_16	T17	GND
A16	IO_L9N_T1_DQS_16	U4	GND
A13	IO_L10P_T1_16	U14	GND
A14	IO_L10N_T1_16	V1	GND
B17	IO_L11P_T1_SRCC_16	V11	GND
B18	IO_L11N_T1_SRCC_16	V21	GND
D17	IO_L12P_T1_MRCC_16	W8	GND
C17	IO_L12N_T1_MRCC_16	W18	GND
C18	IO_L13P_T2_MRCC_16	Y5	GND
C19	IO_L13N_T2_MRCC_16	Y15	GND
E19	IO_L14P_T2_SRCC_16	H8	VCCINT
D19	IO_L14N_T2_SRCC_16	H10	VCCINT
F18	IO_L15P_T2_DQS_16	J7	VCCINT
E18	IO_L15N_T2_DQS_16	J9	VCCINT
B20	IO_L16P_T2_16	K8	VCCINT
A20	IO_L16N_T2_16	L7	VCCINT
A18	IO_L17P_T2_16	M8	VCCINT
A19	IO_L17N_T2_16	N7	VCCINT
F19	IO_L18P_T2_16	P8	VCCINT
F20	IO_L18N_T2_16	P10	VCCINT
D20	IO_L19P_T3_16	R7	VCCINT
C20	IO_L19N_T3_VREF_16	R9	VCCINT
C22	IO_L20P_T3_16	T8	VCCINT
B22	IO_L20N_T3_16	T10	VCCINT
B21	IO_L21P_T3_DQS_16	H12	VCCAUX
A21	IO_L21N_T3_DQS_16	K12	VCCAUX
E22	IO_L22P_T3_16	M12	VCCAUX
D22	IO_L22N_T3_16	P12	VCCAUX
E21	IO_L23P_T3_16	R11	VCCAUX
D21	IO_L23N_T3_16	F12	VCCO_0
G21	IO_L24P_T3_16	T12	VCCO_0
G22	IO_L24N_T3_16	AA17	VCCO_13
F21	IO_25_16	AB14	VCCO_13
T3	IO_0_34	V16	VCCO_13
T1	IO_L1P_T0_34	W13	VCCO_13
U1	IO_L1N_T0_34	Y10	VCCO_13
U2	IO_L2P_T0_34	M14	VCCO_14
V2	IO_L2N_T0_34	P18	VCCO_14
R3	IO_L3P_T0_DQS_34	R15	VCCO_14
R2	IO_L3N_T0_DQS_34	T22	VCCO_14
W2	IO_L4P_T0_34	U19	VCCO_14
Y2	IO_L4N_T0_34	Y20	VCCO_14
W1	IO_L5P_T0_34	G19	VCCO_15

Y1	IO_L5N_T0_34	H16	VCCO_15
U3	IO_L6P_T0_34	J13	VCCO_15
V3	IO_L6N_T0_VREF_34	K20	VCCO_15
AA1	IO_L7P_T1_34	L17	VCCO_15
AB1	IO_L7N_T1_34	N21	VCCO_15
AB3	IO_L8P_T1_34	A17	VCCO_16
AB2	IO_L8N_T1_34	B14	VCCO_16
Y3	IO_L9P_T1_DQS_34	C21	VCCO_16
AA3	IO_L9N_T1_DQS_34	D18	VCCO_16
AA5	IO_L10P_T1_34	E15	VCCO_16
AB5	IO_L10N_T1_34	F22	VCCO_16
Y4	IO_L11P_T1_SRCC_34	AA7	VCCO_34
AA4	IO_L11N_T1_SRCC_34	AB4	VCCO_34
V4	IO_L12P_T1_MRCC_34	R5	VCCO_34
W4	IO_L12N_T1_MRCC_34	T2	VCCO_34
R4	IO_L13P_T2_MRCC_34	V6	VCCO_34
T4	IO_L13N_T2_MRCC_34	W3	VCCO_34
T5	IO_L14P_T2_SRCC_34	C1	VCCO_35
U5	IO_L14N_T2_SRCC_34	F2	VCCO_35
W6	IO_L15P_T2_DQS_34	H6	VCCO_35
W5	IO_L15N_T2_DQS_34	J3	VCCO_35
U6	IO_L16P_T2_34	M4	VCCO_35
V5	IO_L16N_T2_34	N1	VCCO_35
R6	IO_L17P_T2_34	J11	VCCBRAM
T6	IO_L17N_T2_34	L11	VCCBRAM
Y6	IO_L18P_T2_34	N11	VCCBRAM
AA6	IO_L18N_T2_34	T14	NC
V7	IO_L19P_T3_34	T15	NC
W7	IO_L19N_T3_VREF_34	T16	NC
AB7	IO_L20P_T3_34	U15	NC
AB6	IO_L20N_T3_34	U16	NC
V9	IO_L21P_T3_DQS_34	V10	NC
V8	IO_L21N_T3_DQS_34	V13	NC
AA8	IO_L22P_T3_34	V14	NC
AB8	IO_L22N_T3_34	V15	NC
Y8	IO_L23P_T3_34	W10	NC
Y7	IO_L23N_T3_34	W11	NC
W9	IO_L24P_T3_34	W12	NC
Y9	IO_L24N_T3_34	W14	NC
U7	IO_25_34	W15	NC
F4	IO_0_35	W16	NC
B1	IO_L1P_T0_AD4P_35	Y11	NC
A1	IO_L1N_T0_AD4N_35	Y12	NC

C2	IO_L2P_T0_AD12P_35	Y13	NC
B2	IO_L2N_T0_AD12N_35	Y14	NC
E1	IO_L3P_T0_DQS_AD5P_35	Y16	NC
D1	IO_L3N_T0_DQS_AD5N_35	Y17	NC
E2	IO_L4P_T0_35	AA9	NC
D2	IO_L4N_T0_35	AA10	NC
G1	IO_L5P_T0_AD13P_35	AA11	NC
F1	IO_L5N_T0_AD13N_35	AA13	NC
F3	IO_L6P_T0_35	AA14	NC
E3	IO_L6N_T0_VREF_35	AA15	NC
K1	IO_L7P_T1_AD6P_35	AA16	NC
J1	IO_L7N_T1_AD6N_35	AB10	NC
H2	IO_L8P_T1_AD14P_35	AB11	NC
G2	IO_L8N_T1_AD14N_35	AB12	NC
K2	IO_L9P_T1_DQS_AD7P_35	AB13	NC
J2	IO_L9N_T1_DQS_AD7N_35	AB15	NC
J5	IO_L10P_T1_AD15P_35	AB16	NC
H5	IO_L10N_T1_AD15N_35	AB17	NC

4.4 引脚描述

HWDSL50T引脚描述如下表所示。

表 5 引出端功能说明

引脚名	类型	方向	描述
用户 IO			
IO_LXXY_# IO_XX_#	用户引脚	输入/输出	大多数用户 I/O 引脚都能用作差分信号，并配对。每个 BANK 顶部和底部的 I/O 一直是单端。用户 I/O 引脚被命名为“IO_LXXY_#”格式，其中： “IO”表示这是一个用户 IO 引脚； “LXXY”表示组（Bank）上唯一的编号为 XX 的差分对，“Y”取 P 或者 N，分别表示这对差分对的正负极； “#”表示引脚所在的组号；
配置引脚			
CCLK_0	专用引脚	输入/输出	配置时钟。主模式下为输出，从模式下为输入。
DONE_0	专用引脚	双向	DONE 信号指示配置的成功完成。（高有效）
INIT_B_0	专用引脚	双向 开漏输出	指示配置存储器的初始化。（低有效）

引脚名	类型	方向	描述
M0_0, M1_0, or M2_0	专用引脚	输入	配置模式选择。
PROGRAM_B_0	专用引脚	输入	异步复位配置逻辑。(低有效)
TCK_0	专用引脚	输入	JTAG 时钟
TDI_0	专用引脚	输入	JTAG 数据输入
TDO_0	专用引脚	输出	JTAG 数据输出
TMS_0	专用引脚	输入	JTAG 模式选择
CFG_BVS_0	专用引脚	输入	该引脚为专用和复用配置 Bank0, 14, 15 选择预配置 I/O 标准类型。如果 Bank0, 14, 15 的 VCCO 是 2.5V 或者 3.3V, 那么该引脚必须连接到 VCCO_0。如果 Bank0, 14, 15 的 VCCO 小于或者等于 1.8V, 那么该引脚必须连接到地。 注意: 为了避免设备损毁, 该引脚必须正确连接。
D00 ~D31	复用引脚	双向	配置数据引脚
ADV_B	复用引脚	输出	BPI flash 地址有效输出 (低有效)
A00 ~A28	复用引脚	输出	BPI 地址输出, 地址 A00 ~A28
RS0 或 RS1	复用引脚	输出	RS0 和 RS1 修订选择输出
FCS_B	复用引脚	输出	BPI 和 SPI flash 的片选信号 (低有效)
FOE_B	复用引脚	输出	BPI flash 输出使能 (低有效)
MOSI	复用引脚	输出	SPI flash 命令输出。也被看做 SPI 总线主模式输出, 从模式输入信号。
FWE_B	复用引脚	输出	BPI flash 写使能 (低有效)
DOUT	复用引脚	输出	串行菊花链的数据输出
CSO_B	复用引脚	输出	并行菊花链的片选输出 (低有效)
CSI_B	复用引脚	输入	SelcetMAP 片选输入 (低有效)
PUDC_B	复用引脚	输入	配置期间上拉 上电后和配置期间, PUDC_B 输入在用户 IO 引脚上使能内部上拉电阻。(低有效) 当 PUDC_B 为低, 在每一个用户 IO 引脚上使能内部上拉电阻。 当 PUDC_B 为高, 每一个用户 IO 引脚上的内部上拉电阻被取消。 PUDC_B 必须连接到地或者直接连接到 VCCO_14 (通过 1K Ω 或者更低的电阻)。
RDWR_B	复用引脚	输入	SelectMAP 数据总线方向控制信号, 为高代表读

引脚名	类型	方向	描述
			配置数据，为低代表写配置数据。
EMCCLK	复用引脚	输入	外部主配置时钟。
电源/地引脚			
GND	专用引脚	N/A	地。
VCCAUX	专用引脚	N/A	辅助电路的 1.8V 电源支持引脚。
VCCINT	专用引脚	N/A	内部核逻辑的 0.9V/1.0V 电源支持引脚。
VCCO_#	专用引脚	N/A	输出驱动电源支持引脚（每个 Bank）
VCCBRAM	专用引脚	N/A	FPGA 逻辑块 RAM 的 1.0V 电源支持引脚。
VCCBATT_0	专用引脚	N/A	解密密钥存储器备份电源支持，当不使用时，该引脚应该接到合适的 VCC 或地。
VREF	复用引脚	N/A	电压输入门限引脚，当不需要外部电压门限时，这些引脚变为用户 I/O。（每个 Bank）
模数转换器引脚			
VCCADC_0	专用引脚	N/A	XADC 模拟电源
GNDADC_0	专用引脚	N/A	XADC 模拟地
VP_0	专用引脚	输入	XADC 专用差分模拟输入（正极）
VN_0	专用引脚	输入	XADC 专用差分模拟输入（负极）
VREFP_0	专用引脚	N/A	1.25V 参考输入
VREFN_0	专用引脚	N/A	1.25V 参考地
AD0P ~ AD15P AD0N ~ AD15N	复用引脚	输入	XADC 差分辅助模拟输入 0-15
高速串行接口引脚			
MGTPRXP[0:3]	专用引脚	输入	SERDES Quad 的差分接收端口正极
MGTPRXN[0:3]	专用引脚	输入	SERDES Quad 的差分接收端口负极
MGTPTXP[0:3]	专用引脚	输出	SERDES Quad 的差分发送端口正极
MGTPTXN[0:3]	专用引脚	输出	SERDES Quad 的差分发送端口负极
MGTAVCC_G#	专用引脚	输入	发送、接收内部电路的 1.0V 模拟电源
MGTAVTT_G#	专用引脚	输入	发送驱动电路的 1.2V 模拟电源
MGTREFCLK0/1P	专用引脚	输入	发送端差分参考时钟正极
MGTREFCLK0/1N	专用引脚	输入	发送端差分参考时钟负极
MGTRREF	专用引脚	输入	为终端电阻调节电路提供的参考电阻

引脚名	类型	方向	描述
其它			
MRCC	复用引脚	Input	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。此外还可以驱动 BUFMRs 提供多区域 BUFIO 和 BUFR 支持。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P 端。当用于单个时钟域时，MRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
SRCC	复用引脚	Input	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P 端。当用于单个时钟域时，SRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
VRN	专用引脚	N/A	参考电阻的 N 端的 DCI 电压（每个 Bank，由参考电阻上拉）
VRP	专用引脚	N/A	参考电阻的 P 端的 DCI 电压（每个 Bank，由参考电阻下拉）
DXP_0, DXN_0	专用引脚	Input	温敏二极管管脚（正极 DXP，负极 DXN）。使用位于 Bank0 的 DXP、DXN 访问二极管。不使用时接 0。为使用此二极管，必须添加适当的外部热监测 IC 电路。推荐使用 XADC 内部的温度传感器来监测温度。
T0, T1, T2, T3	复用引脚	Input	属于存储字节组的 0~3。
T0_DQS, T1_DQS, T2_DQS, T3_DQS	复用引脚	Input	DDR DQS 选通管脚, 属于存储字节组的 T0~T3。

4.5 HWDSL50T 焊盘推荐

HWDSL50T-1CS324焊盘推荐如下图所示，用户可根据焊接要求进行调整。

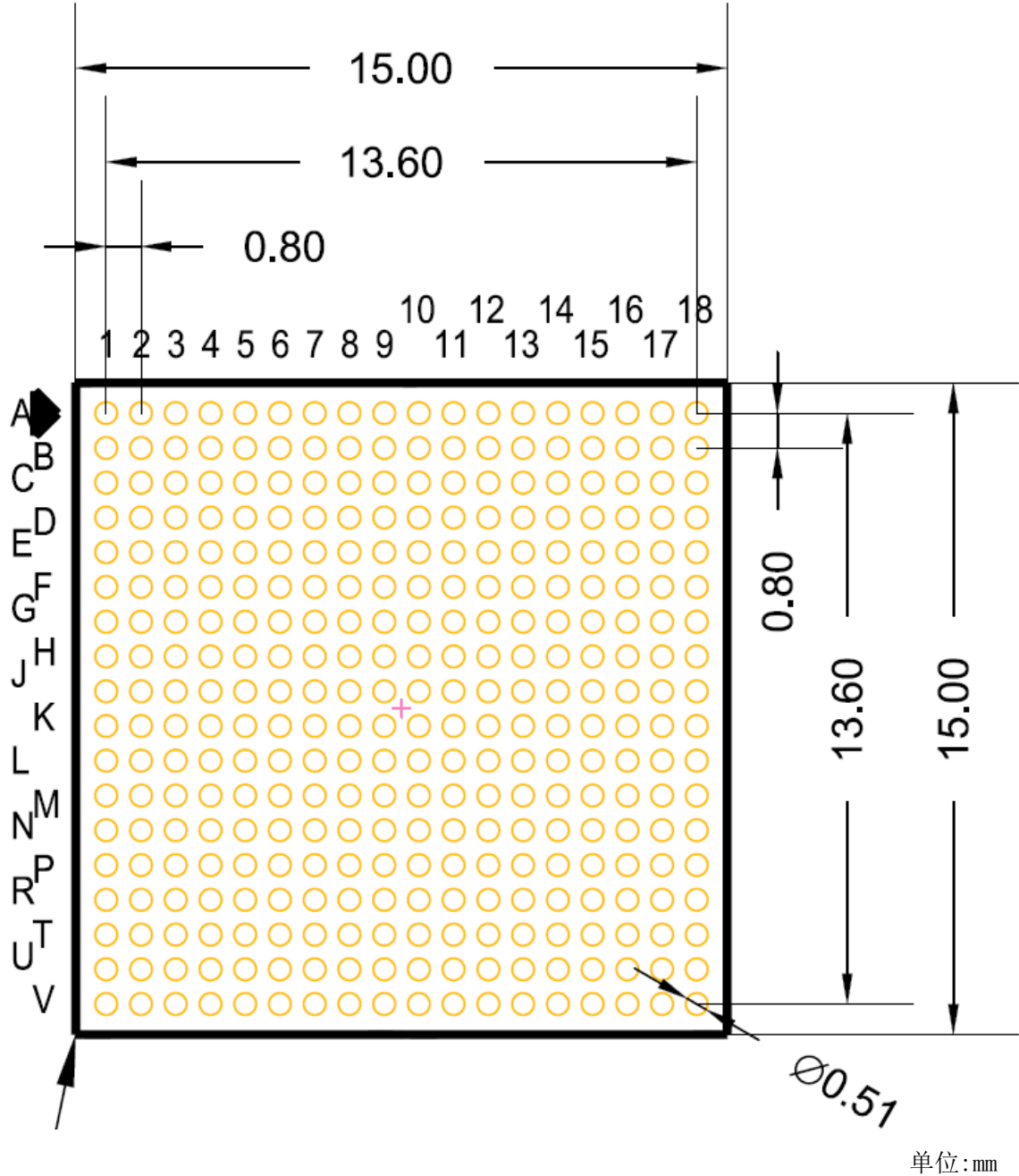


图6 HWDSL50T-1CS324 推荐焊盘图

HWDSL50T-1CS325焊盘推荐如下图所示，用户可根据焊接要求进行调整。

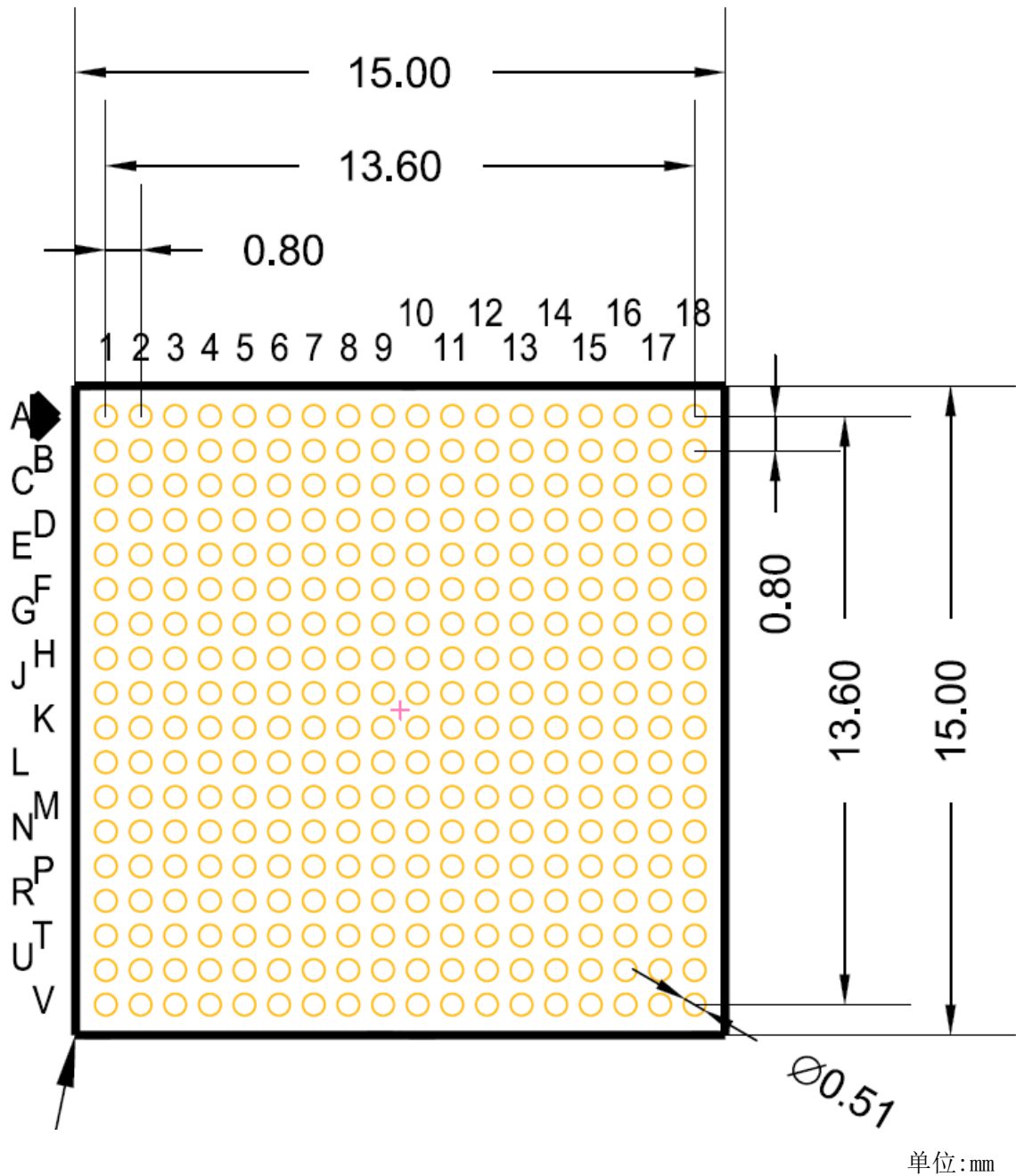
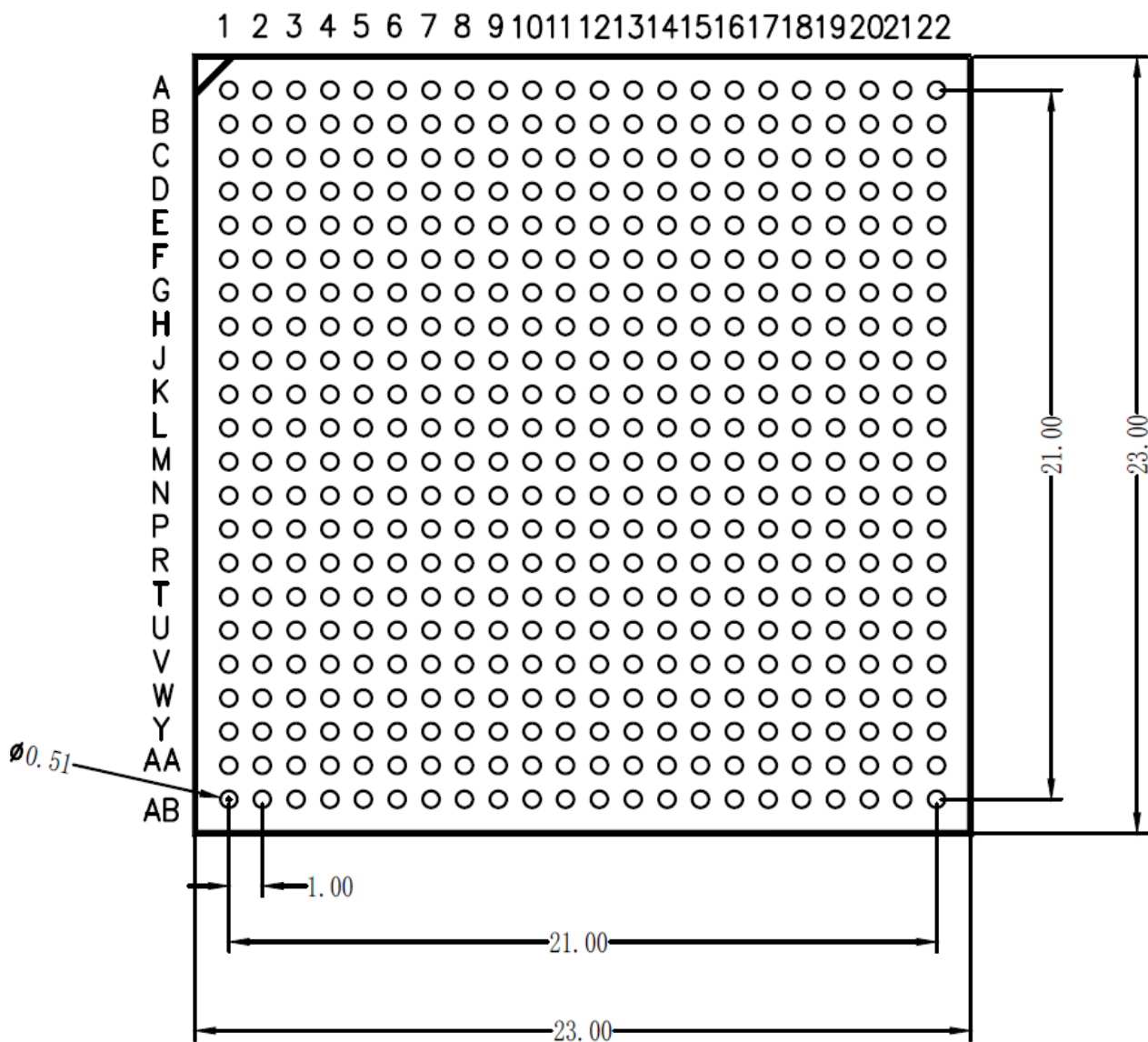


图7 HWDSL50T-1CS325 推荐焊盘图

HWDSL50T-1FG484焊盘推荐如下图所示，用户可根据焊接要求进行调整。



单位:mm

图8 HWDSL50T-1FG484 推荐焊盘图

4.6 HWDSL50T 焊接推荐

HWDSL50T产品属于PBGA器件封装，封装焊球材料均为Sn96.5/Ag3.0/Cu0.5无铅焊球，推荐回流焊曲线如下图所示。

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3°C/s
预热温度 150°C~200°C	60s~120s
熔点以上温度保持时间（回流时间）	60s~120s
低于峰值温度 5°C以内的保持时间	最大 30s

引脚或焊球峰值温度	最低 235°C，典型温度 245°C，不超过 260°C
降温速度	最大 6°C/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338 SAC305
备注	请根据选用的焊膏特性作相应的调整

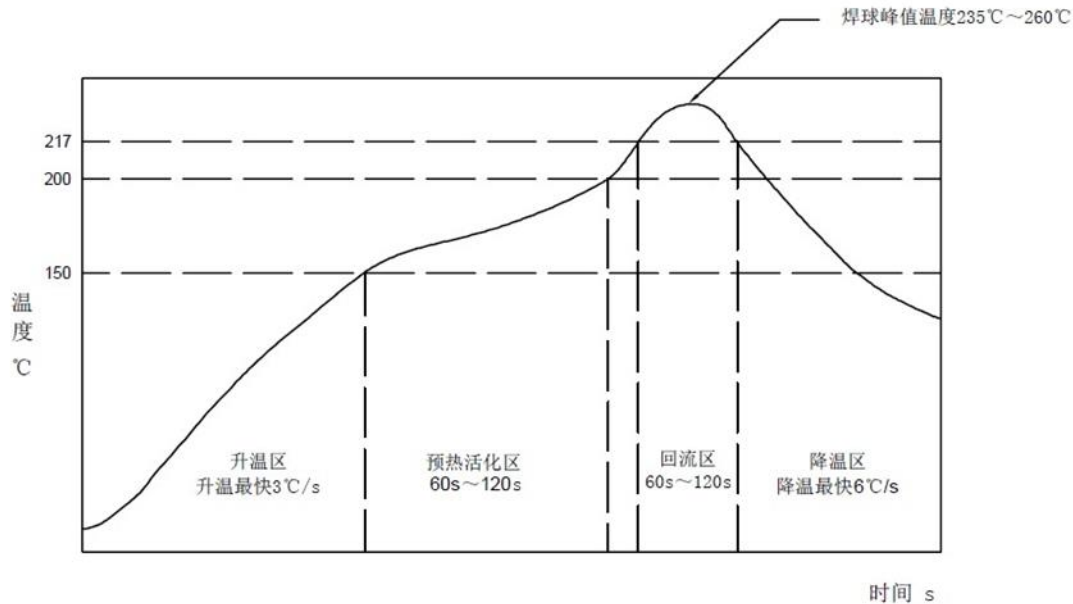


图9 HWDSL50T 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

表 6 绝对最大额定值

序号	参数名称	参数值
1	内核电源 (V_{CCINT})	-0.5V~1.1V
2	辅助电源 (V_{CCAUX})	-0.5V~2.0V
3	内部块 RAM 电源 (V_{CCBRAM})	-0.5V~1.1V
4	用户 IO 电源 (V_{CCO})	-0.5V~3.6V
5	输入参考电压 (V_{REF})	-0.5V~2.0V
6	用户 IO 输入电压 (V_{IN}) (2)	-0.4V~ $V_{CCO}+0.55V$
7	密钥存储备用电池电压 (V_{CCBATT})	-0.5V~2.0V
8	高速收发器模拟电源 ($V_{MGTAVCC}$)	-0.5V~1.1V
9	高速收发器端接电路电源 ($V_{MGTAVTT}$)	-0.5V~1.32V

10	高速收发器参考时钟绝对输入电压 ($V_{MGTREFCLK}$)	-0.5V~1.32V
12	ADC 相对 GNDADC 的电源电压 (V_{CCADC})	-0.5V~2.0V
13	相对 GNDADC 外部提供的参考电压 (V_{REFP})	-0.5V~2.0V
14	储存环境温度 (T_{STG})	-65°C~+150°C
15	封装引脚无铅焊球最大焊接温度 (T_{SOL})	260°C
16	器件结温 (军温 N1 级) (T_J)	-55°C~+125°C
17	器件结温 (工业 I 级) (T_J)	-40°C~+100°C
18	器件结温 (工业 C 级) (T_J)	0°C~+85°C

注 1: 器件在上述所列“绝对最大额定值”下工作, 可能对该器件造成永久性损坏。

注 2: 最大极限适用于输入直流信号。输入交流信号最大过冲和过冲规格见表 3 2。

5.2 推荐工作范围

表 7 推荐工作范围

序号	参数名称	参数值
1	内核电源 (V_{CCINT}) (2)	0.97V~1.03V
2	辅助电源 (V_{CCAUX}) (2)	1.71V~1.89V
3	内部块 RAM 电源 (V_{CCBRAM})	0.97V~1.03V
4	用户 IO 电源 (V_{CCO}) (3)	1.14V~3.465V
5	用户 IO 输入电压 (V_{IN}) (4)	-0.2V~ $V_{CCO}+0.2V$
6	密钥存储备用电池电压 (V_{CCBATT}) (5)	1.0V~1.89V
7	高速收发器模拟电源 ($V_{MGTAVCC}$) (5)	0.97V~1.03V
8	高速收发器端接电路电源 ($V_{MGTAVTT}$) (6)	1.17V~1.23V
9	ADC 相对 GNDADC 的电源电压 (V_{CCADC})	1.71V~1.89V
10	相对 GNDADC 外部提供的参考电压 (V_{REFP})	1.20V~1.30V
11	器件工作壳温 (T_C)	-55°C~125°C

注 1: 所有的电压值都是相对于大地的。

注 2: V_{CCINT} 和 V_{CCBRAM} 应该连接到相同的供电电源。

注 3: 即使 V_{CCO} 下降到 0V, 配置数据仍然会被保留。

注 4: 每个 IO Bank 总和不能超过 200 mA。

注 5: 只有在使用位流加密时才需要 V_{CCBATT} ; 如果没有使用电池, V_{CCBATT} 连接到大地或 V_{CCAUX} 。

注 6: 列出的每个电压都需要采用本器件的产品应用手册中描述的滤波电路

表 8 器件上电需求最小电流

序号	参数名称	参数值
1	内核电源最小电流 ($I_{CCINTMIN}$)	$I_{CCINTQ} + 120mA$
2	辅助电源最小电流 ($I_{CCAUXMIN}$)	$I_{CCAUXQ} + 40mA$
3	用户 IO 电源最小电流 (I_{CCOMIN})	$I_{CCOQ} + 40\text{ mA /IO Bank}$
4	内部块 RAM 电源最小电流 ($I_{CCBRAMMIN}$)	$I_{CCBRAMQ} + 60\text{ mA}$

表 9 器件上电上升时间

序号	参数名称	参数值
1	内核电源电压上电时间	0.20ms~50ms
2	辅助电源电压上电时间	0.20ms~50ms
3	IO 电源电压上电时间	0.20ms~50ms
4	内部块存储电源电源上电时间	0.20ms~50ms
5	高速收发器模拟电源上电时间	0.20ms~50ms
6	高速收发器端接电路电源上电时间	0.20ms~50ms

推荐上电顺序是按 V_{CCINT} 、 V_{CCBRAM} 、 V_{CCAUX} 和 V_{CCO} 以在上电过程中消耗最小的电流和确保 IO 为三态；推荐掉电顺序与推荐上电顺序相反。如果 V_{CCINT} 和 V_{CCBRAM} 为相同的电压值它们可以被同一电源驱动和同时上电；如果 V_{CCAUX} ，和 V_{CCO} 为相同的电压值它们可以被同一电源驱动和同时上电。

对于高速收发器，为使上电过程中消耗最小的电流，推荐上电顺序为 V_{CCINT} 、 $V_{MGTAVCC}$ 和 $V_{MGTAVTT}$ 或 $V_{MGTAVCC}$ 、 V_{CCINT} 和 $V_{MGTAVTT}$ 。 $V_{MGTAVCC}$ 和 V_{CCINT} 可以同时上电；推荐掉电顺序与推荐上电顺序相反。

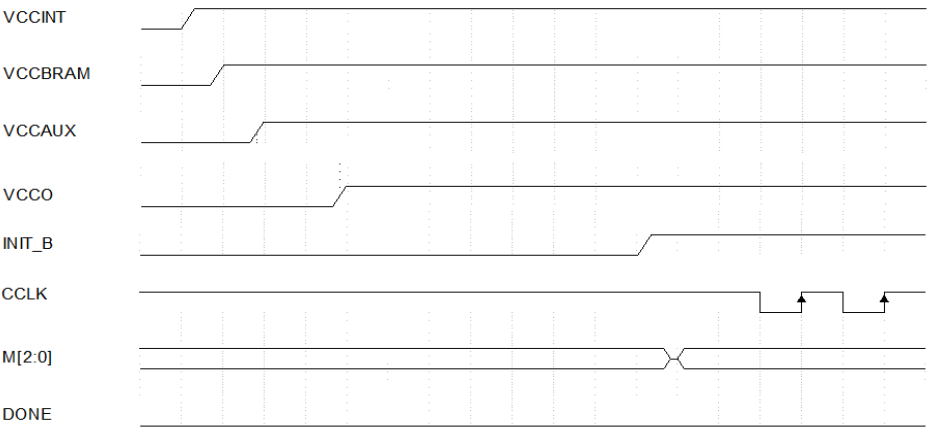


图10 推荐上电顺序

6 电特性参数

表 10 器件典型静态所需供电电流

参数	符号	条件	最小值	最大值	单位
V_{CCINT} 静态供电电流	I_{CCINTQ}	$V_{CCINT}=0.97V\sim1.03V$,	-	200	mA
V_{CCAUX} 静态供电电流	I_{CCAUXQ}		-	100	mA

参数	符号	条件	最小值	最大值	单位
V_{CCO} 静态供电电流	I_{CCOQ}	$V_{CCBRAM}=0.97V\sim 1.03V$, $V_{CCAUX}=1.71V\sim 1.89V$, $V_{CCO}=1.14V\sim 3.465V$	-	20	mA
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$		-	20	mA
ADC模拟电源电流, 模拟电路处于通电状态	I_{CCADC}		-	25	mA
eFUSE 编程 V_{CCAUX} 供电电流	I_{FS}		-	100	mA

注:IO 资源选择为单端工作模式; 器件为空白配置, 没有输出电流负载、没有输入上拉电阻、所有 IO 引脚为三态和悬空的条件下。

表 11 器件直流电参数

参数	符号	条件	最小值	最大值	单位
数据保持 V_{CCINT} 电压	V_{DRINT}	(注 1)	0.75	-	V
数据保持 V_{CCAUX} 电压	V_{DRI}	(注 1)	1.5	-	V
V_{REF} 引脚漏电流	I_{REF}	(注 2)	-	15	μA
引脚输入或输出漏电流	I_L	(注 3)	-	15	μA
引脚上拉电流	I_{RPU}	(注 4)	70	330	μA
		(注 5)	34	220	μA
		(注 6)	12	120	μA
引脚下拉电流	I_{RPD}	(注 7)	68	330	μA
ADC 模拟电源电流, 模拟电路处于通电状态	I_{CCADC}	(注 8)	-	25	mA

注 1: $V_{CCINT}=0.97V\sim 1.03V$, $V_{CCBRAM}=0.97V\sim 1.03V$, $V_{CCAUX}=1.71V\sim 1.89V$, $V_{CCO}=1.14V\sim 3.465V$ 。

注 2: $V_{CCINT}=0.97V\sim 1.03V$, $V_{CCBRAM}=0.97V\sim 1.03V$, $V_{CCAUX}=1.71V\sim 1.89V$, $V_{CCO}=1.14V\sim 3.465V$ 。

注 3: $V_{CCINT}=1.03V$, $V_{CCBRAM}=1.03V$, $V_{CCAUX}=1.89V$, $V_{CCO}=1.89V$ 。

注 4: 管脚上拉使能时, $V_{IN}=0V$, $V_{CCO}=3.3V$, $V_{CCINT}=1.00V$, $V_{CCBRAM}=1.00V$, $V_{CCAUX}=1.80V$ 。

注 5: 管脚上拉使能时, $V_{IN}=0V$, $V_{CCO}=1.8V$, $V_{CCINT}=1.00V$, $V_{CCBRAM}=1.00V$, $V_{CCAUX}=1.80V$ 。

注 6: 管脚上拉使能时, $V_{IN}=0V$, $V_{CCO}=1.2V$, $V_{CCINT}=1.00V$, $V_{CCBRAM}=1.00V$, $V_{CCAUX}=1.80V$ 。

注 7: 管脚下拉使能时, $V_{IN}=3.3V$, $V_{CCO}=3.3V$, $V_{CCINT}=1.00V$, $V_{CCBRAM}=1.00V$, $V_{CCAUX}=1.80V$ 。

注 8: $V_{CCINT}=1.00V$, $V_{CCBRAM}=1.00V$, $V_{CCAUX}=1.80V$, $V_{CCO}=1.80V$, $V_{CCADC}=1.89V$, $V_{REFP}=1.25V$ 。

表 12 单端输入低电平电压

参数	符号	条 件 (注 1)	最小	最大	单位
输入低电平电压	V_{IL}	LVTTL, $V_{CCO}=3.3 \times (1 \pm 5\%) V$	-0.3	0.8	V
		PCI33_3, $V_{CCO}=3.3 \times (1 \pm 5\%) V$	-0.4	$30\%V_{CCO}$	V
		MOBILE_DDR, $V_{CCO}=1.8 \times (1 \pm 5\%) V$	-0.3	$20\%V_{CCO}$	V

		LVC MOS33, $V_{CCO}=3.3 \times (1 \pm 5\%) V$	-0.3	0.8	V
		LVC MOS25, $V_{CCO}=2.5 \times (1 \pm 5\%) V$	-0.3	0.7	V
		LVC MOS18, $V_{CCO}=1.8 \times (1 \pm 5\%) V$	-0.3	$35\% V_{CCO}$	V
		LVC MOS15, $V_{CCO}=1.5 \times (1 \pm 5\%) V$	-0.3	$35\% V_{CCO}$	V
		LVC MOS12, $V_{CCO}=1.2 \times (1 \pm 5\%) V$	-0.3	$35\% V_{CCO}$	V
		HSTL_I, $V_{CCO}=1.5 \times (1 \pm 5\%) V$	$V_{REF}=V_{CCO}/2$	$V_{REF}-0.1$	V
		HSTL_II, $V_{CCO}=1.5 \times (1 \pm 5\%) V$		$V_{REF}-0.1$	V
		SSTL15, $V_{CCO}=1.5 \times (1 \pm 5\%) V$		$V_{REF}-0.1$	V
		HSTL_I_18, $V_{CCO}=1.8 \times (1 \pm 5\%) V$	$V_{REF}=V_{CCO}/2$	$V_{REF}-0.1$	V
		HSTL_II_18, $V_{CCO}=1.8 \times (1 \pm 5\%) V$		$V_{REF}-0.1$	V
		SSTL18_I, $V_{CCO}=1.8 \times (1 \pm 5\%) V$		$V_{REF}-0.125$	V
		SSTL18_II, $V_{CCO}=1.8 \times (1 \pm 5\%) V$		$V_{REF}-0.125$	V
		HSUL_12, $V_{CCO}=1.2 \times (1 \pm 5\%) V$	$V_{REF}=V_{CCO}/2$	$V_{REF}-0.13$	V
		SSTL135, $V_{CCO}=1.35 \times (1 \pm 5\%) V$	$V_{REF}=V_{CCO}/2$	$V_{REF}-0.09$	V

注1: $V_{CCINT}=0.97V \sim 1.03V$, $V_{CCBRAM}=0.97V \sim 1.03V$, $V_{CCAUX}=1.71V \sim 1.89V$, $V_{CCO}=1.14V \sim 3.465V$ 。

表 13 单端输入高电平电压

特 性	符号	条 件 (注 1)	最小	最大	单位
输入 高电 平 电压	V_{IH}	LVC MOS18, $V_{CCO}=1.8 \times (1 \pm 5\%) V$	$65\% V_{CCO}$	$V_{CCO} + 0.3$	V
		LVC MOS25, $V_{CCO}=2.5 \times (1 \pm 5\%) V$	1.7	$V_{CCO} + 0.3$	V
		LVC MOS33/LVTTL, $V_{CCO}=3.3 \times (1 \pm 5\%) V$	2.0	3.450	V
		LVC MOS15, $V_{CCO}=1.5 \times (1 \pm 5\%) V$	$65\% V_{CCO}$	$V_{CCO} + 0.3$	V
		LVC MOS12, $V_{CCO}=1.2 \times (1 \pm 5\%) V$	$65\% V_{CCO}$	$V_{CCO} + 0.3$	V
		MOBILE_DDR, $V_{CCO}=1.8 \times (1 \pm 5\%) V$	$80\% V_{CCO}$	$V_{CCO} + 0.3$	V
		PCI33_3, $V_{CCO}=3.3 \times (1 \pm 5\%) V$	$50\% V_{CCO}$	$V_{CCO} + 0.5$	V
		HSTL_I, $V_{CCO}=1.5 \times (1 \pm 5\%) V$	$V_{REF}=V_{CCO}/2$	$V_{REF} + 0.1$	V
		HSTL_II, $V_{CCO}=1.5 \times (1 \pm 5\%) V$		$V_{REF} + 0.1$	V
		SSTL15, $V_{CCO}=1.5 \times (1 \pm 5\%) V$		$V_{REF} + 0.1$	V
		HSTL_I_18, $V_{CCO}=1.8 \times (1 \pm 5\%) V$	$V_{REF}=V_{CCO}/2$	$V_{REF} + 0.1$	V
		HSTL_II_18, $V_{CCO}=1.8 \times (1 \pm 5\%) V$		$V_{REF} + 0.1$	V
		SSTL18_I, $V_{CCO}=1.8 \times (1 \pm 5\%) V$		$V_{REF} + 0.125$	V
		SSTL18_II, $V_{CCO}=1.8 \times (1 \pm 5\%) V$		$V_{REF} + 0.125$	V

		HSUL_12, $V_{CCO} = 1.2 \times (1 \pm 5\%) V$	$V_{REF} = V_{CCO} / 2$	$V_{REF} + 0.13$	$V_{CCO} + 0.3$	V
		SSTL135, $V_{CCO} = 1.35 \times (1 \pm 5\%) V$	$V_{REF} = V_{CCO} / 2$	$V_{REF} + 0.09$	$V_{CCO} + 0.3$	V

注1: $V_{CCINT} = 0.97V \sim 1.03V$, $V_{CCBRAM} = 0.97V \sim 1.03V$, $V_{CCAUX} = 1.71V \sim 1.89V$, $V_{CCO} = 1.14V \sim 3.465V$ 。

表 14 单端输出低电平电压

特 性	符号	条 件 (注 1)	最小	最大	单位
输出 低电 平 电压	V_{OL}	LVC MOS18, $V_{CCO} = 1.8 \times (1 \pm 5\%) V$, $I_{OL} = 16mA$	—	0.45	V
		LVC MOS25, $V_{CCO} = 2.5 \times (1 \pm 5\%) V$, $I_{OL} = 16mA$	—	0.4	V
		LVC MOS33, $V_{CCO} = 3.3 \times (1 \pm 5\%) V$, $I_{OL} = 16mA$	—	0.4	V
		LVTTL, $V_{CCO} = 3.3 \times (1 \pm 5\%) V$, $I_{OL} = 24mA$	—	0.4	V
		LVC MOS15, $V_{CCO} = 1.5 \times (1 \pm 5\%) V$, $I_{OL} = 16mA$	—	$25\% V_{CCO}$	V
		LVC MOS12, $V_{CCO} = 1.2 \times (1 \pm 5\%) V$, $I_{OL} = 8mA$	—	0.4	V
		MOBILE_DDR, $V_{CCO} = 1.8 \times (1 \pm 5\%) V$, $I_{OL} = 0.1mA$	—	$10\% V_{CCO}$	V
		PCI33_3, $V_{CCO} = 3.3 \times (1 \pm 5\%) V$, $I_{OL} = 1.5mA$	—	$10\% V_{CCO}$	V
		HSTL_I, $V_{CCO} = 1.5 \times (1 \pm 5\%) V$, $V_{REF} = V_{CCO} / 2$, $I_{OL} = 8mA$	—	0.4	V
		HSTL_II, $V_{CCO} = 1.5 \times (1 \pm 5\%) V$, $V_{REF} = V_{CCO} / 2$, $I_{OL} = 16mA$	—	0.4	V
		SSTL15, $V_{CCO} = 1.5 \times (1 \pm 5\%) V$, $V_{REF} = V_{CCO} / 2$, $I_{OL} = 13mA$	—	$V_{CCO} / 2 - 0.175$	V
		HSTL_I_18, $V_{CCO} = 1.8 \times (1 \pm 5\%) V$, $V_{REF} = V_{CCO} / 2$, $I_{OL} = 8mA$	—	0.4	V
		HSTL_II_18, $V_{CCO} = 1.8 \times (1 \pm 5\%) V$, $V_{REF} = V_{CCO} / 2$, $I_{OL} = 16mA$	—	0.4	V
		SSTL18_I, $V_{CCO} = 1.8 \times (1 \pm 5\%) V$, $V_{REF} = V_{CCO} / 2$, $I_{OL} = 8mA$	—	$V_{CCO} / 2 - 0.47$	V
		SSTL18_II, $V_{CCO} = 1.8 \times (1 \pm 5\%) V$, $V_{REF} = V_{CCO} / 2$, $I_{OL} = 13.4mA$	—	$V_{CCO} / 2 - 0.6$	V
		HSUL_12, $V_{CCO} = 1.2 \times (1 \pm 5\%) V$, $V_{REF} = V_{CCO} / 2$, $I_{OL} = 0.1mA$	—	$20\% V_{CCO}$	V
		SSTL135, $V_{CCO} = 1.35 \times (1 \pm 5\%) V$, $V_{REF} = V_{CCO} / 2$, $I_{OL} = 13mA$	—	$V_{CCO} / 2 - 0.15$	V

注1: $V_{CCINT} = 0.97V \sim 1.03V$, $V_{CCBRAM} = 0.97V \sim 1.03V$, $V_{CCAUX} = 1.71V \sim 1.89V$, $V_{CCO} = 1.14V \sim 3.465V$ 。

表 15 单端输出高电平电压

特 性	符号	条 件 (注 1)	最小	最大	单位
输出	V_{OH}	LVC MOS18, $V_{CCO} = 1.8 \times (1 \pm 5\%) V$, $I_{OH} = -16mA$	$V_{CCO} - 0.45$	—	V

高电平电压	LVC MOS25, $V_{CCO} = 2.5 \times (1 \pm 5\%) \text{ V}$, $I_{OH} = -16\text{mA}$	$V_{CCO} - 0.4$	—	V
	LVTTL, $V_{CCO} = 3.3 \times (1 \pm 5\%) \text{ V}$, $I_{OH} = -24\text{mA}$	2.4	—	V
	LVC MOS33, $V_{CCO} = 3.3 \times (1 \pm 5\%) \text{ V}$, $I_{OH} = -16\text{mA}$	$V_{CCO} - 0.4$	—	V
	LVC MOS15, $V_{CCO} = 1.5 \times (1 \pm 5\%) \text{ V}$, $I_{OH} = -16\text{mA}$	$75\% V_{CCO}$	—	V
	LVC MOS12, $V_{CCO} = 1.2 \times (1 \pm 5\%) \text{ V}$, $I_{OH} = -8\text{mA}$	$V_{CCO} - 0.4$	—	V
	MOBILE_DDR, $V_{CCO} = 1.8 \times (1 \pm 5\%) \text{ V}$, $I_{OH} = -0.1\text{mA}$	$90\% V_{CCO}$	—	V
	PCI33_3, $V_{CCO} = 3.3 \times (1 \pm 5\%) \text{ V}$, $I_{OH} = -0.5\text{mA}$	$90\% V_{CCO}$	—	V
	HSTL_I, $V_{CCO} = 1.5 \times (1 \pm 5\%) \text{ V}$, $V_{REF} = V_{CCO} / 2$, $I_{OH} = -8\text{mA}$	$V_{CCO} - 0.4$	—	V
	HSTL_II, $V_{CCO} = 1.5 \times (1 \pm 5\%) \text{ V}$, $V_{REF} = V_{CCO} / 2$, $I_{OH} = -16\text{mA}$	$V_{CCO} - 0.4$	—	V
	SSTL15, $V_{CCO} = 1.5 \times (1 \pm 5\%) \text{ V}$, $V_{REF} = V_{CCO} / 2$, $I_{OH} = -13\text{mA}$	$V_{CCO} / 2 + 0.175$	—	V
	HSTL_I_18, $V_{CCO} = 1.8 \times (1 \pm 5\%) \text{ V}$, $V_{REF} = V_{CCO} / 2$, $I_{OH} = -8\text{mA}$	$V_{CCO} - 0.4$	—	V
	HSTL_II_18, $V_{CCO} = 1.8 \times (1 \pm 5\%) \text{ V}$, $V_{REF} = V_{CCO} / 2$, $I_{OH} = -16\text{mA}$	$V_{CCO} - 0.4$	—	V
	SSTL18_I, $V_{CCO} = 1.8 \times (1 \pm 5\%) \text{ V}$, $V_{REF} = V_{CCO} / 2$, $I_{OH} = -8\text{mA}$	$V_{CCO} / 2 + 0.47$	—	V
	SSTL18_II, $V_{CCO} = 1.8 \times (1 \pm 5\%) \text{ V}$, $V_{REF} = V_{CCO} / 2$, $I_{OH} = -13.4\text{mA}$	$V_{CCO} / 2 + 0.6$	—	V
	HSUL_12, $V_{CCO} = 1.2 \times (1 \pm 5\%) \text{ V}$, $V_{REF} = V_{CCO} / 2$, $I_{OH} = -0.1\text{mA}$	$80\% V_{CCO}$	—	V
	SSTL135, $V_{CCO} = 1.35 \times (1 \pm 5\%) \text{ V}$, $V_{REF} = V_{CCO} / 2$, $I_{OH} = -13\text{mA}$	$V_{CCO} / 2 + 0.15$	—	V

注1: 除非另有规定, $V_{CCINT} = 0.97\text{V} \sim 1.03\text{V}$, $V_{CCBRAM} = 0.97\text{V} \sim 1.03\text{V}$, $V_{CCAUX} = 1.71\text{V} \sim 1.89\text{V}$, $V_{CCO} = 1.14\text{V} \sim 3.465\text{V}$ 。

表 16 IOB 差分接口标准输出性能指标 (LVDS_25)

特性	符号	条件 (注 1)	最小	最大	单位
LVDS_25					
输出高电平电压	V_{OH}	$R_T = 100\Omega$, 跨接于 Q 和 QB 端口	—	1.675	V
输出低电平电压	V_{OL}	$R_T = 100\Omega$, 跨接于 Q 和 QB 端口	0.700	—	V
输出差模电压	V_{ODIFF}	$R_T = 100\Omega$, 跨接于 Q 和 QB 端口	247	600	mV
输出共模电压	V_{OCM}	$R_T = 100\Omega$, 跨接于 Q 和 QB 端口	1.000	1.425	V
输入差模电压	V_{IDIFF}	—	100	600	mV
输入共模电压	V_{ICM}	—	0.300	1.5	V

注1: 除非另有规定, $V_{CCINT} = 0.97\text{V} \sim 1.03\text{V}$, $V_{CCBRAM} = 0.97\text{V} \sim 1.03\text{V}$, $V_{CCAUX} = 1.71\text{V} \sim 1.89\text{V}$,

VCCO=1.14V~3.465V。

表 17 SERDES 直流特性

特 性	符号	条 件 (注 1)	最小	典型	最大	单位
差分峰峰输出电压	DV_{PPOUT}	TX 输出摆幅最大	1000	—	—	mV
共模输出电压 DC	$V_{CMOUTDC}$	公式	$V_{MGTAVTT} - DV_{PPOUT} / 4$			mV
差分输出电阻	R_{OUT}	—	—	100	—	Ω
共模输出电压 AC	$V_{CMOUTAC}$	公式	$1/2 V_{MGTAVTT}$			mV
输出端 TXP 和 TXN 偏斜	T_{OSKEW}	—	—	—	12	ps
差分峰峰输入电压	DV_{PPIN}	—	150	—	2000	mV
差分输入电阻	R_{IN}	—	—	100	—	Ω
推荐 AC 耦合电容	C_{EXT}	—	—	100	—	nf

注1: 除非另有规定, VCCINT=0.97V~1.03V, VCCBRAM=0.97V~1.03V, VCCAUX=1.71V~1.89V, VCCO=1.14V~3.465V。

表 18 SERDES 时钟直流特性

特 性	符号	条 件 (注 1)	最小	最大	单位	特性
差分峰峰电压输入	V_{IDIFF}	—	350	—	2000	mV
差分输入电阻	R_{IN}	—	—	100	—	Ω
推荐 AC 耦合电容	C_{EXT}	—	—	100	—	nf

注1: 除非另有规定, VCCINT=0.97V~1.03V, VCCBRAM=0.97V~1.03V, VCCAUX=1.71V~1.89V, VCCO=1.14V~3.465V。

表 19 时钟缓冲器和网络频率特性

特性	符号	条件 (注 1)	极限值	单位
I/O 时钟树最大频率	f_{MAX_BUFIO}	—	600.00	MHz
区域时钟树最大频率	f_{MAX_BUFR}	—	315.00	MHz
水平时钟缓冲器最大频率	f_{MAX_BUFH}	—	464.00	MHz

注1: 除非另有规定, VCCINT=0.97V~1.03V, VCC • BRAM=0.97V~1.03V, VCCAUX=1.71V~1.89V, VCCO=1.14V~3.465V。

表 20 MMCM 模块开关特性

特性	符号	条 件 (注 1)	极限值	单位
最小时钟输入频率	$MMCM_f_{INMIN}$	—	10	MHz

最大时钟输入频率	$MMCM_{f_{INMAX}}$		800	MHz
最小 MMCM VCO 频率	$MMCM_{f_{VCOMIN}}$		600	MHz
最大 MMCM VCO 频率	$MMCM_{f_{VCOMAX}}$		1200	MHz
最小输出频率	$MMCM_{f_{OUTMIN}}$		4.69	MHz
最大输出频率	$MMCM_{f_{OUTMAX}}$		800	MHz
鉴相器的最小频率	$MMCM_{f_{PFDMIN}}$		10	MHz
鉴相器的最大频率	$MMCM_{f_{PFDMAX}}$		450	MHz

注1：除非另有规定， $VCCINT=0.97V\sim1.03V$, $VCCBRAM=0.97V\sim1.03V$, $VCCAUX=1.71V\sim1.89V$, $VCCO=1.14V\sim3.465V$ 。

表 21 模块开关特性

特性	符号	条 件（注 1）	极限值	单位
最小时钟输入频率	$PLL_{f_{INMIN}}$		19	MHz
最大时钟输入频率	$PLL_{f_{INMAX}}$		800	MHz
最小 PLL VCO 频率	$PLL_{f_{VCOMIN}}$		800	MHz
最大 PLL VCO 频率	$PLL_{f_{VCOMAX}}$		1600	MHz
最小输出频率	$PLL_{f_{OUTMIN}}$		6.25	MHz
最大输出频率	$PLL_{f_{OUTMAX}}$		800	MHz
鉴相器的最小频率	$PLL_{f_{PFDMIN}}$		19	MHz
鉴相器的最大频率	$PLL_{f_{PFDMAX}}$		450	MHz

注1：除非另有规定， $VCCINT=0.97V\sim1.03V$, $VCCBRAM=0.97V\sim1.03V$, $VCCAUX=1.71V\sim1.89V$, $VCCO=1.14V\sim3.465V$ 。

表 22 高速串行收发器频率特性

特性	符号	条 件（注 1）	极限值	单位
GTP 收发器最小数据速率	f_{GTMIN}		0.500	Gb/s
GTP 收发器最大数据速率	f_{GTMAX}		6.25	Gb/s

注1：除非另有规定， $VCCINT=0.97V\sim1.03V$, $VCCBRAM=0.97V\sim1.03V$, $VCCAUX=1.71V\sim1.89V$, $VCCO=1.14V\sim3.465V$ 。

表 23 集成 PCIe 模块开关特性

特性描述	标志符号	条 件（注 1）	极限值	单位
PIPE 时钟最大频率	$f_{PIPECLK}$		250.00	MHz
用户时钟最大频率	$f_{USERCLK}$		250.00	MHz
用户时钟 2 最大频率	$f_{USERCLK2}$		250.00	MHz
动态重配置端口 DRP 最大时钟频率	f_{DRPCLK}		250.00	MHz

注1: 除非另有规定, $VCCINT=0.97V\sim1.03V$, $VCCBRAM=0.97V\sim1.03V$, $VCCAUX=1.71V\sim1.89V$, $VCCO=1.14V\sim3.465V$ 。

表 24 引脚到引脚 (Pin-to-Pin) 输入及输出参数

特 性	符号	条 件 (注 1)	最小	最大	单位
时钟输入引脚到输出触发器输出引脚 (最靠近 BUFGs) 的延迟	t_{CKOF}	SSTL15, Fast Slew Rate, 不使用 MMCM 和 PLL	—	7.16	ns
时钟输入引脚到输出触发器输出引脚(距离 BUFGs 最远) 的延迟	$t_{CKOFFAR}$	SSTL15, Fast Slew Rate, 不使用 MMCM 和 PLL	—	8.05	ns
时钟输入引脚到输出触发器输出引脚的延迟 (使用 MMCM)	$t_{CKOFMMCMC}$	SSTL15, Fast Slew Rate 使用 MMCM	—	1.04	ns
时钟输入引脚到输出触发器输出引脚的延迟 (使 PLL)	$t_{CKOFPLLCC}$	SSTL15, Fast Slew Rate 使用 PLL	—	0.82	ns

注1: 除非另有规定, $VCCINT=0.97V\sim1.03V$, $VCCBRAM=0.97V\sim1.03V$, $VCCAUX=1.71V\sim1.89V$, $VCCO=1.14V\sim3.465V$,

表 25 配置模块开关特性

特 性	符号	条 件 (注 1)	最小	最大	单位
从模式 CCLK 频率	f_{SCCK}		—	100	MHz

注1: 除非另有规定, $VCCINT=0.97V\sim1.03V$, $VCCBRAM=0.97V\sim1.03V$, $VCCAUX=1.71V\sim1.89V$, $VCCO=1.14V\sim3.465V$,

表 26 eFUSE 编程特性

特 性	符号	条 件 (注 1)	最小	最大	单位
编程温度范围	T_I		15	125	°C
$VCCAUX$ 编程电流	I_{FS}		—	115	mA

注1: 除非另有规定, $VCCINT=0.97V\sim1.03V$, $VCCBRAM=0.97V\sim1.03V$, $VCCAUX=1.71V\sim1.89V$, $VCCO=1.14V\sim3.465V$,

注 2: FPGA 器件在 eFUSE 编程过程中必须禁止配置。

7 功能描述

7.1 概述

HWDSL50T 的高度为 3 个时钟域高度 (1 个时钟区域高度为 50 个 CLB 或 50 个 IOB), 1 个时钟区域的宽度为横跨半个产品, 所以 HWDSW300T 总共有 6 个时钟区域。最右侧为 HRIO 和 GTP 共同构成, 最左侧为 HRIO。

7.2 器件工作原理

HWDSL50T 是 SRAM 型的 FPGA，器件在掉电后将会丢失配置，通常使用一个外部的如 Flash 的存储器件，从而在生产场合下防止电源掉电后丢失配置数据；也可以通过电缆进行编程而不需要外部存储器件。

配置或编程 HWDSL50T 主要有必不可少的三步。

第 1 步：设计输入

软件设计输入工具被用来建立一个 VHDL、Verilog、ABEL 或原理图（Schematic）形式的设计。

第 2 步：实现

软件实现工具被用来将设计网表适配到所需的 HWDSL50T 器件结构中去并生成一个配置用的比特流。

第 3 步：配置或输入

配置是用外部的数据源（如 FLASH）将配置数据下载到 FPGA 中的一个过程。

HWDSL50T 支持的配置模式包含：

- 主-串配置模式
- 从-串配置模式
- 主-选择映射（并行）配置模式（x8 和 x16）
- 从-选择映射（并行）配置模式（x8, x16 和 x32）
- JTAG/边界扫描配置模式
- SPI Flash 配置模式（x1, x2, x4）
- BPI Flash 配置模式（x8, x16）使用并联 NOR Flash

器件的配置流程如下：

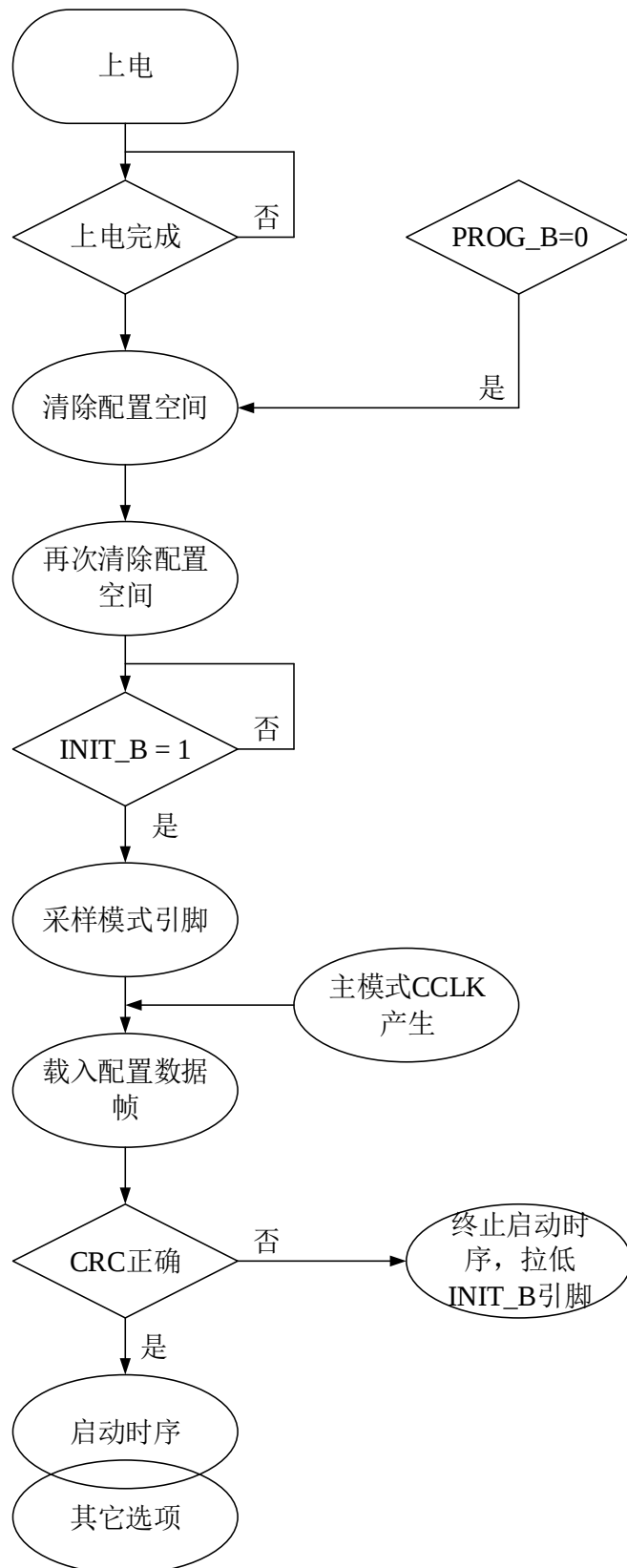


图11 HWDSL50T 的配置流程图

7.3 功能描述

7.3.1 宽范围 IO 模块

宽范围 IO(HRIO)模块由 IO 输入输出模块(IOB)、IDELAY，以及相对应的 ILOGICE/ISERDESE、OLOGICE/OSERDESE 组成，其适用于宽范围要求的 IO，例如高速存储接口或者高达 3.3V 电压的片间连接。

表 27 宽范围 IO Bank 支持的电平和功能特性

特性	宽范围 IO Bank
3.3V IO	支持
2.5V IO	支持
1.8V IO	支持
1.5V IO	支持
1.35V IO	支持
1.2V IO	支持
LVDS_25 电平	支持
24mA LVCMOS18、LVTTL 输出	支持
数字控制阻抗 (DCI) 及 DCI 级联	NA
内部 V_{REF}	支持
内部差分中端 (DIFF_TERM)	支持
IDELAY	支持
ODELAY	NA
IDELAYCTRL	支持
ISERDES	支持
OSERDES	支持
ZHOLD_DELAY	NA

表 28 宽范围 IO 模块功能列表

编号	模块内部功能
1	三态
2	边沿触发式 D 触发器输入/输出功能
3	电平敏感型锁存器输入/输出功能
4	不同模式的 IDDR 功能 (OPPOSITE_EDGE, SAME_EDGE, SAME_EDGE_PIPELINED)
5	不同模式的 ODDR 功能 (SAME_EDGE, OPPOSITE_EDGE)

编号	模块内部功能
6	输入串并转换功能
7	输出并串转换功能
8	IDELAY 功能
9	IO_FIFO 功能（4x4,4x8/8x4，级联）

7.3.2 CLB 模块

可编程逻辑单元（CLB）是实现用户自定义时序逻辑、组合逻辑功能的主要模块。可编程逻辑单元可以通过互联矩阵实现互联，也可以通过互联阵列和产品内其他资源连接。可编程逻辑单元的复杂度和数量是产品可编程能力的重要参数。

HWDSL 系列的 CLB 模块主要特征有：

- 真 6 输入查找表（LUT）
- 双 LUT5（5 输入 LUT）操作
- 分布式存储和移位寄存器逻辑
- 为算术功能提供专用的进位逻辑
- 宽多路复用器用于高效使用

每个 LUT 可以配置为 6 输入 1 输出的 LUT，或者 2 个 5 输入 2 个独立输出的 LUT，但使用共同的地址或者输入逻辑。每个 LUT 输出都可以选择寄存器输出。一个 Slice 单元中包含 4 个 6 输入 LUT 以及配套的 8 个触发器，复接器和算术进位逻辑。2 个 Slice 单元构成 1 个 CLB 模块。每个 Slice 单元的 4 个触发器（每个 LUT 一个触发器）可以配置为锁存器操作，同时剩下的 4 个触发器必须保持未使用。

HWDSL 系列大约 2/3 的 CLB 单元是 SLICEL 逻辑，剩余的是 SLICEM 逻辑，SLICEM 逻辑可以使用他们的 LUT 作为分布式 64bit RAM 或者 32bit 移位寄存器（SRL32）或者 2 个 SRL16。

表 29 CLB 模块主要功能列表

编号	模块内部功能
1	查找表功能：1 个 6 输入、2 个 5 输入
2	存储元件功能：边沿式 D 触发器、电平敏感型锁存器
3	分布式 RAM 功能（SLICEM）： RAM：32x1S，32x1D，64x1Q，64x3DSP，256x1S；
4	ROM(SLICEM&SLICEL)：64x1、256x1
5	移位寄存器（SR）（SLICEM）：32bit、Dual 16bit、128bit
6	多路选择器（MUX）：16:1
7	进位链功能：10 输入、8 输出进位链功能

7.3.3 BRAM 模块

HWDSL 系列 Block RAM 模块的主要特征包括：

- 每个 BRAM 可以存储多达 36Kbit 的数据
- 每个 BRAM 支持两个独立的 18Kb 或者单个 36Kb
- 每个 36Kb BRAM 可以设置为简单双端口模式，BRAM 双倍数据位宽支持 72bit。18Kb BRAM 可以设置为简单双端口模式，BRAM 双倍数据位宽支持 36bit。简单双端口模式定义为有独立时钟的一个只读、一个只写端口。
- 简单双端口模式支持一端固定位宽，另一端可变位宽。
- 相邻 BRAM 可以合成 $64K \times 1$ 的存储器而不要额外的逻辑。
- 64bit 的 ECC 支持每个 36Kb BRAM 或者 36Kb FIFO，编码解码功能分开。ECC 模式支持误码注入。
- BRAM 输出的锁存器和寄存器模式，可以同步设置/复位到初始值。
- 可以将 BRAM 配置为同步 FIFO，消除不确定的标志位。
- FULL 标志位。
- 18, 36, 72bit 位宽 BRAM 端口可以按 byte 独立写。此功能常用于微处理器接口。
- 每个 BRAM 包含操作地址序列和控制电路以产生一个内置双时钟的 FIFO 存储器，BRAM 可以设置为 18 Kb 或 36 Kb FIFO。
- 所有输入通过端口时钟寄存，且有时钟建立时序指标。
- 所有输出有读功能或者边写边读功能，由写使能（WE）pin 决定。在时钟-输出间距后，输出可用。边读边写输出可选三种操作模式之一：WRITE_FIRST, READ_FIRST, 和 NO_CHANGE。
- 写操作要求一个时钟沿。
- 读操作要求一个时钟沿。
- 所有输出端口被锁存或者寄存操作。在被其他读写操作之前，输出端口状态不会改变。BRAM 默认是锁存模式。
- 输出数据深度可以通过内部流水线寄存器操作。强烈推荐使用寄存器模式，此时允许更高的时钟频率，同时也增加了一个延迟时钟周期。
- BRAM 的使用规则包括：
- 不能在 ECC 解码器使用时(EN_ECC_READ = TRUE)同步置位和复位（RSTRAM）端口。
- BRAM 同步输出寄存器(可选)在 DO_REG = 1 时，通过 RSTREG 设置或复位(SRVAL)，当 RSTREG 优先级高于 REGCE 时决定 RSTREG_PRIORITY。在 DO_REG = 0 或者 1 时，同步输出锁存被 RSTRAM 设置或复位（SRVAL）。
- BRAM 地址或者写使能 pin 的建立时间不能违反。违反地址建立时间（即使写使能为 LOW 时）会导致 BRAM 数据内容丢失。
- 如果 RSTREG_PRIORITY 设置为 REGCE，BRAM 寄存器模式 RSTREG 要求 REGCE = 1 来复位输

出 DO 寄存器值。BRAM 阵列数据输出锁存不能通过这种模式复位。BRAM 锁存模式 RSTRAM 要求 BRAM 使能 EN = 1 时，复位输出 DO 锁存值。

- 两种 BRAM 原语，RAMB36E1 和 RAMB18E1。RAM_MODE 属性定义了 BRAM 的模式，SDP 模式与真双端口（TDP）模式之一。
- 在使用特殊的 BRAM 原语时支持选择不同的读写端口宽度。检验位只用于 x9, x18, x36 端口宽度。检验位不能用于 x1, x2, x4 读宽度。如果读宽度为 x1, x2, x4，有效地写宽度为 x1, x2, x4, x8, x16, x32。同样的，写宽度为 x1, x2, x4，实际有效地读宽度为 x1, x2, x4, x8, x16, x32，哪怕通过原语属性分别设置为 1, 2, 4, 9, 18, 36。

表 30 BRAM 模块主要功能列表

编号	模块内部功能
1	不同模式的 BRAM 读写功能（WRITE_FIRST, READ_FIRST, NO_CHANGE）
2	不同宽度深度的 BRAM 读写功能（SDP, TDP）： 36Kbit RAM: 64Kx1, 32Kx1, 16Kx2, 8Kx4, 4Kx9, 2Kx18, 1Kx36, 512x72 18Kbit RAM: 16Kx1, 8Kx2, 4Kx4, 2Kx9, 1Kx18, 512x36
3	RAM 输出寄存器（RSTREG, DO_REG）
4	独立读写位宽功能
5	BRAM 级联功能
6	不同模式的 FIFO 功能及状态标志位测试（同步或者异步，standard 或 first-word fall-through, FWFT）
7	FIFO 输出寄存器测试
8	不同深度宽度的 FIFO 功能： 18Kb: 4K x 4, 2K x 9, 1K x 18, 512 x 36 36Kb: 8K x 4, 4K x 9, 2K x 18, 1K x 36, 512 x 72
9	FIFO36 级联和并联功能、BRAM 和 FIFO 的组合连接功能
10	不同模式的 64 bit ECC 功能（Standard, encode only, decode only）
11	RAM ECC, FIFO ECC 功能
12	ECC 输出寄存器功能

表 31 BRAM 应用场景

原语	设置读宽度	设置写宽度	有效读宽度	有效写宽度
RAMB18E1	1, 2, 4	9,18	与设置相同	8,16
RAMB18E1	9,18	1, 2, 4	8,16	与设置相同
RAMB18E1	1, 2, 4	1, 2, 4	与设置相同	与设置相同
RAMB18E1	9,18	9,18	与设置相同	与设置相同
RAMB36E1	1, 2, 4	9,18,36	与设置相同	8,16,32

RAMB36E1	9,18,36	1, 2, 4	8,16,32	与设置相同
RAMB36E1	1, 2, 4	1, 2, 4	与设置相同	与设置相同
RAMB36E1	9,18,36	9,18,36	与设置相同	与设置相同

7.3.4 DSP 模块

DSP 支持多种功能，包括乘法、乘累加（MACC）、乘加、三输入加法、桶形移位、宽总线选择、数值比较、按位逻辑运算、样本检测与宽计数功能。还支持多个 DSP 级联，构建更大的数学函数、DSP 滤波器和复杂的运算。

HWDSL 系列 DSP 模块主要特性包括：

- 25×18 位宽二进制补码乘法器
- 48 位累加器
- 低功耗预加器
- 单指令多数据操作算数单元
- 任意功能逻辑单元
- 码型检测器
- 可选的流水线和专用总线级联

表 32 DSP 模块主要功能列表

编号	模块内部功能
1	25 位预加器（带或不带 D 触发器）
2	25 x 18 乘法器
3	A、B、C、D 数据端口
4	三输入加法器/减法器/48 位逻辑运算单元
5	PATTERN 检测器
6	流水线功能
7	DSP 级联功能

7.3.5 时钟布线资源

HWDSL 系列 FPGA 时钟资源具有专门的全局时钟、区域 IO 和时钟资源。时钟管理单元（CMT）提供时钟频率合成、去偏斜和抖动过滤功能。在设计时钟功能时，不建议使用非时钟资源（如本地布线）。

- 全局时钟树允许同步逻辑的时钟跨越该模块。
- IO 和区域时钟树允许驱动多达 3 个邻近的垂直时钟区域。
- 每个 CMT 包含 1 个混合模式时钟管理器（MMCM）和 1 个锁相环（PLL），其位置紧靠 IO 模块列。

- 对于时钟而言，FPGA 可以分成多个时钟域。
- 时钟域的数量与 FPGA 器件型号有关，HWDSL50T 有 6 个时钟区域。
- 时钟域包括所有的同步模块（如 CLB、IO、串行收发器、DSP、BRAM、CMT）在一个区域跨越 50 个 CLB 和 1 个 IO bank，在时钟域的中间是水平时钟通道（HROW）。
- 每个时钟域分为 HROW 的上 25 个 CLB、下 25 个 CLB，对称分布。

每个 IO Bank 都包含时钟功能输入引脚（CC），以将用户时钟引入 HWDSL 系列 FPGA 时钟布线资源。结合专用时钟缓冲器，时钟功能输入引脚将用户时钟带到：

- 位于器件相同的上半部分/下半部分的全局时钟线
- 同一 IO Bank 和竖直相邻的 IO Bank 内的 IO 时钟线
- 同一时钟区域和竖直相邻时钟区域内的区域时钟线
- 同一时钟区域内，和有限制、竖直相邻时钟区域内的 CMTs

每个 HWDSL 系列器件都具有 32 条全局时钟线，可以提供时钟和控制信号到整个器件中的所有时序资源。全局时钟缓冲器（BUFGCTRL，简称为 BUFG）驱动全局时钟线，并且必须是用于访问全局时钟线。每个时钟区域可以最多支持 12 个全局时钟线使用时钟区域中的 12 条水平时钟线。

全局时钟缓冲器：

- 可用作时钟使能电路来启用或禁用多个时钟时钟区域
- 可用作无干扰多路复用器：
 - 在两个时钟源之间选择
 - 与不使用的时钟源隔离
- 通常由 CMT 驱动：
 - 消除时钟分配延迟
 - 调整相对于另一个时钟的时钟延迟

在单个时钟区域内，水平时钟缓冲器（BUFH / BUFHCE）允许通过水平时钟行访问全局时钟线。它也可以用作时钟使能电路（BUFHCE）独立启用或禁用跨越单个时钟区域的时钟。每个时钟区域可以使用 12 个水平时钟线支持最多 12 个时钟。

在一个时钟区域内，每个 HWDSL 系列 FPGA 都有可以为所有时序资源提供时钟的区域和 IO 时钟树。每个器件还拥有多区域时钟缓冲器（BUFMR），允许区域时钟和 IO 时钟跨越三个竖直相邻的时钟区域。

- IO 时钟缓冲器（BUFIO）驱动 IO 时钟树，在同一 IO bank 内给所有 IO 资源序列提供时钟。
- 区域时钟缓冲器（BUFR）驱动区域时钟树，其能够驱动相同时钟域中的所有时钟节点，并且可以通过编程对输入时钟频率进行分频。
- 协调 IOB 中的可编程串行器/解串器（请参考 HWDSL 系列 FPGA IO 资源用户指南），BUFIO 和

BUFR 时钟缓冲器允许源同步系统跨越时钟域而不使用额外的逻辑资源

- 相邻时钟区域和 IO Bank 的区域时钟树和 IO 时钟树可以通过使用多区域时钟缓冲器（BUFMR）被驱动，当使用有相关的 BUFR 或 BUFIO。
- 一个时钟区域最多支持四个独立的区域时钟，一个 IO Bank 中最多支持四个独立的 IO 时钟。
- 高性能时钟路径（HPC）将 CMT 的某些特定输出连接到 IO 上，其为低抖动、最小占空比扭曲的直连路径。

表 33 时钟布线主要资源列表

编号	模块内部
1	全局时钟缓冲器 BUFG
2	IO 时钟缓冲器 BUFIO
3	区域时钟缓冲器 BUFR
4	多区域时钟缓冲器 BUFMR
5	横向时钟缓冲器 BUFH

7.3.6 CMT 模块

时钟管理模块 (CMT) 提供非常灵活的高性能时钟控制。每个 CMT 包含一个复合模式时钟管理模块 MMCM 和一个锁相环 PLL。

该 MMCM 和 PLL 可用作各种频率的频率合成器和作为外部或内部时钟的抖动滤波器，以及去偏斜时钟。PLL 是 MMCM 功能的一个子集。HWDSL 系列 FPGA 时钟输入连接允许多种资源为 MMCM 和 PLL 提供参考时钟。

HWDSL 系列 FPGA MMCM 在任何方向上都具有无限精细的相移能力并用于动态相移模式。MMCM 也有一个微计数器存在于反馈路径或在一个输出路径中，实现频率合成的进一步粒度能力。

表 34 CMT 模块主要功能列表

编号	模块内部功能
1	MMCM 的小数分频（O 分频）功能
2	MMCM 分频级联（CLKOUT4 分频与 CLKOUT6 分频）
3	MMCM 参考时钟选择功能
4	CMT 内反馈
5	MMCM/PLL 动态重配置
6	MMCM 的动态相移功能
7	CMT 级联（MMCM 与 MMCM 级联、PLL 与 PLL 级联）
8	MMCM/PLL 频率综合功能（频点抽样）
9	MMCM 扩频时钟产生器（SSCG）

7.3.7 高速串行接口 SERDES 模块

每个高速串行接口 SERDES 模块含发送端和接收端，分为物理编码子层（PCS）和物理媒介接入子层（PMA）两部分，其中 PCS 主要实现对数据的编码、解码及各种协议控制等功能，PMA 主要实现数据的并串转换和串并转换。

表 35 SERDES 模块主要功能列表

分类	功能
PCS	2,4 字节内部数据通路，以支持不同的线速率要求
	8B/10B 编解码
	支持 64B/66B 和 64B/67B 编解码
	Comma 检测，字节和字对准
	PRBS 产生和检测
	TX 相位 FIFO
	RX 弹性 FIFO 用于时钟校准和通道绑定
	可编程逻辑接口
	支持旁路 buffer 的本地多通道
	TX 相位内插结构支持 PPM Controller interface
PMA	每个通道配置一个 CPLL，提供便利的时钟方案
	具有自适应调节的 7tap 判决反馈均衡器
	TX 预加重
	可调 TX 输出摆幅
	Beacon 信号用于 PCIE 应用
	OOB 信号用于支持 SATA 应用
	数据速率支持达到 6.6Gbps(非器件工作全温区)

高速串行收发器支持的应用模式主要有：

- PCI Express Gen1.1、2.0
- Gigabit Ethernet
- Interlaken
- 10 Gb XAUI, RXAUI
- CPRI™/ OBSAI
- OC-48
- OTU-1
- SRIO
- SATA/ SAS
- SDI

表 36 SERDES 支持的主要协议，速率以及内部数据位宽

协议	数据率(Gb/s)	数据位宽(16/20/32/40b)
XAUI	3.125	20b
	1.25	20b
RXAUI	6.25	20b
Gigabit Ethernet	1.25	20b
Serial RapidIO	3.125	20b
	2.5	20b
	1.25	20b
PCIe	5.0	20b
	2.5	20b
CPRI(Multi_Rate)	3.072	20b
	2.4576	20b
	1.2288	20b
	0.6144	20b
OBSAI	3.072	20b
	1.536	20b
	0.768	20b
3G-SDI HD-SDI	2.97	20b
	1.485	20b
Interlaken	3.125	16b
OC-48	2.48832	16b
OTU-1	2.666057	16b
SATA/SAS	3	20b
	1.5	20b

- 数字算法实现自动校准终端 50 欧姆阻抗；
- 数字算法实现的 PLL 频率锁定检测功能；
- TX 支持去加重及输出差分电压幅度可配置；
- RX 支持连续时间的线性均衡器（CTLE）和判决反馈均衡（DFE）以及低功耗模式工作；
- 采用 2 阶的基于相位内插结构的数字时钟数据恢复（CDR）；
- 内建数字眼图扫描功能，包括横向和纵向扫描；
- 具有多个环回路径（PMA 和 PCS 端的远端和近端环回）、内建自测试模式（PRBS7、PRBS15、PRBS23 和 PRBS31）以及 PMA 内部信号测试。

7.3.8 PCIE 模块

PCIE 模块支持 PCIE Gen2，x1、x2、x4 和，该模块规定的每通道数据速率为 5Gbps。

表 37 PCIE2_1 模块主要功能列表

编号	模块内部功能		
1	用户接口	AXI4-Stream 接口 64bit, 128bit	
2	链路宽度	X1, X2, X4	
3	链路速度	2.5Gb/s, 5.0Gb/s	
4	DRP	可动态重配置	
5	功耗调节	电源管理	
6	传输方式	请求者、完成者双通道传输	
7	协议层	产生和处理事务层包	存储器类型包的读、写、完成（带数据，不带数据）
8			配置类型包的读、写、完成（带数据，不带数据）
9			消息类型包的读、写、完成（带数据，不带数据）
10		数据包传输	流控管理
11			中断最大 32 个 MSI 和 MSI-X 向
12			支持 INTx
13			最大传输负载 512bytes
14			事务排序
15			链路翻转
16		链路训练状态机	链路初始化
17			链路训练
18			链路维护
19			链路协商握手
20	配置管理	0/1 类型的配置头标区	
21		配置空间访问	
22		PCIE 扩展能力空间	
23		环回控制和状态	
24		错误报告和状态	
25		设备序列号扩展	
26		设备 ID 的捕获与存储	
27		用户自定义配置能力	

7.3.9 ADC 模块

HWDSL 系列 FPGA 内部 ADC 模块, 主要是由包含两个 12 位、可达 1MSPS 采样率的模数转换器(ADC)和相关的片上传感器组成。

表 38 12 ADC 模块主要功能列表

编号	模块内部功能	
	功能	模式
1	采样模式	初始模式
2		单次模式
3		连续模式

4		单通道模式
5		同步采样模式
6		独立 ADC 模式
7	校准功能	ADC 失调校准使能
8		ADC 失调和增益校准使能
9		电源电压传感器校准使能
10		电源电压失调和增益校准使能
11	告警功能	过温告警使能
12		温度告警使能
13		VCCINT 告警
14		VCCAUX 告警
15		VCCBRAM 告警
16		综合告警
17	上电/掉电功能	ADC 上电
18		无效选择
19		ADC 掉电
20	时钟分频功能	DCLK 分频
21	均值滤波器功能	均值滤波器使能(校准)
22		无均值
23		均值 16 次
24		均值 64 次
25		均值 256 次
26	ADC 通道	片上温度
27		电源 VCCINT
28		电源 VCCAUX
29		专用模拟输入
30		基准 VREFP
31		基准 VREFN
32		电源 VCCBRAM
33		无效通道
34		XADC 校准
35		辅助通道 0 至 15
36	模拟输入功能	单端输入模式
37		差分输入模式

7.3.10 配置模块

配置电路和 FPGA 产品的架构关系密切，架构直接决定了配置电路实现的系统组合。其基本功能就是对 SRAM 阵列写入不同的数据组合控制内部的逻辑电路来满足用户设计的功能，而 FPGA 能够“实现”何种功能是由其配置比特流文件（.bit 文件）来决定的。

表 39 HWDSL 系列 FPGA 支持的配置模式

配置模式	M[2:0]	总线位宽	CCLK 方向
主-串配置模式	000	x1	输出
主模式 SPI Flash 配置	001	x1、x2、x4	输出
主模式 BPI Flash 配置	010	x8、x16	输出
主-选择映射配置模式	100	x8、x16	输出
JTAG/边界扫描配置模式	101	x1	\
从-选择映射配置模式	110	x8、x16、x32	输入
从-串配置模式	111	x1	输入

表 40 配置模块主要功能列表

编号	模块内部功能
1	从串、从模式并口配置 (x8, x16, x32)
2	JTAG/boundary-scan 配置
3	主模式 SPI flash 配置 (Serial Peripheral Interface, SPI, 串行外设接口) (x1, x2, x4)
4	主串, 主模式并口配置 (x8, x16) (2MHz – 60MHz)
5	使用并口 NOR flash 的主模式 BPI flash 配置 (x8, x16) (Byte Peripheral Interface, BPI)
6	eFUSE (checkbit 测试数据编程与读取)

8 应用建议

7.4 开发工具版本

FPGA 配套开发工具建议使用版本为 Vivado 2018.3 及以上。

7.5 参考配置电路

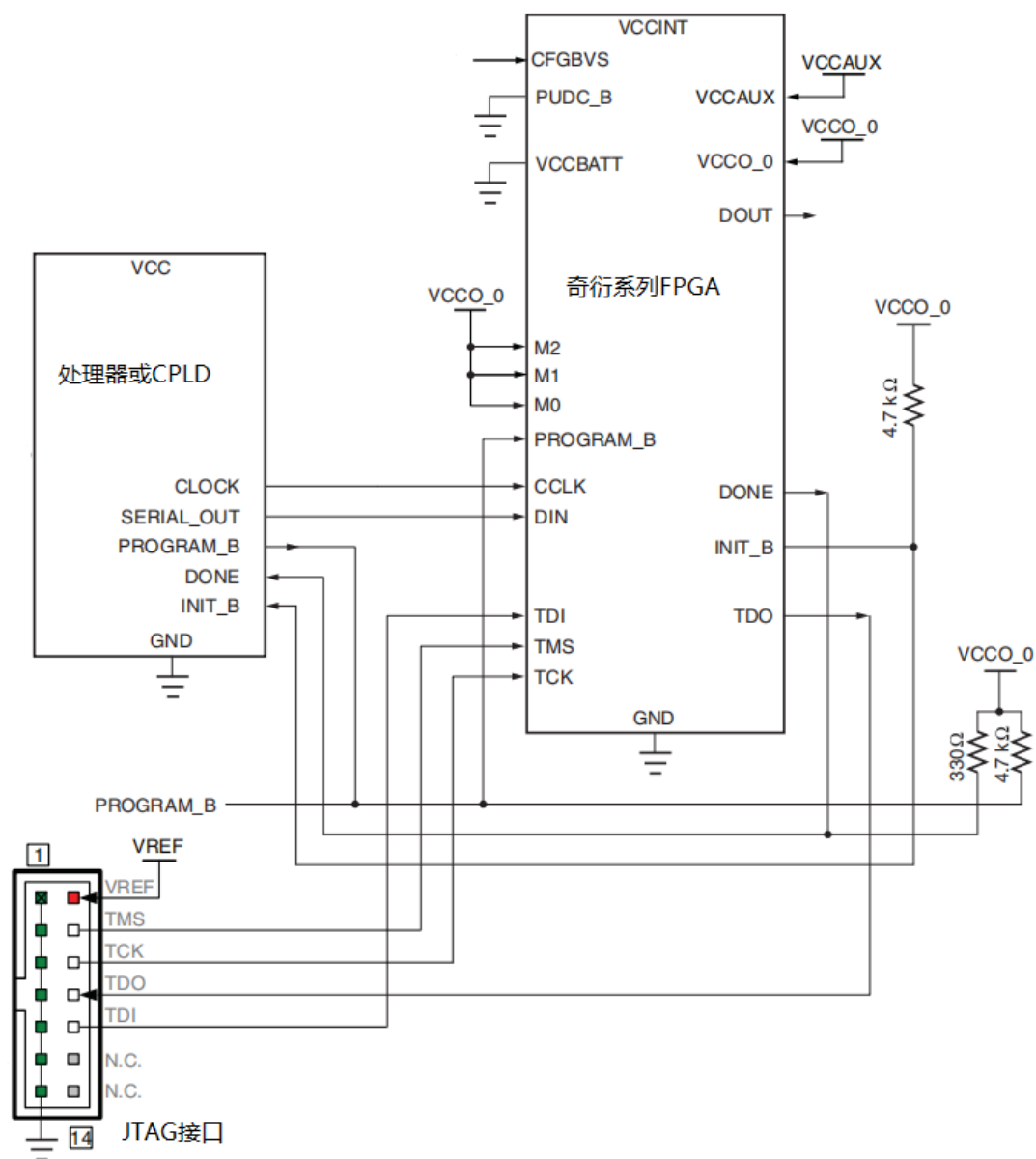


图12 从串配置参考电路

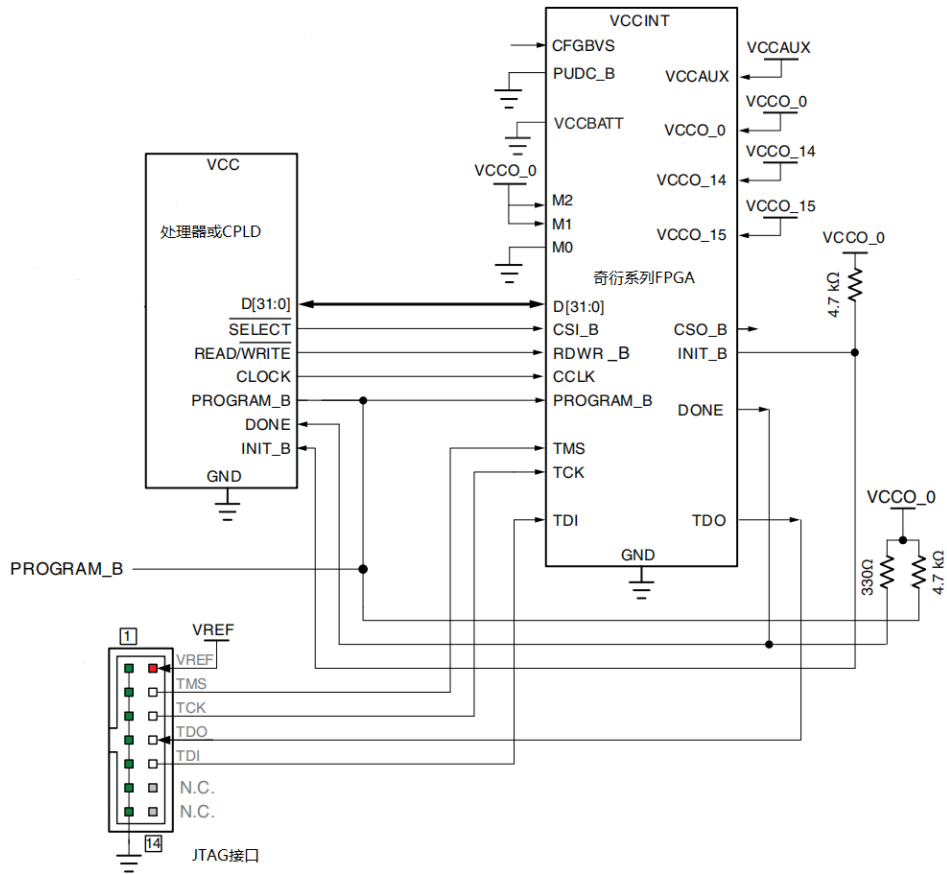


图13 单个从设备选择映射配置参考电路

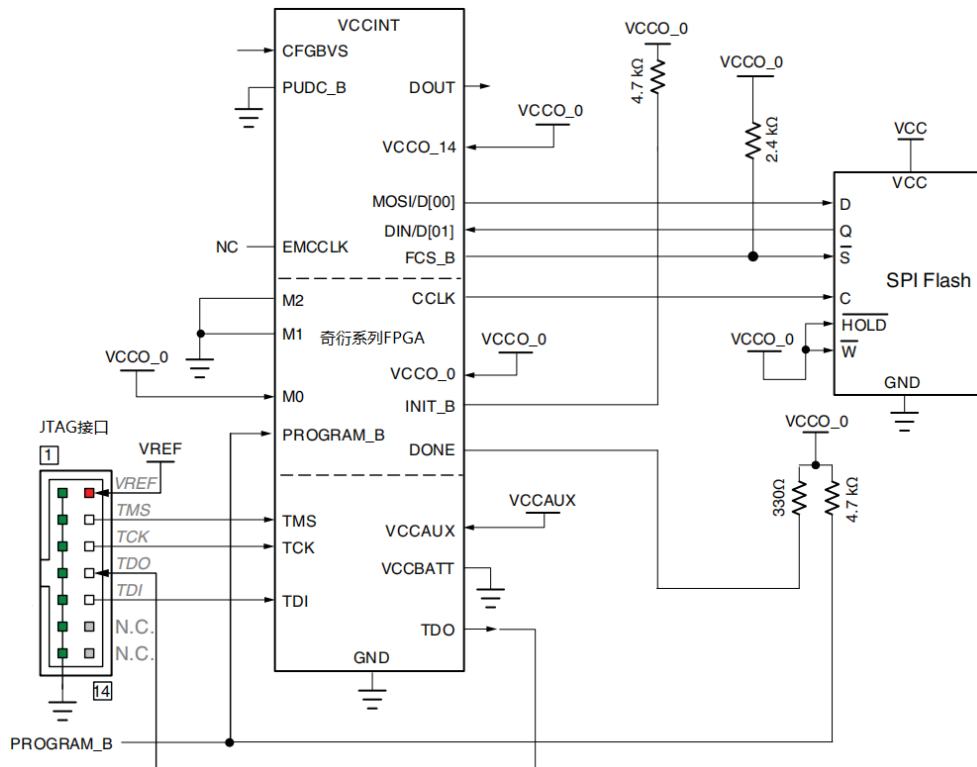


图14 奇衍系列 FPGA SPI x1/x2 配置参考电路

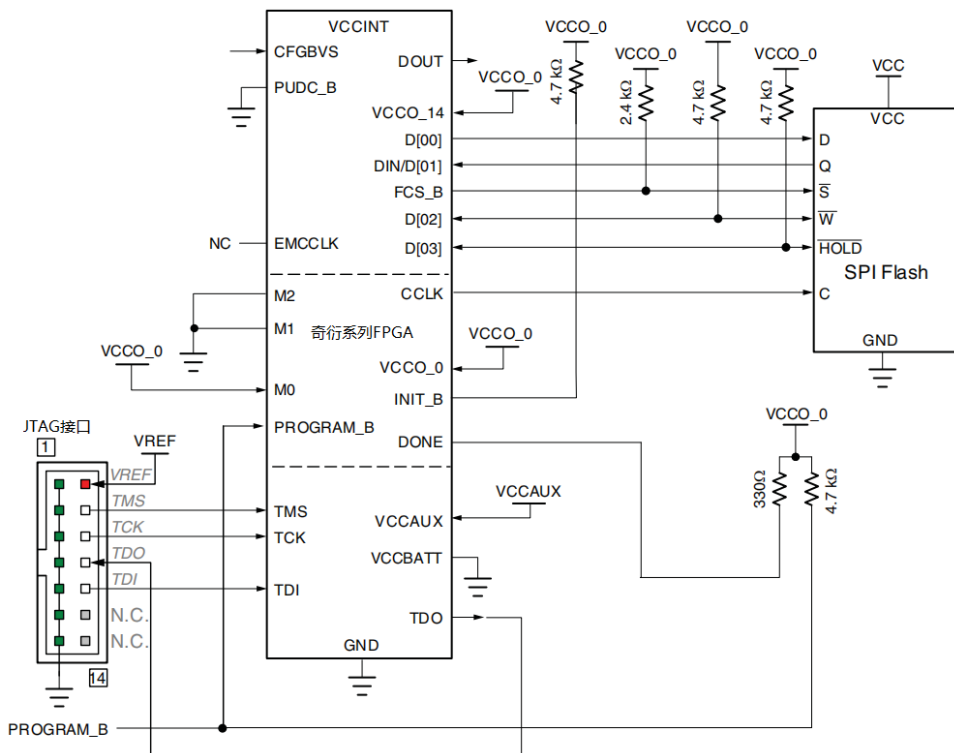


图15 奇衍系列 FPGA SPI x4 配置参考电路

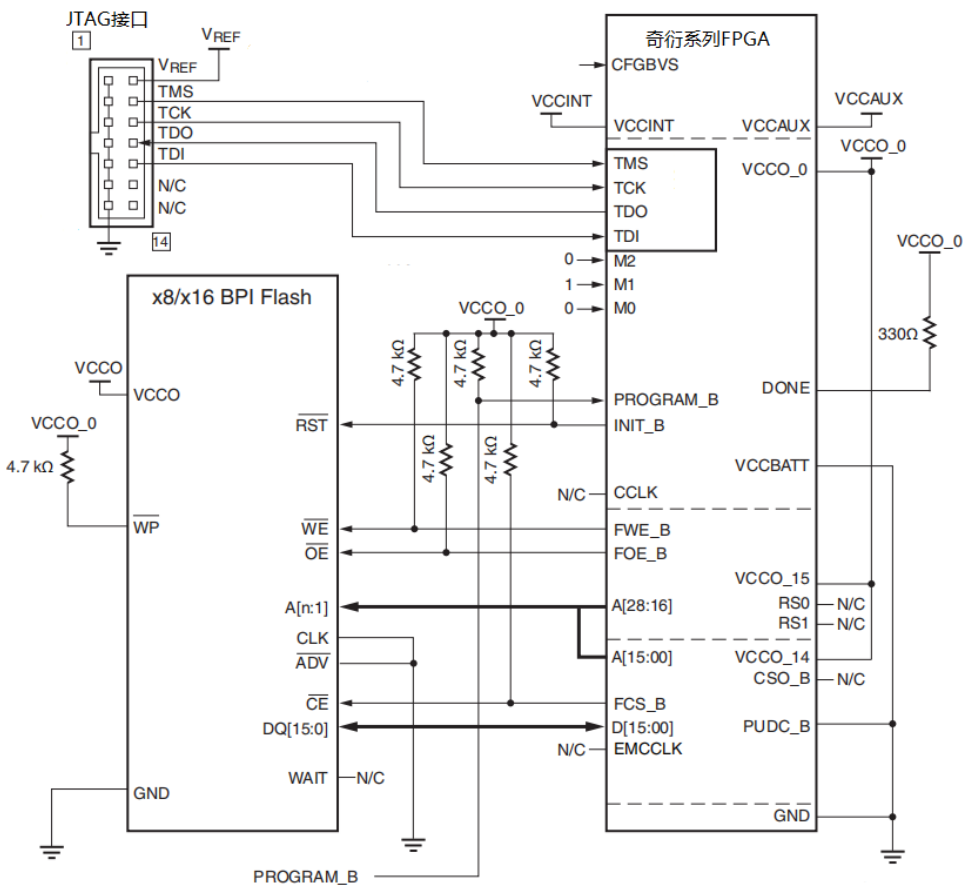


图16 奇衍系列 FPGA 主模式 BPI 配置异步读参考电路

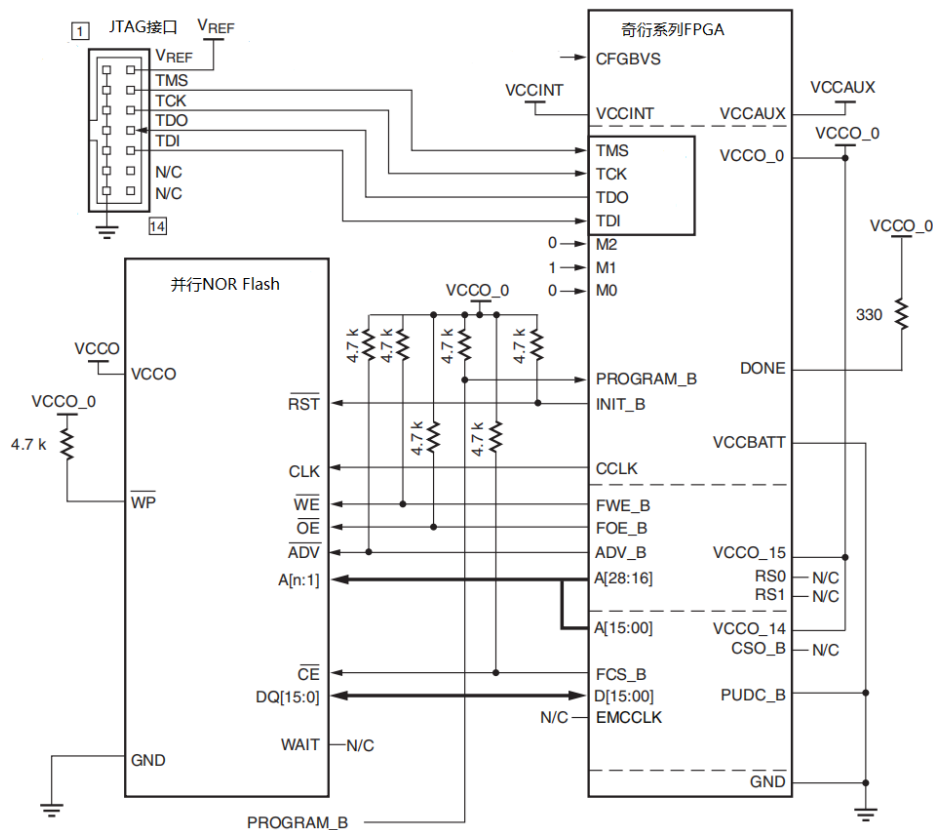


图17 奇衍系列 FPGA 主模式 BPI 配置同步读参考电路

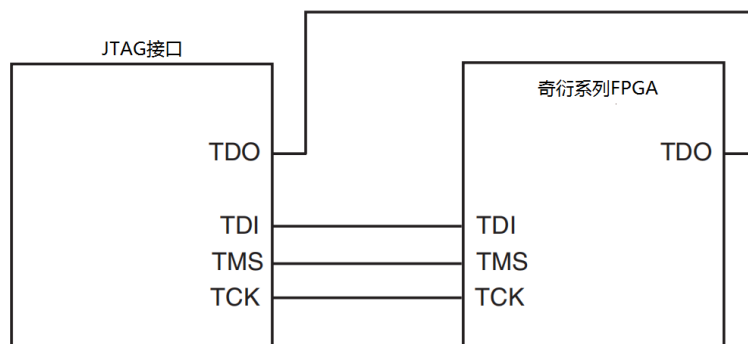


图18 单个器件 JTAG 编程连接

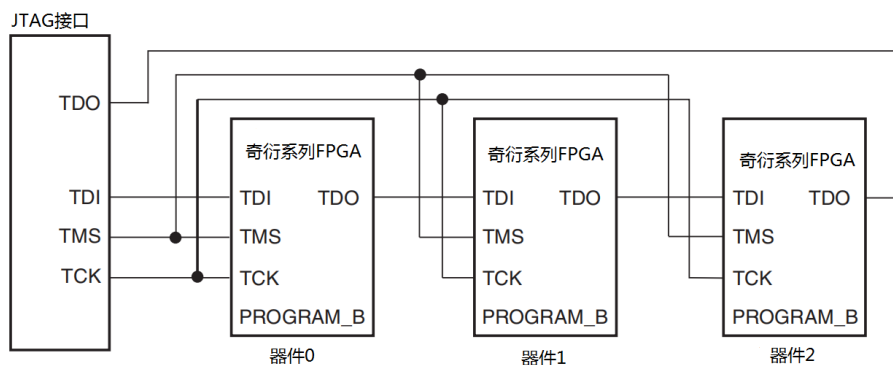


图19 边界扫描多个器件菊花链连接

7.6 SERDES 应用注意事项

8.1.1 AVCC 电源要求

SERDES 的 AVCC 需要单独供电，不建议与其它电源共用（特别不能与 VCCINT 共用），避免其它电源的噪声影响 SERDES 的性能。

AVCC 管脚处的电源纹波需小于 10mV_{pp}，同时包括纹波在内的电压值严禁超过推荐工作条件。

8.1.2 AVTT 电源要求

SERDES 的 AVTT 需要单独供电，不建议与其它电源共用，避免其它电源的噪声影响 SERDES 的性能。

AVTT 管脚处的电源纹波需小于 10mV_{pp}，同时包括纹波在内的电压值严禁超过推荐工作条件。

8.1.3 参考时钟要求

1) 参考时钟在管脚处的差分峰峰电压输入需满足指标（350mV~2000mV）；参考时钟的随机抖动小于 1ps(rms)。

2) 参考时钟的交流耦合电容需在板卡设计中靠近 FPGA 器件端，如下图：

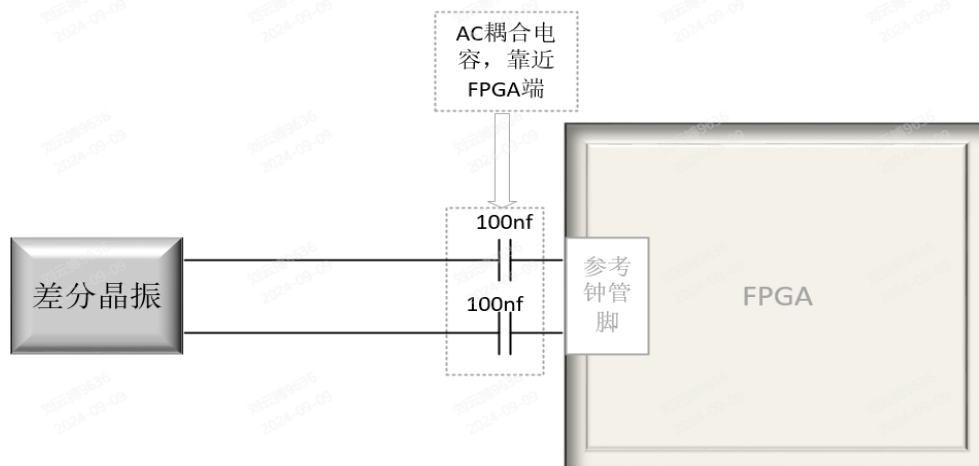


图20 交流耦合

交流耦合主要作用：

- 隔断各器件之间的直流分量，降低功耗；
- 保持器件之间独立的共模电压；
- 交流耦合电容与器件终端形成高通滤波器，减小基准时钟漂移。

8.1.4 Lane 的耦合电容

Lane 的耦合电容在板卡的位置需根据具体协议进行相应设计，具体参考相应协议的用户指南。

8.1.5 PCB 高速信号走线规则

SERDES 参考时钟、发送端、接收端在 PCB 的走线与相邻走线的距离，需大于等于走线线宽的 3 倍，

防止相邻信号的串扰。

8.1.6 端接校准电阻设计

端接校准电阻原理图设计如下：

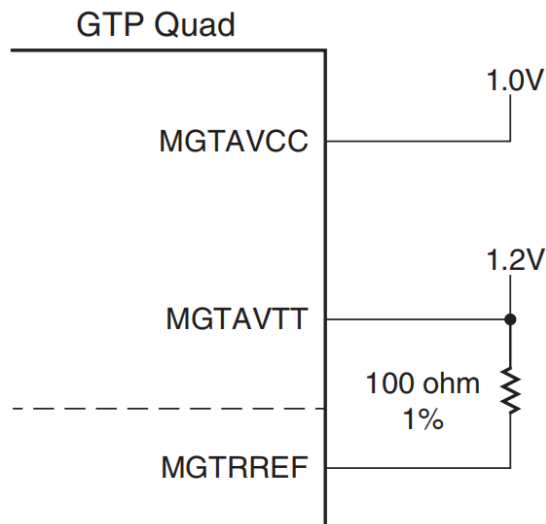


图21 SERDES 外部电源连接关系图

MGTRREF 为端接电阻校准模块电阻输入，应连接到 100 Ω 精密外部电阻引脚上，电阻的另一个引脚连接到 MGTAVTT。

8.1.7 未使用的 Lane

用户需提前在应用工程中定义和固定使用的具体 Lane，严禁器件在上电配置工作一段时间后，更换或增加到原应用工程中未使用的 Lane。

7.7 未使用的 HRIO BANK VCCO 电源建议

当 HRIO 整个 BANK 不使用时，该 BANK 的 VCCO 可以接 1.8V、2.5V、3.3V 或者悬空处理，若接地建议串联 4K 以上的电阻到地，否则直接接地或导致 VCCAUX 静态电流增加。HPIO BANK 不使用时 VCCO 可以直接接地。

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- 器件应在防静电的工作台上操作；
- 试验设备和器具应接地；
- 不能触摸器件引线；
- 器件应存放在导电材料制成的容器中；
- MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物。

10 订货信息

表 41 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	焊球材料	重量（g）	详细规范
1	HWDSL50T-1CS325N1	PBGA324	塑料	N1 级	Sn96.5/Ag3.0/Cu0.5	0.55±0.3（带焊球）	Q/HWD 50372-2023
2	HWDSL50T-1CS325I	PBGA324	塑料	工业温区级	Sn96.5/Ag3.0/Cu0.5	0.55±0.3（带焊球）	Q/HWD 50628-2024
3	HWDSL50T-1CS325E	PBGA324	塑料	军温级	Sn96.5/Ag3.0/Cu0.5	0.55±0.3（带焊球）	Q/HWD 50601-2024
4	HWDSL50T-1CS324N1	PBGA324	塑料	N1 级	Sn96.5/Ag3.0/Cu0.5	0.65±0.3（带焊球）	Q/HWD 50409-2023
5	HWDSL50T-1CS324I	PBGA324	塑料	工业温区级	Sn96.5/Ag3.0/Cu0.5	0.65±0.3（带焊球）	Q/HWD 50411-2024
6	HWDSL50T-1CS324E	PBGA324	塑料	军温级	Sn96.5/Ag3.0/Cu0.5	0.65±0.3（带焊球）	Q/HWD 50410-2024
7	HWDSL50T-1FG484N1	PBGA484	塑料	N1 级	Sn96.5/Ag3.0/Cu0.5	1.76±0.3（带焊球）	Q/HWD 50467-2023
8	HWDSL50T-1FG484I	PBGA484	塑料	工业温区级	Sn96.5/Ag3.0/Cu0.5	1.76±0.3（带焊球）	Q/HWD 50627-2024
9	HWDSL50T-1FG484E	PBGA484	塑料	军温级	Sn96.5/Ag3.0/Cu0.5	1.76±0.3（带焊球）	Q/HWD 50602-2024

注1:

- a) N/N1级器件满足GJB 7400A 《合格制造厂认证用半导体集成电路通用规范》N/N1级的筛选要求
- b) 工业温区级器件满足Q/HWD40022《华微工业温区级产品通用规范》的筛选要求，其工作环境温度范围应为-40℃～+85℃。
- c) 军温级器件满足Q/HWD40020《华微军温级产品通用规范》的筛选要求，其工作环境温度范围应为-55℃～+125℃。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。