

HWD977 型
16 位 A/D 转换器
产品手册
V3.0.1

成都华微电子科技股份有限公司

2025 年 12 月 08 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本	胡达千	20091220	
V1.1.0	加入 CSOP20 封装	胡达千	20150917	
V2.0.0	增加产品订货信息	胡达千	20170420	
V2.0.1	更改引脚定义部分，新增满量程误差电参要求	谢炜	20240328	
V3.0.0	更新手册模板	谢炜	20240620	
V3.0.1	新增焊盘推荐和焊接曲线 电参指标中增加满量程误差测试条件：内基准条件下 ≤100mV 更正 3.0.0 版本中因勘误原因描述的转换时间电参≤ 4.0us	谢炜	20251208	

目 次

1 概述	1
2 产品特点	1
3 功能框图	1
4 封装信息	2
4.1 陶瓷 CDIP20 封装信息	2
4.2 陶瓷 CSOP20 封装信息	2
4.3 HWD977 引脚描述	3
4.4 HWD977 焊盘推荐	4
4.5 HWD977 焊接推荐	5
5 绝对最大额定值及推荐工作范围	6
5.1 绝对最大额定值	6
5.2 推荐工作范围	6
6 电特性参数	6
7 功能描述	7
7.1 概述	7
7.2 功能描述	7
7.3 模拟输入	12
8 应用建议	16
8.1 器件使用	16
8.2 供电与去耦	16
8.3 接地	16
8.4 印制板布局	17
9 使用注意事项	17
10 订货信息	18

1 概述

成都华微公司推出的HWD977是工作在5V单电源电压下的高速低功耗16位A/D转换器。其中包括一个逐次逼近开关电容ADC、一个内部2.5V参考电压源和一个高速串行接口。ADC通过校准使所有线性误差最小化。模拟输入范围支持多种标准： $\pm 10V$ 、 $\pm 5V$ 、 $\pm 3.3V$ 、 $0V \sim 10V$ 、 $0V \sim 5V$ 、 $0V \sim 4V$ 。HWD977对信噪比、总谐波失真等交流参数以及失调、增益、线性等参数进行了全面测试。

2 产品特点

- 1) HWD977 是建立在开关电容基础上的 (200KSPS 吞吐率) 16 位 ADC。
- 2) HWD977 工作在 5V 单电源下, 最大功耗仅有 100mW。
- 3) HWD977 通过了校准, 并对信噪比、总谐波失真以及失调、增益、线性等参数进行了全面测试。
- 4) HWD977 提供了一个包含精准 ADC、参考电压、片上时钟在内的高度集成的解决方案。

3 功能框图

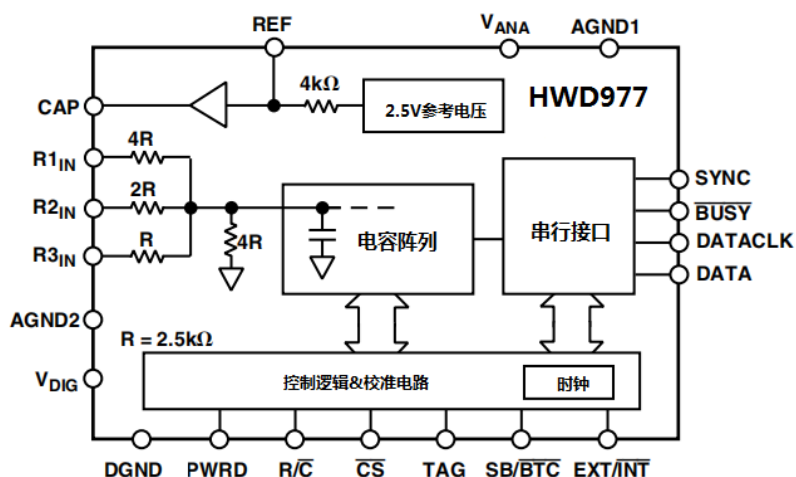


图1 功能框图

HWD977典型应用场景如下图所示。

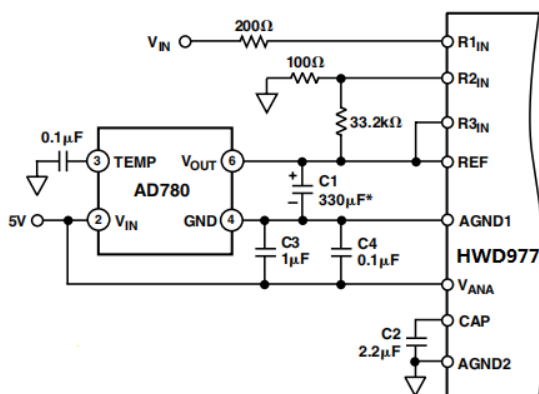


图2 典型应用场景（外部基准模式、 $\pm 10\text{V}$ 输入）

4 封装信息

4.1 陶瓷 CDIP20 封装信息

HWD977MJP封装外形如下图所示。

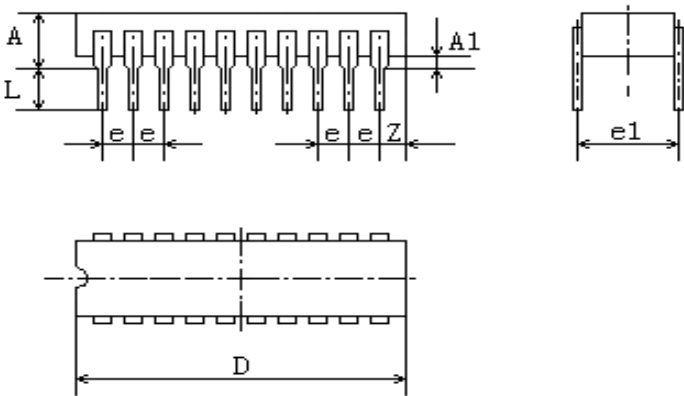


图3 陶瓷 CDIP20 封装外形图

表 1 陶瓷 CDIP20 外形参数

尺寸符号	数值/毫米		
	最小	公称	最大
D	—	—	27.94
e1	—	7.62	—
A	—	—	5.10
A1	0.50	—	—
Z	—	—	2.54
e	—	2.54	—
L	2.54	—	5.00

4.2 陶瓷 CSOP20 封装信息

HWD977MAP封装外形如下图所示。

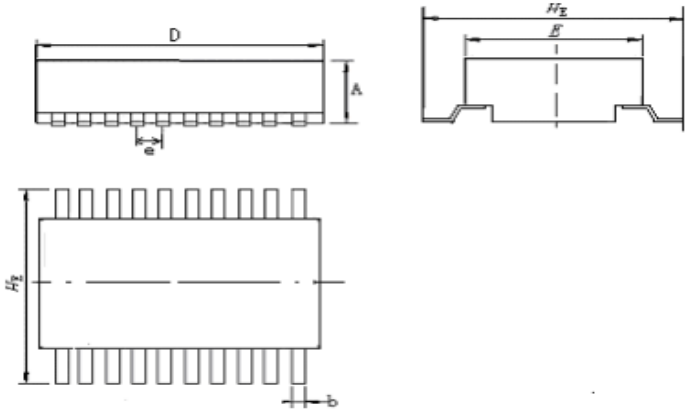


图4 陶瓷 CSOP20 封装外形

表 2 陶瓷 CSOP20 外形参数

尺寸符号	数值/毫米		
	最小	公称	最大
A	—	—	3.20
b	0.34	—	0.46
D	12.45	—	12.95
E	7.28	—	7.71
H _E	10.10	—	10.7
e	1.22	1.27	1.32

4.3 HWD977 引脚描述

HWD977引脚描述描述如下表所示。

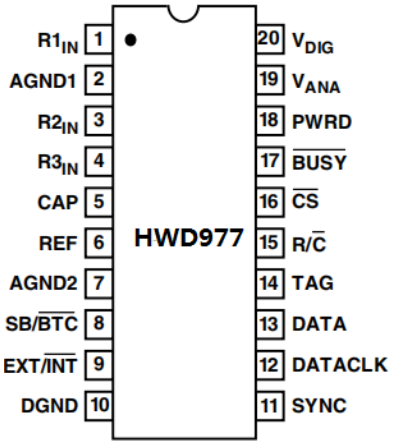


图5 HWD977 引出端排列

表 3 HWD977 引脚描述

引出端编号	功能符号	功能描述
1、3、4	R1 _{IN} 、R2 _{IN} 、R3 _{IN}	模拟输入
2	AGND1	模拟地(参考)
5	CAP	参考缓冲输出, 连接 2.2μF
6	REF	参考输入/输出
7	AGND2	模拟地
8	SB/BTC	数字输入
9	EXT/INT	数字选择输入
10	DGND	数字地
11	SYNC	数字输出
12	DATACLK	串行数据时钟输入或输出
13	DATA	串行数据输出
14	TAG	数字输入
15	R/C	读转换输入
16	CS	片选择

引出端编号	功能符号	功能描述
17	BUSY	占线输出
18	PWRD	断电模式输入
19	V _{ANA}	模拟电源
20	V _{DIG}	数字电源

4.4 HWD977 焊盘推荐

HWD977MJP焊盘推荐如下图所示，用户可根据焊接要求进行调整。

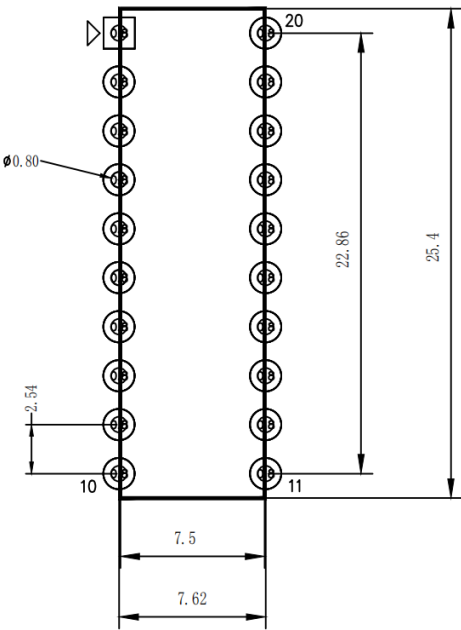


图6 CDIP20 推荐焊盘图

HWD977MAP焊盘推荐如下图所示，用户可根据焊接要求进行调整。

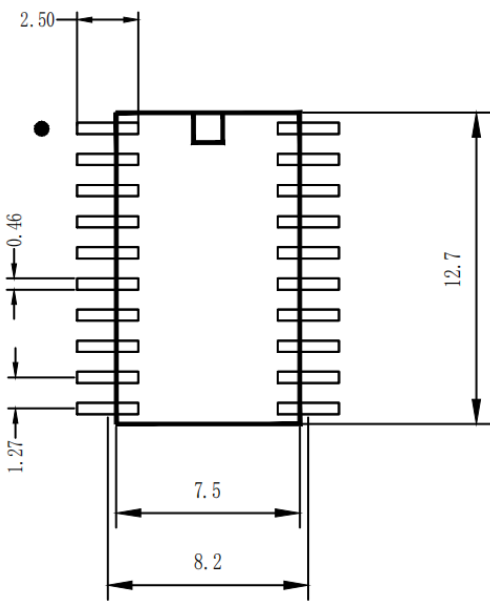


图7 CSOP20 推荐焊盘图

4.5 HWD977 焊接推荐

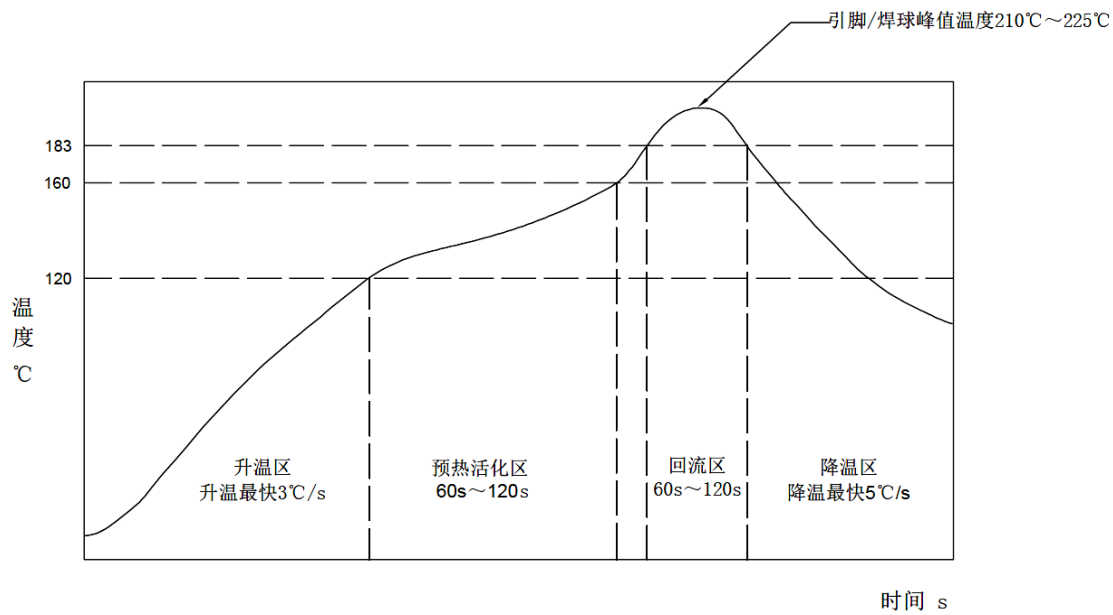


图8 HWD977 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	模拟输入 (R1 _{IN} , R2 _{IN} , R3 _{IN})	±12V
2	CAP	+VANA +0.3V 到 AGND2-0.3V
3	DGND, AGND1, AGND2	±0.3V
4	V _{ANA}	7V
5	V _{DIG}	7V
6	数字输入	-0.3V 到 VD _{DIG} +0.3V
7	存储温度范围	65℃到+150℃
8	引脚耐焊接温度	260℃

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	数字电源电压 (V _{DIG})	5.0V
2	模拟电源电压 (V _{ANA})	5.0V
3	工作温度 (T _A)	-55℃~+125℃

6 电特性参数

表 4 电特性

特性	符号	条 件 除另有规定外 V _{DIG} =V _{ANA} =5.0V, Fs=200kHz -55℃≤T _A ≤125℃	极限值		单位
			最小	最大	
分辨率	RES		16	—	Bit
输入信号幅度范围	VIR		—	±10	V
转换频率	fc		200	—	kHz
积分线性误差	INL	Fs=200KHZ	—	±14.0	LSB
微分线性误差	DNL	Fs=200KHZ	—	±4.0	LSB
失调误差范围	VFSE		—	±15	mV
满量程误差电压	VFE	内基准	—	±100	mV
交流精度					
信噪比	SNR	VIN=±10Vp-p	75	—	dB

特性	符号	条 件 除另有规定外 $V_{DIG}=V_{ANA}=5.0V$, $F_s=200kHz$ $-55^{\circ}C\leq T_A\leq 125^{\circ}C$	极限值		单位
			最小	最大	
参考					
内部参考电压	V_{REF}		2.4	2.6	V
输入低电平电压	V_{IL}		—	0.8	V
输入高电平电压	V_{IH}		2.0	—	V
输出低电平电压	V_{OL}	$I_{SINK}=500uA$	—	0.5	V
输出高电平电压	V_{OH}	$I_{SOURCE}=500\mu A$	3.3	—	V
数字电源电流	I_{DIG}	$F_s=0Hz$, no load	—	8	mA
模拟电源电流	I_{ANA}	$F_s=0Hz$, no load	—	11	mA
功耗	PD		—	100	mW
时序					
转换时间	t_6		—	4.0	μs

7 功能描述

7.1 概述

HWD977 由 R/C 和 CS 这两根信号线控制。每开始一次转换并使采样/保持电路处于保持状态，需要 R/C 和 CS 这两根信号线持续不小于 50 纳秒的低状态。一旦转换过程开始，BUSY 保持低电平直至转换结束。在转换结束时，BUSY 变成高，产生的有效数据在数据总线上可用。HWD977 上电后的第一次转换产生的输出结果为不定态。

7.2 功能描述

7.2.1 内部时钟模式

当 EXT/INT 为低时，是内部时钟模式。通常 CS 被接到低，R/C 用来初始化转换。在转换中，HWD977 将输出 16 位的数据，先输出 MSB。数据将会与 DATACLK 上的 16 位数据时钟同步。输出数据在数据时钟的上升沿和下降沿有效（如下图所示）。当 LSB 出现后，数据管脚会输出在转换开始时 TAG 管脚输入的数据。

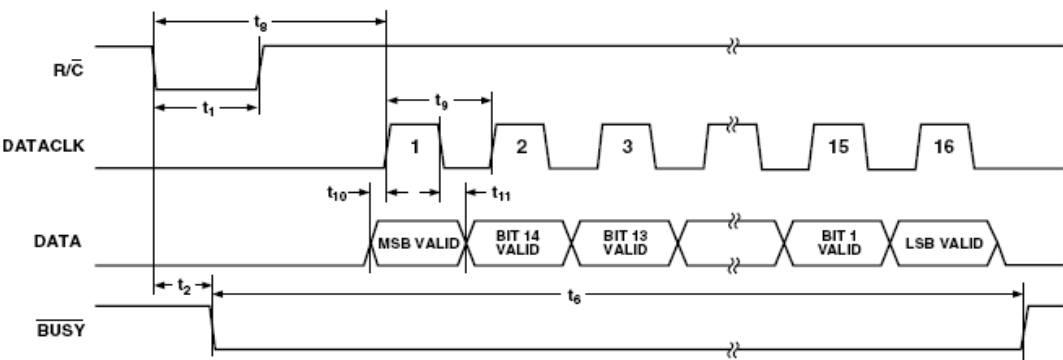


图9 内部时钟模式时序图

注：上电复位时温度寄存器中的值为+85℃。

7.2.2 外部时钟模式

当 EXT/INT 为高时，HWD977 配置为可以接受外加的数据时钟。这个操作模式提供了很多方法来实现对 HWD977 转换结果的读取。第 n-1 次的转换结果可以在第 n 次转换时被读取。第 n 次转换的结果也可以第 n 次转换结束时被读取。外部时钟可为连续时钟或者非连续时钟。非连续时钟不激活时可为常高时钟或者常低时钟。在非连续时钟时，HWD977 可以选择生成或者不生成 SYNC 输出。

每一个时序方法都在下面的图 10 到图 15 中。需要注意的是所有的时序图都是假设接受数据的器件时在时钟上升沿锁存数据，如果使用 DATACLK 的下降沿，需要增加最少一个时钟来锁存 16 位数值。注意数据是在时钟脉冲的下降沿或者下一个时钟的上升沿有效。

HWD977 提供了错误修正电路，可以纠正第一个转换周期的不准确的位精度。但通常在第一个周期出现不准确的位精度是无法避免的。通常认为噪声和建立时间不够会导致这些错误的数据的产生。

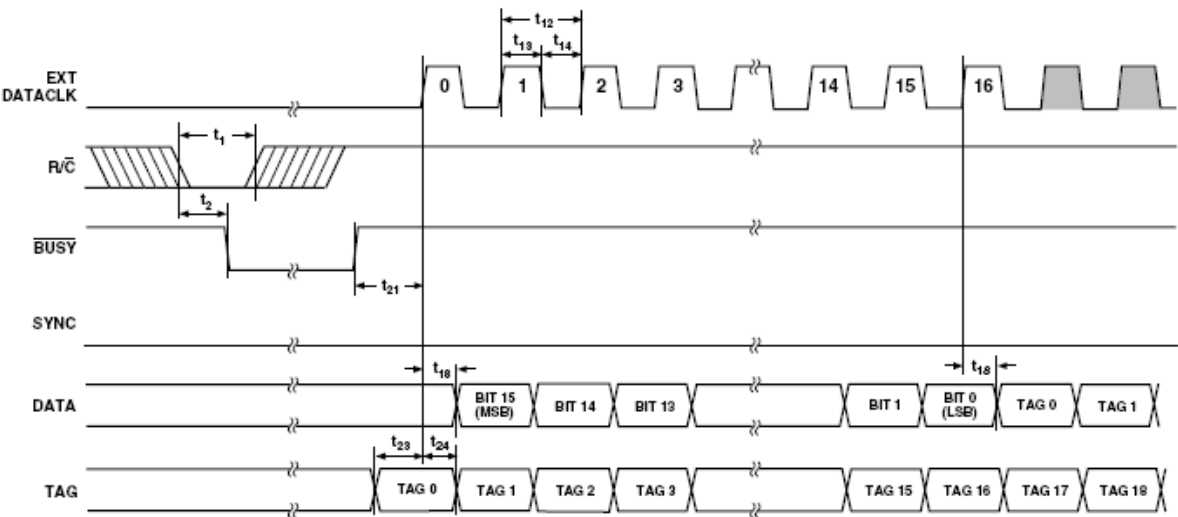


图10 转换结束后外部不连续时钟输入不输出 SYNC 信号的时序图

上图描述了用不连续时钟在第 n 次转换结束时读取转换结果并不生成 SYNC 信号。当转换完成后，BUSY 变为高，当 CS 是低，R/C 是高时，转换结果可以读取。在这个模式下 CS 被接到地。MSB 将在 DATACLK 的第

一个下降沿和第二个上升沿有效。LSB 在第 16 个下降沿和第 17 个上升沿有效。如果接收器件下降沿锁存数据，则需要最少 16 个时钟脉冲来传输；如果接收器件上升沿锁存数据，则最少需要 17 个时钟脉冲来锁存数据。数据输出管脚在 DATACLK 的第一个上升沿会反映出 TAG 输入管脚的状态。

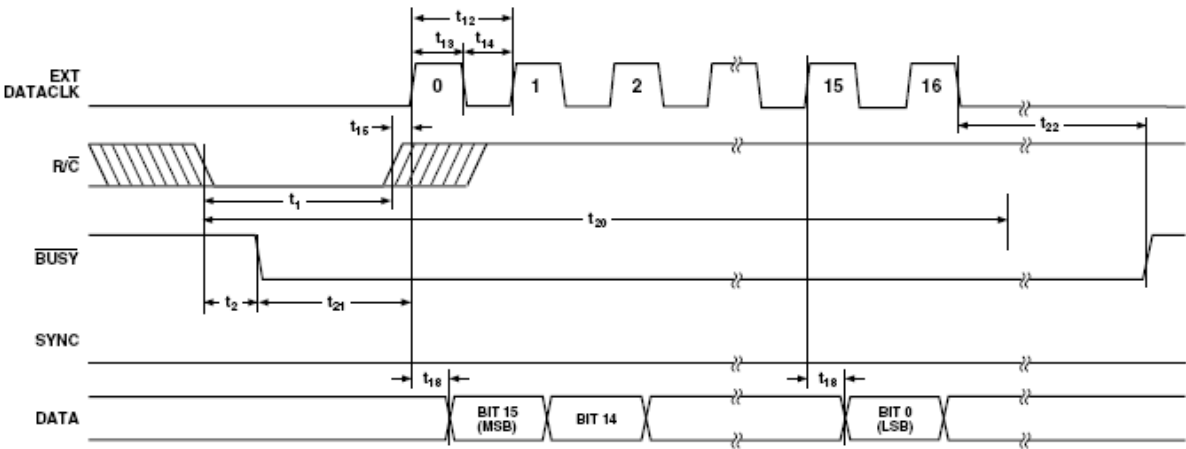


图11 转换过程中采用外部不连续时钟读取上一次转换结果

当 BUSY 变低，转换开始初始化，前一个转换的结果在 CS 低，R/C 高的情况下可以被读出。在这个模式下 CS 将被连接到低。MSB 将在 DATACLK 第一个下降沿和第一个上升沿有效，LSB 将在 DATACLK 第 16 个下降沿和第 17 个上升沿有效。如果接收器件在 DATACLK 上升沿锁存数据，则最少需要 17 个时钟周期。大约在第 17 个 DATACLK 上升沿过后 40ns，DATA 输出管脚将会在 DATACLK 上升沿输出 TAG 输入管脚输入的数据。对于 HWD977 来说数据应该在第一个 BUSY 半周期内逐个输出，这样才不会衰减转换的性能。对 HWD977 这需要使用 10MHz 频率以上的 DATACLK 使数据尽快被读出。

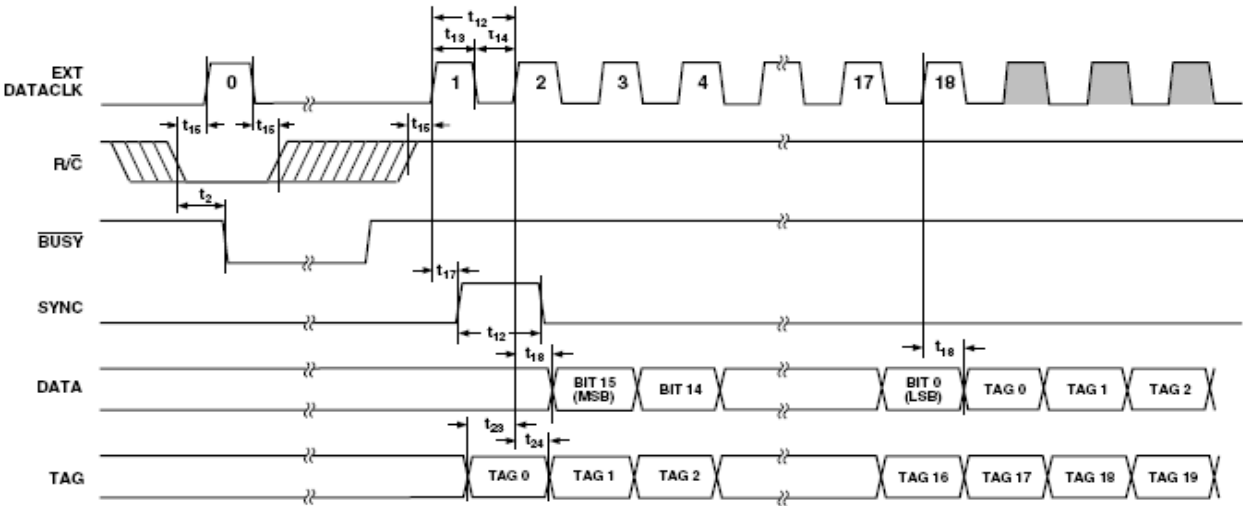


图12 转换结束后外部不连续时钟输入生成 SYNC 信号

在 CS 高或者 CS 和 R/C 都为低的情况下数据时钟有跳变则会生成 SYNC 信号。当 BUSY 变高，转换完成后，转换的结果在 CS 低，R/C 高的情况下可以被读出。在这种模式下 CS 可以一直输入低电平。在上图中，时钟脉冲#0 用来生成 SYNC 脉冲。SYNC 脉冲通常在时钟脉冲#1 上升沿 40ns 后输出。SYNC 脉冲将在

#1 时钟的下降沿和#2 时钟的上升沿有效。MSB 将在#2 时钟的下降沿和#3 时钟的上升沿有效。LSB 将在#17 时钟的下降沿和#18 时钟的上升沿有效。大概在#18 时钟的上升沿过后 40ns，数据输出管脚将输出在#2 时钟上升沿时 TAG 输入管脚上的数据。这种读数据模式的优点是会影响到转换的性能。这种模式的缺点是会影响到整体的吞吐率,即时采用最高的数据时钟，吞吐率还是达不到 200KHz。

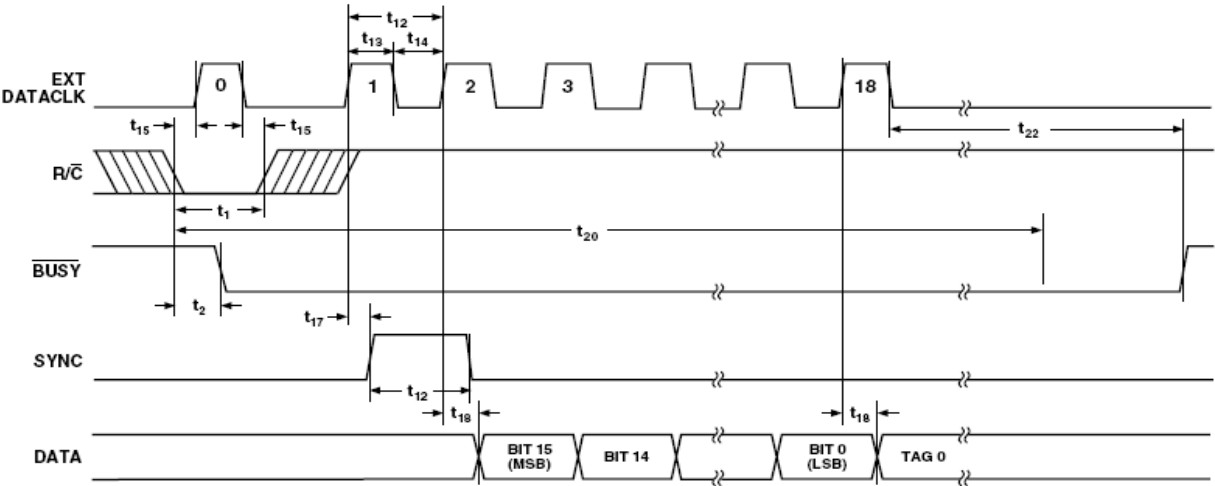


图13 转换进行中外部不连续时钟输入生成 SYNC 信号

在上图中，转换在 R/C 和 CS 变低时被初始化，时钟在 BUSY 变低的情况下输入来读取上一次转换的结果。在 CS 高或者 CS 和 R/C 都为低的情况下数据时钟有跳变则会生成 SYNC 信号。如图所示，时钟脉冲 #0，会允许 SYNC 脉冲的生成。R/C 变低后小于 83ns 的时间，BUSY 输出将会变低指示出转换进程开始。在图 11 中，R/C 变高，然后再延迟一段时间后,时钟脉冲#1 才能变高来生成 SYNC。SYNC 输出将出现在#1 上升沿 40ns 后并在其下降沿有效，并在下一个时钟#2 的上升沿有效。MSB 将在#2 的上升沿后 40ns 有效并能在#2 时钟的下降沿和#3 时钟的上升沿有效。LSB 将在#17 时钟的下降沿和#18 时钟的上升沿有效。在#18 时钟的上升沿过后 40ns，DATA 输出将会输出 TAG 在时钟脉冲#2 时输入的数据。

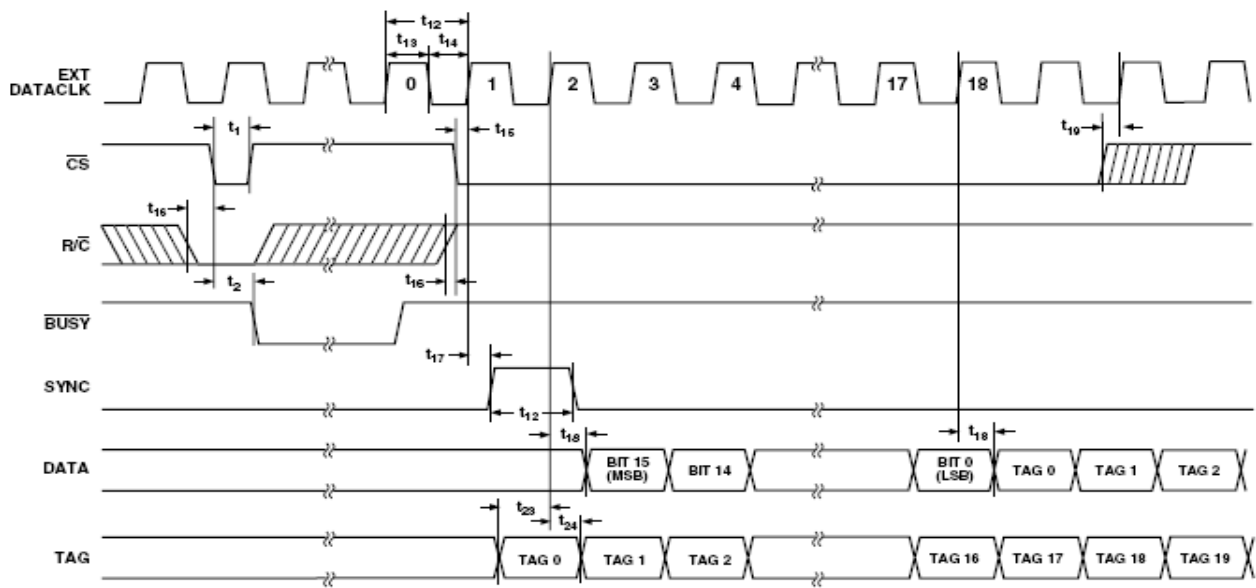


图14 转换结束后外部连续时钟输入生成 SYNC 信号

如上图所示，在 CS 高或者 CS 和 R/C 都为低的情况下数据时钟有跳变则会生成 SYNC 信号。用连续时钟时，CS 不能一直连接到低电平。采用连续时钟会增加 DNL 和瞬态噪声。转换结束后 BUSY 变高，转换的结果可在 CS 为低，R/C 为高时读出。在上图中，#0 脉冲用来生成 SYNC 脉冲，SYNC 脉冲通常是在时钟脉冲#1 上升沿 40ns 后串行输出。SYNC 脉冲将在#1 脉冲的下降沿和#2 脉冲的上升沿有效。MSB 将在#2 脉冲的下降沿和#3 脉冲的上升沿有效。LSB 将在#17 时钟的下降沿和#18 时钟的上升沿有效。#18 时钟的上升沿过后 50ns，DATA 输出将会输出 TAG 在时钟脉冲#2 时输入的数据。

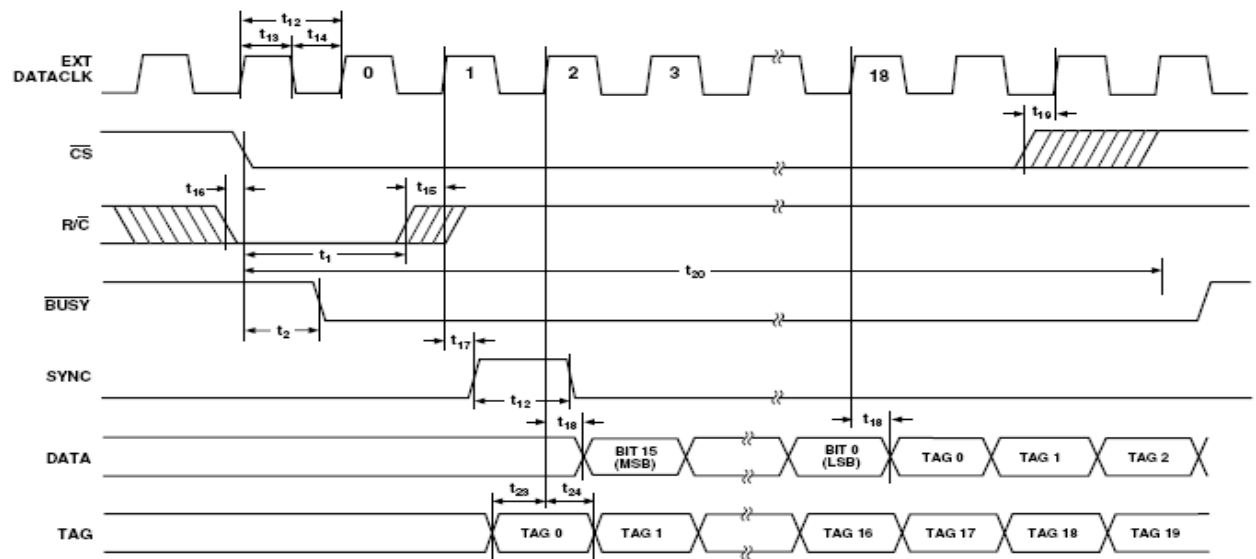


图15 转换进行时外部连续时钟输入生成 SYNC 信号

如上图所示，在 CS 高或者 CS 和 R/C 都为低的情况下数据时钟有跳变则会生成 SYNC 信号。用连续时钟时，CS 不能一直连接到低电平。采用连续时钟会增加 DNL 和瞬态噪声。在上图中，转换在 R/C 变低 CS 也为低

情况下初始化，在这种情况下存在一个 DATACLK#0 的转换，CLK#0 将会允许生成一个 SYNC 脉冲，在 R/C 变高 83ns 后，转换开始。在图 13 中，R/C 变高，然后再延迟一段时间后，时钟脉冲#1 才能变高来生成 SYNC。SYNC 输出将在#1 上升沿 50ns 后输出，并在#1 下降沿和#2 上升沿有效。MSB 将在#2 脉冲的下降沿和#3 脉冲的上升沿有效。LSB 将在#17 时钟的下降沿和#18 时钟的上升沿有效。#18 时钟的上升沿过后经过一段时间，DATA 输出将会输出 TAG 在时钟脉冲#2 时输入的数据。

7.3 模拟输入

HWD977 可以工作在六个不同的输入电压范围内，三类模拟输入的连接关系 $R1_{IN}$ 、 $R2_{IN}$ 、 $R3_{IN}$ 如表 3 所示。模拟输入部分在 $R1_{IN}$ 和 $R2_{IN}$ 管脚上有 $\pm 12V$ 过电压保护。由于 HWD977 有两个模拟地。所以必须保证模拟输入是相对于 AGND1 地。AGND1 属于通过电流比较低的地。这样会减少电流流过地阻抗上产生的一些问题。同时保证输入被低阻电压源驱动也是很重要的。为了满足 HWD977 的低失调要求，必须小心选择驱动运放。

表 5 HWD977 输入配置

Input Voltage Range	Connect $R1_{IN}$ via 200 Ω to	Connect $R2_{IN}$ via 100 Ω to	Connect $R3_{IN}$ to	Input Impedance
$\pm 10\text{ V}$	V_{IN}	AGND	2.5 V	11.5 k Ω
$\pm 5\text{ V}$	AGND	V_{IN}	2.5 V	6.7 k Ω
$\pm 3.3\text{ V}$	V_{IN}	V_{IN}	2.5 V	5.4 k Ω
0 V to 10 V	AGND	V_{IN}	AGND	6.7 k Ω
0 V to 5 V	AGND	AGND	V_{IN}	5.0 k Ω
0 V to 4 V	V_{IN}	AGND	V_{IN}	5.4 k Ω

下图展示了简化的模拟输入图。因为 HWD977 即可以工作在内部&外部基准，和一些模拟差分输入范围。满幅输入范围可以用对应的采样电容上 0-2.5V 基准上的电压来表示。

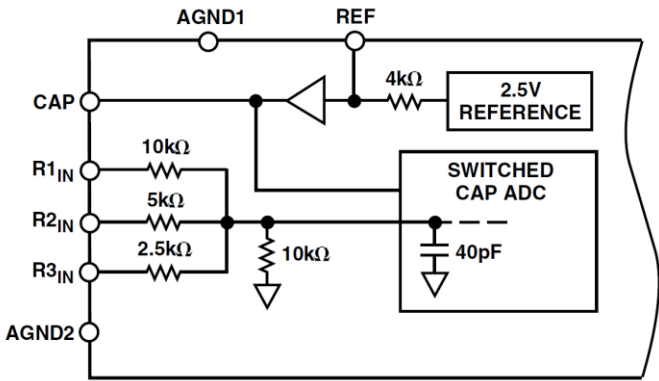


图16 HWD977 简化输入图

当使用 HWD977 采样模拟双极输入信号时，可采用图 17、图 18 或图 19 的输入示意网络；当使用 HWD977 采样模拟单极输入信号时，可采用图 20 的输入示意网络；如果系统能够容忍较大的满度误差或失调误差，外部电阻也可以忽略，或者可以从软件上校正。下图中电容 C1 的容值和 ESR 值取决于所用基准芯片的特点或其手册推荐。

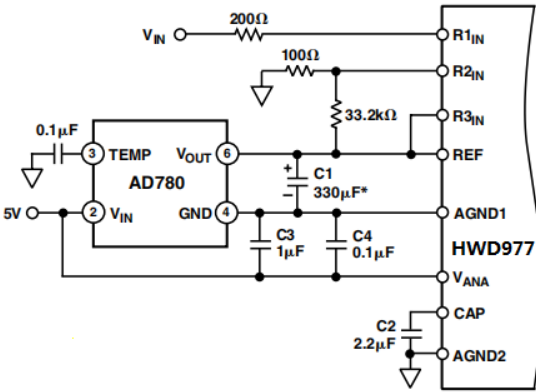


图17 双极输入配置图（外部基准模式、±10V 输入）

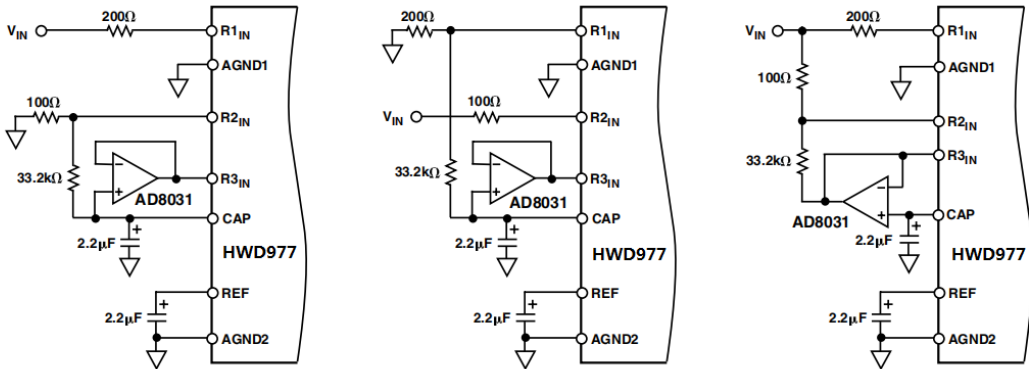


图18 双极输入配置图（内部基准模式）

INPUT RANGE	STANDARD CONNECTION WITHOUT OFFSET AND GAIN ADJUST	STANDARD CONNECTION WITH OFFSET AND GAIN ADJUST
$\pm 10V$		
$\pm 5V$		
$\pm 3.33V$		

图19 双极输入配置图（内部基准模式）

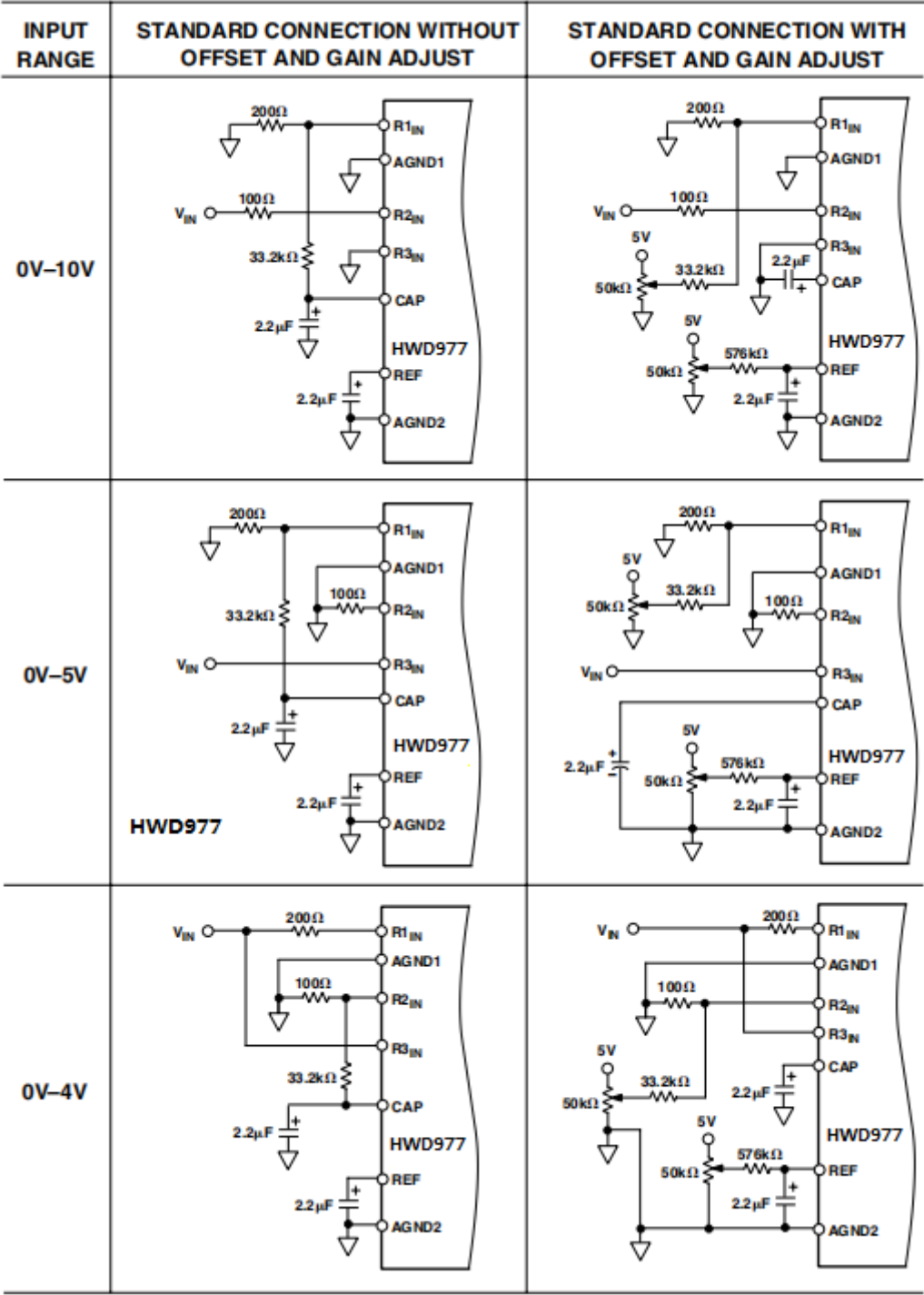


图20 单极输入配置图（内部基准模式）

8 应用建议

8.1 器件使用

HWD977的模拟输入引脚阻抗约18K Ω ，输入信号不宜用电阻分压方式接入，尽量使用运放跟随器；

HWD977的控制逻辑及时序兼容AD977A；

HWD977的BUSY信号上升沿会重新锁存输出寄存器，读取数据时尽量避开BUSY上升沿；

HWD977在器件电源快速上电时，会出现电源短暂峰值大电流的现象，电源电压稳定后会消失。

8.2 供电与去耦

HWD977都有两个电源输入端。VANA和VDIG分别向模拟部分和数字部分提供电源。VANA输入+5V电源对片内模拟电路供电，VDIG也输入+5V电源对片内数字电路供电。HWD977对上电顺序不敏感，不会出现由供给电压引起的锁定（Latch-up）现象。

HWD977是高性能的线性电路，供给电压的变动将会导致电路性能下降。所以，最好使用波纹小于1%的电源。电源的交流输出阻抗是频率的复杂函数，并且会随频率的增加而增加。所以高频开关往往要求更大的瞬态电流，但多数电源都达不到这样的要求，而大的瞬态电流将会对电源供给产生很大的电压尖峰。为了弥补大多数电源交流输出阻抗的不足，应该使用旁路电容来存储电荷，降低从电源到HWD977的VANA和VDIG引脚的阻抗，减小这些尖峰的幅度。0.1 μ F的去耦电容应该离HWD977的电源引脚越近越好，以减小电容与VANA和VDIG引脚之间的互感。

HWD977可以只用一个单的+5V电源供电。如果分别供电，最好在逻辑电源（VDIG）和数字地（DGND）之间，以及模拟电源（VANA）和模拟地（AGND）之间分别加上10 μ F的大电容。此外，10 μ F的大电容应尽量放置在ADC的周围，以进一步降低低频纹波。如果器件用在噪声很大的系统中，电路更需要去耦。

8.3 接地

HWD977有三个接地引脚，分别是AGND1、AGND2、DGND。其中，模拟地是高性能的地，是整个系统模拟部分的公共端。AGND2是系统中大部分模拟信号的参考地，它很容易受到由于电流流过而产生电压降的影响，因此它和电源之间必须用阻抗最小的回路。AGND1地线上流过的电流很小，它供外部电压基准电路、输入运放和输入电阻分压器使用。如果把所有的输入参考都接到这个地上，那它对模拟输入的影响会减小到最低。DGND是HWD977所有数字部分的接地参考点。HWD977既可以用双电源供电，也可以用单电源供电。如果为了防止高速数字噪声耦合到HWD977内部模拟电路中去，数字和模拟供电引脚可以分开。数字地引脚DGND就和系统的数字地连在一起，并和AGND引脚分开。

8.4 印制板布局

设计高分辨率的ADC需要仔细考虑印制板布局。路径阻抗是很重要的一点。一个1.22mA的电流流过一个阻抗为 0.5Ω 的路径会产生0.6mV的电压降。对16位、满量程为20V的ADC而言，这已经是2LSB。所以，地线阻抗必须得尽可能减小，否则在信号线和ADC之间的地线上任何两点的电位差都会成为与输入信号相串的误差电压。除了地线上电压降外，感性和容性耦合也需要考虑。在高精度的模拟输入信号和数字信号都用同一块板时，这个问题特别突出。为了减小输入噪声耦合，到VIN的输入信号线和AGND的信号返回线应该尽可能的短。另外，电源要尽可能去耦，滤掉交流噪声。模拟信号和数字信号不要公用一条通路。每种信号各自使用模拟或数字回路，以减小面积和降低感性耦合噪声。在宽的PC数据线、大的信号线和地线上，推荐使用低阻通路。同时，最好也把模拟地和数字地分开。模拟信号线应该远离高速数字信号线，如果必须要与数字信号线相跨，模拟信号线必须得选择一个合适的角度。另外，我们也推荐使用多层PCB板布线以分离不同的电源和地。在设计多层PCB板时，一定要注意PCB板的布局。

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物；
- f) 若可行，相对湿度保持在 50%以上。

10 订货信息

表 6 产品订货信息

序号	型号	封装形式	封装材料	器件等级	引脚材料	重量 (g)	典型尺寸 (mm) (长×宽×高)	详细规范	产品状态
1	HWD977MJP	CDIP20	陶瓷	B 级	铁镍合金	1.84	27.94×7.62×10.10	Q/HWD 20147-2013	量产
2	HWD977MAP	CSOP20	陶瓷	B 级	铁镍合金	0.98	12.95×10.70×3.20	Q/HWD 20147-2013	量产

注1:

a) B器件满足GJB 597B-2012 《半导体集成电路通用规范》B级的筛选要求。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。