

HWD7490 系列

12 位 A/D 转换器

产品手册

V1.2.0

成都华微电子科技股份有限公司

2026 年 03 月 30 日

版本历史

版次	更改说明	更改人	更改日期	备注
/	初始发行版本	/	20180322	
V1.0.0	新模板手册更新	苟珂玮	20230327	
V1.1.0	对旧版中描述错误进行更正	王海柱	20230427	
V1.2.0	1、更新手册模板。 2、增加焊盘、典型应用场景和焊接温度曲线。 3、增加同系列不同型号产品。	袁雨蝶	20260330	

目 次

1 概述	1
2 产品特点	1
3 功能框图	2
4 封装信息	3
4.1 HWD7490 封装信息	3
4.2 HWD7490 焊盘推荐	7
4.3 HWD7490 焊接推荐	9
5 绝对最大额定值及推荐工作范围	12
5.1 绝对最大额定值	12
5.2 推荐工作范围	12
6 电特性参数	12
7 功能描述	15
7.1 概述	15
7.2 功能描述	15
8 应用建议	32
8.1 接地与布局	32
9 使用注意事项	32
10 订货信息	33

1 概述

HWD7490是一款12位高速，低功耗，16通道逐次逼近型的A/D转换器。该器件能工作在2.7V~5.25V的电源范围内，并且典型数据吞吐速率达到1MSPS。该器件包含了一个可以响应超过1Mhz输入频率的低噪声，高带宽采样保持运算放大器。

转换处理和数据读取是受CS和串行时钟信号控制的，可以使器件轻松地与微处理器和DSP进行接口。输入信号在CS的下降沿进行采样，并且转换也从此刻开始初始化。该器件没有流水线延迟。

HWD7490使用了高级设计技术使高速转换时来达到非常低的功耗。为了最大的数据转换率，HWD7490仅需消耗1.8mA在3V电源条件下和2.5mA在5V电源条件下。

通过设置相应的转换位数到控制寄存器，模拟输入范围被选择在了0V到REFin输入或者是0V到2×REFin输入信号之间，使用直接二进制数或两个互补输出编码。HWD7490是以16个单端模拟输入带一个通道顺序器来使得预先编程的通道选择能被依顺序进行转换。转换时间取决于SCLK频率因为该信号也用于控制转换的主时钟信号。

2 产品特点

- 1) 快速数据吞吐率：1MSPS。
- 2) 特性的 2.75V~5.25V 的电源 VDD。
- 3) 低功耗：在 3V 电源 870kSPS 速率下，最大功耗为 5.4mW；在 5V 电源 1MSPS 速率下，最大功耗为 12.5mW。
- 4) 带输入通道序列器的 16 个单端输入通道。
- 5) 在 50kHz 输入频率下具有 69.5dB 的信噪比。
- 6) 灵活的电源/串联时钟速度管理。
- 7) 无流水线延迟。
- 8) 高速串行接口。
- 9) DSP 兼容。
- 10) 完全关断模式：最大 0.5uA。

3 功能框图

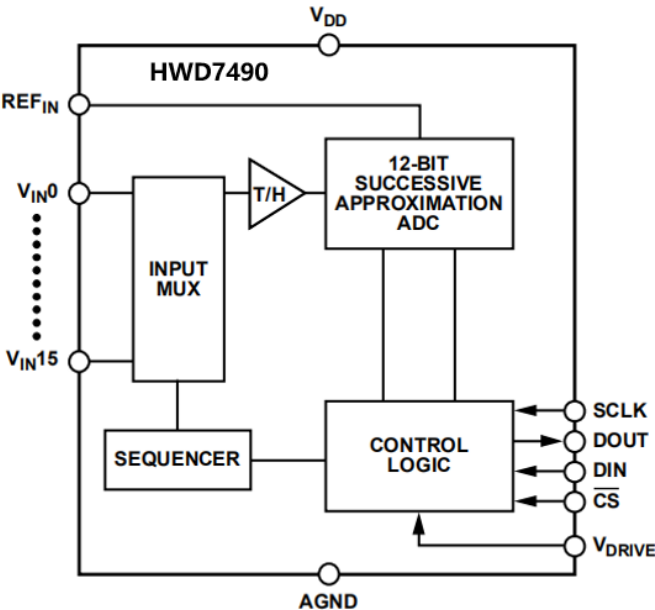


图1 功能框图

HWD7490典型应用场景如下图所示。

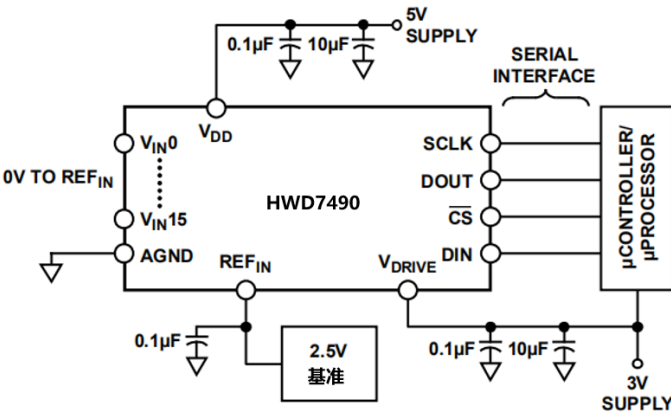
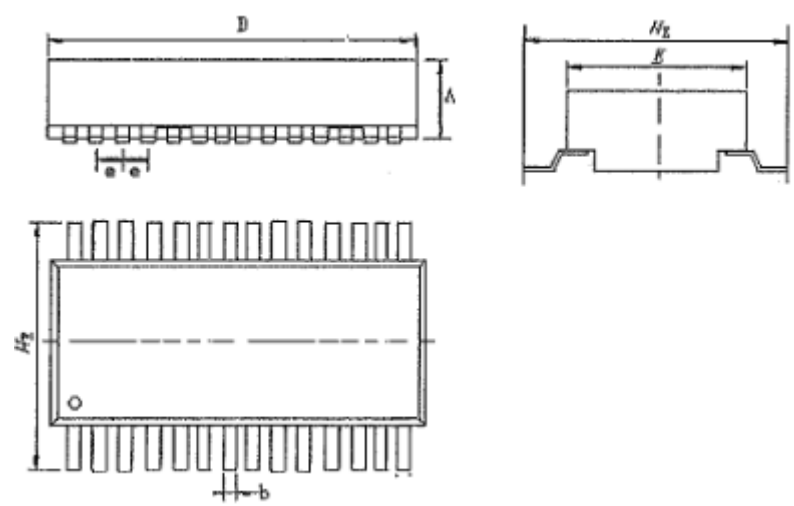


图2 HWD7490 典型连接图

4 封装信息

4.1 HWD7490 封装信息

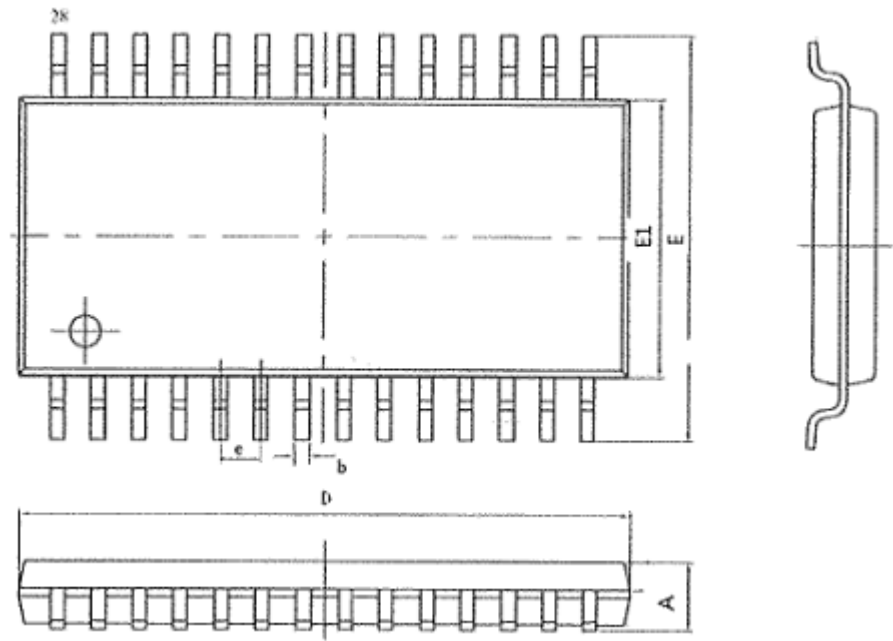
HWD7490MAI采用陶瓷CSOP28封装，HWD7490-A/HWD7490TSSOP28I采用塑料TSSOP28封装,外形及引脚排列图如下图所示。



单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	—	—	3.55
b	0.32	—	0.48
D	17.84	—	18.35
E	7.33	—	7.68
H _E	9.68	—	12.90
e	—	1.27	—

图3 HWD7490MAI 封装外形图



单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	—	—	1.30
b	0.15	—	0.34
e	—	0.65	—
D	9.50	—	9.90
E	6.10	—	6.70
E1	4.20	—	4.60

图4 HWD7490-A/HWD7490TSSOP28I 封装外形图

HWD7490引脚描述描述如下表所示。

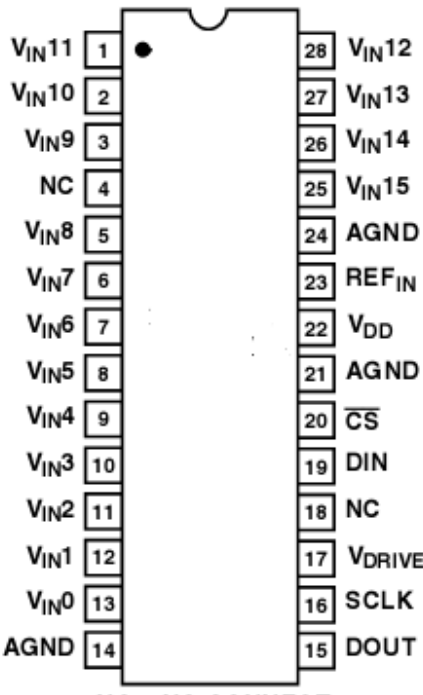


图5 HWD7490 引脚排列图

表 1 HWD7490 引脚描述

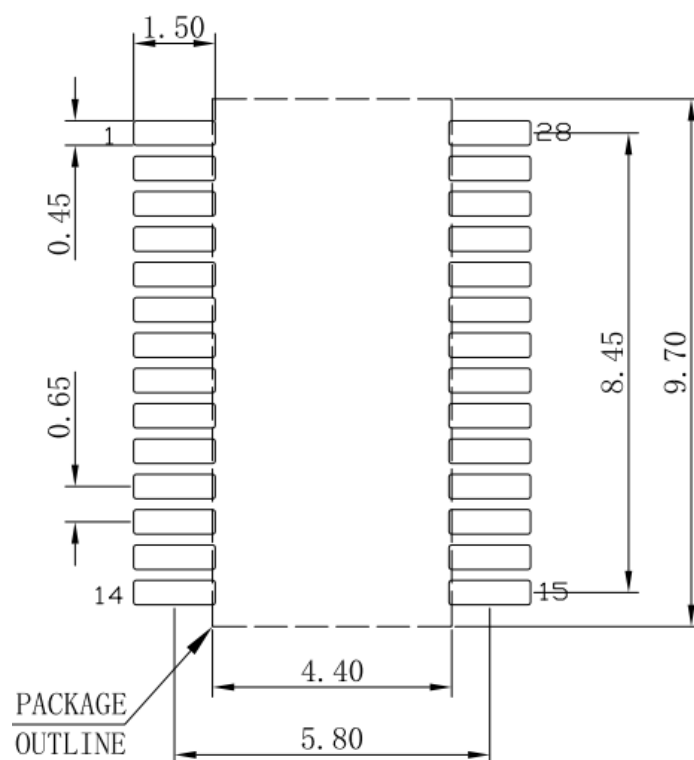
管脚	管脚名	功能描述
1	VIN11	模拟输入通道 11。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
2	VIN10	模拟输入通道 10。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
3	VIN9	模拟输入通道 9。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
4	NC	悬空
5	VIN8	模拟输入通道 8。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
6	VIN7	模拟输入通道 7。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。

管脚	管脚名	功能描述
7	VIN6	模拟输入通道 6。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
8	VIN5	模拟输入通道 5。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
9	VIN4	模拟输入通道 4。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
10	VIN3	模拟输入通道 3。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
11	VIN2	模拟输入通道 2。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
12	VIN1	模拟输入通道 1。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
13	VIN0	模拟输入通道 0。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
14	AGND	模拟地，HWD7490 的全电路地电平基准参考点。所有数字或模拟输入信号和外部基准信号都应该以此 AGND 为参考。所有 AGND 端口都应该连接到一起。
15	DOUT	数据输出，逻辑输出端口，HWD7490 的转换结果以串行数据流方式从该端口输出。这些数据位在 SCLK 时钟下降沿输出，数据流由指示转换通道的四个地址位和紧跟在后边的以 MSB 开头的 12 位转换数据。数据编码形式可由 CODING 位来确定是直接二进制编码还是双互补型编码。
16	SCLK	串行时钟，逻辑输入端口。SCLK 提供了访问该器件的串行时钟。这个时钟输入也用于 HWD7490 转换过程的时钟源。
17	VDRIVE	逻辑电源输入。提供给该端口的电压源决定了 HWD7490 的串行接口的工作电压。
18	NC	悬空。
19	DIN	数据输入，逻辑输入端口，数据在时钟下降沿写入 HWD7490 的控

管脚	管脚名	功能描述
		制寄存器内。
20	/CS	片选信号，输入低有效。该输入提供初始转换的 HWD7490 和串行数据传输双功能。
21	AGND	模拟地，HWD7490 的全电路地电平基准参考点。所有数字或模拟输入信号和外部基准信号都应该以此 AGND 为参考。所有 AGND 端口都应该连接到一起。
22	V _{DD}	电源电压，HWD7490 的电源范围是 2.7V 到 5.25V。为适应 2*REFin 范围，V _{DD} 应该在 4.75V 至 5.25V 之间。
23	REFIN	HWD7490 的基准输入端，必须给该端口输入一个外部基准。该外部基准的电压范围是 2.5V $\pm$ 1% 以达到预期性能。
24	AGND	模拟地，HWD7490 的全电路地电平基准参考点。所有数字或模拟输入信号和外部基准信号都应该以此 AGND 为参考。所有 AGND 端口都应该连接到一起。
25	VIN15	模拟输入通道 15。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
26	VIN14	模拟输入通道 14。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
27	VIN13	模拟输入通道 13。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。
28	VIN12	模拟输入通道 12。共 16 个单端模拟输入通道通过片上序列器进行多路复用。模拟输入通道是通过控制寄存器的地址位 HWDD3 到 HWDD0 来被选中的。该地址位与 SEQ 和 SHHWDDOW 为有关，允许序列寄存器可被编程。

4.2 HWD7490 焊盘推荐

HWD7490焊盘推荐如下图所示，用户可根据焊接要求进行调整。



单位：mm

图6 HWD7490-A/HWD7490TSSOP28I 推荐焊盘图

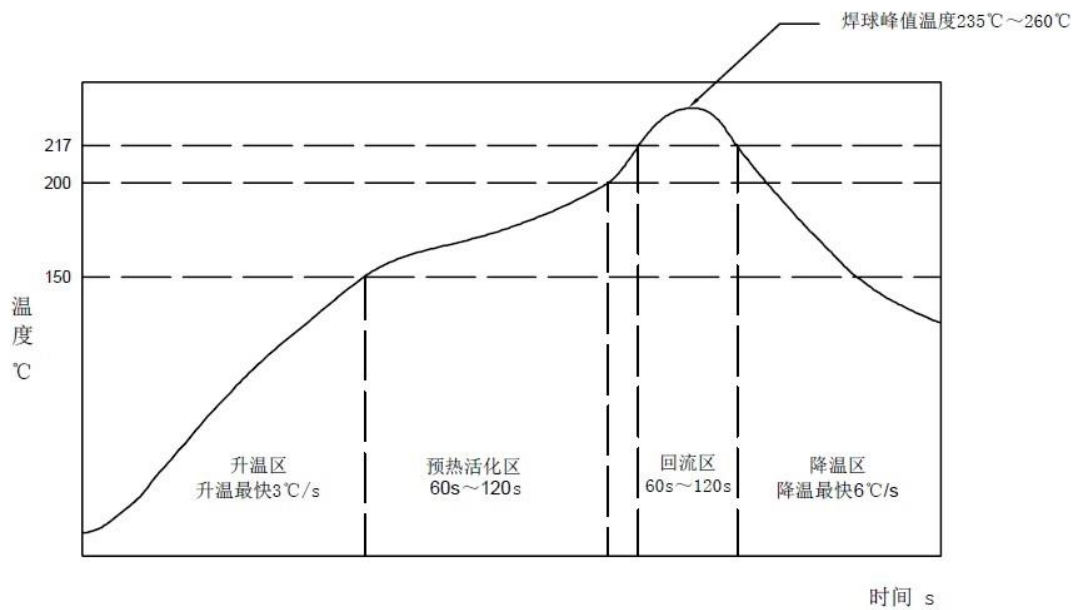


图8 HWD7490-A/HWD7490TSSOP28I 推荐焊接温度曲线

HWD7490MAI推荐有铅焊料Sn63Pb37回流曲线。

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3°C/s
预热温度 120°C~160°C	60s~120s
熔点以上温度保持时间（回流时间）	60s~120s
低于峰值温度 5°C以内的保持时间	最大 30s
引脚/焊球峰值温度	最低 210°C，典型温度 218°C，不超过 225°C
降温速度	最大 5°C/s
室温到峰值温度时间	最小 3 分钟，典型值 4.5 分钟，不超过 8 分钟
备注	根据选择的焊膏特性作调整

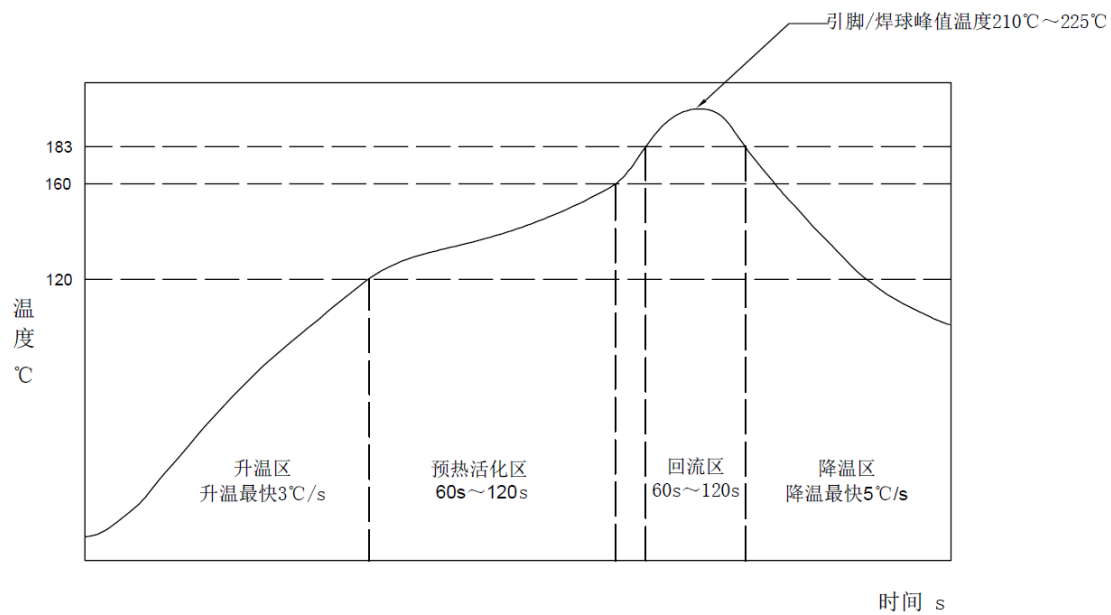


图9 HWD7490MAI 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	电源电压 (V_{DD})	-0.3V~7V
2	逻辑电源电压 (V_{DRIVE})	2.7V~5.25V
3	模拟输入电压 (V_{AI})	-0.3V~ $V_{DD}+0.3V$
4	数字输入电压 (V_{DI})	-0.3V~7V
5	数字输出电压 (V_{DO})	-0.3V~ $V_{DD}+0.3V$
6	参考输入电压 (V_{ref})	-0.3V~ $V_{DD}+0.3V$
7	输入电流 (I_{IN})	$\pm 10mA$
8	电源功耗 (P_W)	450mW
9	储存时的环境温度 (T_{stg})	-65°C~+150°C
10	引线耐焊接温度 (T_h)	260°C
11	结温 (T_j)	175°C

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	工作环境温度 (T_A)	-55°C~125°C
2	电源电压 (V_{DD})	2.7V~5.25V

6 电特性参数

表 2 电特性

参数	符号	条件 除另有说明外 $V_{DD}=2.7V\sim 5.25V$, $V_{REF\ IN}=2.5V$ $V_{DRIVE}=2.7V\sim 5.25V$ $-55^{\circ}C\leq T_A\leq 125^{\circ}C$	最小值	最大值	单位
分辨率	LSB	$V_{DD}=V_{DRIVE}=5V$	12	—	bits
积分非线性	INL	$V_{DD}=V_{DRIVE}=3V$ 或 $5V$	—	± 1	LSB
微分线性误差	DNL	$V_{DD}=V_{DRIVE}=3V$ 或 $5V$	—	-1/+1.5	LSB
0V 到 $V_{REF\ IN}$ 输入范围	失调误差	E_{OE} $V_{DD}=V_{DRIVE}=5V$	—	± 8	LSB
	增益误差	E_{GE} $V_{DD}=V_{DRIVE}=5V$	—	± 2	LSB
0V 到 $2V_{REF\ IN}$ 输入范围	增益误差	E_{PGE} $V_{DD}=V_{DRIVE}=5V$	—	± 2	LSB
	零点误差	E_{ZCE} $V_{DD}=V_{DRIVE}=5V$	—	± 8	LSB

参数	符号	条件 除另有说明外 $V_{DD}=2.7V\sim 5.25V$, $V_{REF\ IN}=2.5V$ $V_{DRIVE}=2.7V\sim 5.25V$ $-55^{\circ}C\leq T_A\leq 125^{\circ}C$	最小值	最大值	单位
DC 漏电流	I_{LC}	$V_{DD}=V_{DRIVE}=3V$ 或 $5V$	—	± 10	μA
输入电压范围	V_{IN}	RANGE=1, $V_{DD}=V_{DRIVE}=5V$	0	V_{REFIN}	V
		RANGE=0 $V_{DD}=V_{DRIVE}=4.75V\sim 5.25V$	0	$2V_{REFIN}$	
DC 漏电流	I_{REFLC}	$V_{DD}=V_{DRIVE}=5V$	—	± 10	μA
基准电压	V_{REF}	$V_{DD}=V_{DRIVE}=5V$	-0.3	$V_{DD}+0.3$	V
输入高电平电压	V_{INH}	$V_{DD}=V_{DRIVE}=5V$	$0.7\times V_{DRIVE}$	—	V
输入低电平电压	V_{INL}	$V_{DD}=V_{DRIVE}=3V$	—	$0.3\times V_{DRIVE}$	V
输入电流	I_{IN}	$V_{DD}=V_{DRIVE}=5V$	—	± 10	μA
输出高电平电压	V_{OH}	$I_{SOURCE}=200\mu A$, $V_{DD}=V_{DRIVE}=5.25V$	$V_{DRIVE}-0.2$	—	V
输出低电平电压	V_{OL}	$I_{SINK}=200\mu A$, $V_{DD}=V_{DRIVE}=2.7V$	—	0.4	V
漂浮态漏电流	I_{DB}	$V_{DD}=V_{DRIVE}=5V$	—	± 20	μA
电源电流	I_{DD}	数字输入=0V 或 $V_{DRIVE}=V_{DD}=4.7V\sim 5.25V$ $f_{SCLK}=20MHz$	—	250	mA
电源功耗	P_W	$V_{DD}=V_{DRIVE}=5V$, $f_{SCLK}=20MHz$	—	12.5	mW
信噪失真比	$SINH$ AD	$f_{IN}=50kHz$ 正弦波 $f_{SCLK}=20MHz$ $V_{DD}=V_{DRIVE}=5V$	60	—	dB
		$f_{IN}=50kHz$ 正弦波 $f_{SCLK}=20MHz$ $V_{DD}=V_{DRIVE}=3V$	60	—	
信噪比	SNR	$f_{IN}=50kHz$ 正弦波 $f_{SCLK}=20MHz$ $V_{DD}=V_{DRIVE}=5V$	60	—	dB
总谐波失真	THD	$f_{IN}=50kHz$ 正弦波 $f_{SCLK}=20MHz$ $V_{DD}=V_{DRIVE}=5V$	—	-64	dB
		$f_{IN}=50kHz$ 正弦波 $f_{SCLK}=20MHz$ $V_{DD}=V_{DRIVE}=3V$	—	-61	
峰值谐波或寄生噪声	$SFDR$	$f_{IN}=50kHz$ 正弦波 $f_{SCLK}=20MHz$ $V_{DD}=V_{DRIVE}=5V$	—	-65	dB
		$f_{IN}=50kHz$ 正弦波 $f_{SCLK}=20MHz$ $V_{DD}=V_{DRIVE}=3V$	—	-63	
转换时间	t_c	$f_{SCLK}=20MHz$, $V_{DD}=V_{DRIVE}=5V$	0.8	20	μs

参数	符号	条件 除另有说明外 $V_{DD}=2.7V\sim 5.25V$, $V_{REF\ IN}=2.5V$ $V_{DRIVE}=2.7V\sim 5.25V$ $-55^{\circ}C\leq T_A\leq 125^{\circ}C$	最小值	最大值	单位
通过速率	f_{TR}	$V_{DD}=V_{DRIVE}=5V$	—	1	MSPS
工作频率	f_{sclk}	$V_{DD}=V_{DRIVE}=5V$	20	—	MHz
静态时间	t_{QUIET}	$V_{DD}=V_{DRIVE}=5V$	50	—	ns
		$V_{DD}=V_{DRIVE}=3V$	100	—	ns

注 1: 时钟定义如下表所示, $V_{DD}=2.7\text{ V to }5.25\text{ V}$, $V_{DRIVE}\leq V_{DD}$, $REFIN=2.5\text{ V}$; $T_A=T_{MIN}$ to T_{MAX} , unless otherwise noted。

注 2: HWD7490TSSOP28I 工作温度为 $-40^{\circ}C\sim +85^{\circ}C$ 。

表 3 时钟定义

参数	T _{MIN} 和 T _{MAX} 限制		单位	描述
	V _{DD} =3V	V _{DD} =5V		
f _{SCLK}	10	10	kHz min	
	10	20	MHz max	
t _{CONVERT}	16×t _{SCLK}	16×t _{SCLK}		
t _{QUIET}	50	50	ns min	从总线空闲到下依次转换启动的间隔时间
t ₂	12	10	ns min	CS 到 SCLK 的建立时间
t ₃	20	14	ns max	从 CS 到 DOUT 三态停止使能的延迟
t _{3b}	30	20	ns max	CS 到 DOUT 有效的延迟
t ₄	60	40	ns max	SCLK 下降沿后数据存储时间
t ₅	0.4×t _{SCLK}	0.4×t _{SCLK}	ns min	SCLK 低脉冲宽度
t ₆	0.4×t _{SCLK}	0.4×t _{SCLK}	ns min	SCLK 高脉冲宽度
t ₇	15	15	ns min	CS 到 DOUT 有效的保持时间
t ₈	15/50	15/50	ns min/max	SCLK 下降沿到 DOUT 高组态
t ₉	20	20	ns min	SCLK 下降沿之前 DIN 的建立时间
t ₁₀	5	5	ns min	SCLK 下降沿之后 DIN 的保持时间
t ₁₁	20	20	ns min	SCLK 第十六个下降沿到 CS 为高电平
t ₁₂	1	1	us max	从电源关闭/自动关闭/自动待机模式下的启动时间

7 功能描述

7.1 概述

HWD7490 是一款 12 位高速，低功耗，16 通道单电源的 A/D 转换器。该器件能工作在 2.7V~5.25V 的电源范围内。当工作在 5V 电源时可提供 20Mhz 的时钟，数据吞吐速率可达到 1MSPS。

HWD7490 为用户提供了片上采样保持电路和串行接口。HWD7490 有带通道序列器的 16 个单端输入通道，可令用户在每次循环时连续的 CS 下降沿来选择通道序列。串行时钟输入控制访问器件的数据，也提供逐次逼近的时钟源。HWD7490 的模拟输入范围是 0V 到 REFin 或 0V 到 2×REFin，根据控制寄存器的 1 位状态来决定。对于 0V 到 2×REFin 的输入范围，该器件必须工作在 4.75V 到 5.25V 的电源下。

HWD7490 可提供灵活的电源管理选项令用户能为给定的数据率下达到最佳的电源表现。这些选项都由控制寄存器内的电源管理位的编程来选定。

7.2 功能描述

7.2.1 内部寄存器结构

7.2.1.1 控制寄存器

HWD7490 的控制寄存器是一个 12 位的只写寄存器。数据在 SCLK 下降沿时从 DIN 端口加载。这些数据是从 DIN 线上与转换结果从芯片读出时的同时传输过来的。在 DIN 线上传输的数据是与 HWD7490 下次转换的设置相对应的。这要求每次数据传输都需要 16 个串行时钟。只有在开始的 12 个时钟下降沿（在 CS 下降沿之后）才能被加载到控制寄存器内。MSB 表示数据流的第一位。各个位的功能如下表 4 所示。

表 4 控制寄存器

MSB									LSB		
11	10	9	8	7	6	5	4	3	2	1	0
WHITE	SEQ	ADD3	ADD2	ADD1	ADD0	PM1	PM0	SHADOW	WEAK/TRI	RANGE	CODING

使用高速比较器和放大器的情况，合适的设计和布局技术可以保证优异的性能。游离的电容，不合适的地阻抗或其他布局布线的问题会导致高速电路的性能限制。

表 5 控制寄存器功能

位数	名称	详细描述
11	WRITE	该位的值表示后面 11 位数据是否加载到控制寄存器。如果该位为 1，后面 11 位数据就会被写入控制寄存器；如果为 0，则保持 11 位数据不加载到控制寄存器，并保持不变。

位数	名称	详细描述
10	SEQ	SEQ 位在控制寄存器里是与 SHHWLOW 位联合使用来控制序列器功能和访问 SHHWLOW 寄存器
9~6	ADD3~ADD0	这 4 个地址位是在当前转换序列的最后加载的并且确定下一次转换的通道，或者他们以一个连续顺序可能选择的最后通道，就如表 9 所示。被选中的输入通道是通过表 7 的方式解码的。下一个要转换的通道通过多路器在第 14 个 SCLK 的下降沿处确定。该地址位所对应的转换结果同样输出到 DOUT 在 12 位数据之前。
5,4	PM1, PM0	电源管理位，这两位用于解码 HWD7490 的工作模式，就如表 8 所述
3	SHADOW	SHHWLOW 位在控制寄存器里用于与 SEQ 位联合使用来控制序列器功能的使用和 SHHWLOW 寄存器的访问
2	WEAK/TRI	该位控制的是在该次串行转换过程末尾的 DOUT 线的状态。如果该位设为 1，DOUT 线处于对后面转换的 HWDD3 通道地址位保持弱驱动的状态。如果该位为 0，则 DOUT 在串行转换末尾返回到三态状态。详见控制寄存器部分。
1	RANGE	该位决定 HWD7490 的模拟输入范围。如果该位设为 0，模拟输入范围从 0V~2*REFin。如果设为 1，模拟输入范围从 0V~REFin（下次转换生效）。为 0V~2*REFin，Vdd=4.75V to 5.25V。
0	CODING	该位选择了用于 HWD7490 转换结果的输出编码类型。如果该位是设为零，输出编码方式就为互补型。如果该位设为 1，输出编码方式就为直接二进制（下次转换生效）。

表 6 通道选择

ADD3	ADD2	ADD1	ADD0	模拟输入通道
0	0	0	0	V _{IN0}
0	0	0	1	V _{IN1}
0	0	1	0	V _{IN2}
0	0	1	1	V _{IN3}
0	1	0	0	V _{IN4}
0	1	0	1	V _{IN5}

0	1	1	0	V _{IN6}
0	1	1	1	V _{IN7}
1	0	0	0	V _{IN8}
1	0	0	1	V _{IN9}
1	0	1	0	V _{IN10}
1	0	1	1	V _{IN11}
1	1	0	0	V _{IN12}
1	1	0	1	V _{IN13}
1	1	1	0	V _{IN14}
1	1	1	1	V _{IN15}

表 7 电源模式选择

PM1	PM0	模式
1	1	普通模式，在该模式下，HWD7490 保持全电源模式，不考虑任何逻辑输入状态。该模式允许 HWD7490 达到最快的数据转换率。
1	0	全关断模式，在该模式下 HWD7490 处于全关断模式状态下，HWD7490 所有电路全部断电。HWD7490 在全关断模式下保持了控制寄存器里的信息。该器件一直会保持全关断模式下直到控制寄存器里的这两位数据发生变化。
0	1	自动关断，在该模式下，HWD7490 当控制寄存器更新后，在转换结束自动进入关断模式。从关断到唤醒时间是 1 μ S，并且用户应该保证这 1 μ S 在准备进行有效转换之前已经结束。
0	0	自动待机，该待机模式下，HWD7490 的部分电路是关断的，但是片上偏置生成器保持上电。该模式类似于自动关断并且允许该器件在一个虚拟循环内上电，即 20mHz 的 SCLK 保持 1 μ S。

控制寄存器中 SEQ 和 SHADOW 位的设置允许用户选择序列器的特定工作模式。表 8 列出了序列器的四种工作模式。

表 8 序列器选择

SEQ	SHADOW	序列器类型
0	0	该设置表示序列器功能未启动。为每次转换选择模拟输入通道的操作是由每次写入操作前的 ADD0 到 ADD3 的地址位确定的。该操作模式反映的是 ADC 多通道的普通操作，不需要序列器的功能，仅需在每次写入时确定下次的转换通道即可。（详见表 12）
0	1	该设置选定了 ShHWDow 寄存器来编程。写入了控制寄存器后，紧跟的写操作会加载 ShHWDow 寄存器的内容。该通道序列器的程序会在每一个逐次有效地 CS 下降沿被连续不断的转换。通道不能被连续选择。
1	0	如果 SEQ 和 SHHWDOW 位设置成这样，那么序列器功能在写操作的时候就不会被干扰。这允许其他控制寄存器位可以被改变而不需要终端循环。
1	1	这个设置是用来联接 HWDD3 到 HWDD0 地址位来对从通道 0 到所选的最后通道连续顺序对 HWD 连续转换进行编程，以控制寄存器内的通道码来确定。

7.2.1.2 SHADOW 寄存器

SHADOW 寄存器在 HWD7490 里是一个 16 位，只写寄存器。数据从 DIN 端口在 SCLK 下降沿处加载上。该数据会在转换结果从器件读出的时候同时传输到 DIN 端口。该数据传输需 16 个串行下降沿。信息随时钟送入 SHADOW 寄存器，提供了 SEQ 和 SHADOW 位由上次写入过程分别地设置为 0 1。MSB 指的是数据流的第一位。每一位都代表一个模拟输入从通道 0 到通道 15。通道顺序能通过写入 SHADOW 寄存器之后的连续 CS 下降沿 HWD7490 的循环来确定。选择通道的顺序，相关的通道位必须为每个输入设置好。HWD7490 连续循环通过在上升次序选定的通道，从最低的通道开始，直到写操作发生（即 WRITE 位设为 1），并且此时 SEQ 和 SHADOW 位不是设为 1 0（详见表 8）。这几位的功能见如下表所示。

表 9 SHADOW 寄存器

MSB								LSB							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
V _{IN0}	V _{IN1}	V _{IN2}	V _{IN3}	V _{IN4}	V _{IN5}	V _{IN6}	V _{IN7}	V _{IN8}	V _{IN9}	V _{IN10}	V _{IN11}	V _{IN12}	V _{IN13}	V _{IN14}	V _{IN15}

图 10 反映了多通道的 ADC 的普通操作，在每次串行转换完成后为转换选择下个通道。在该工作模式下，序列器功能没有用上。

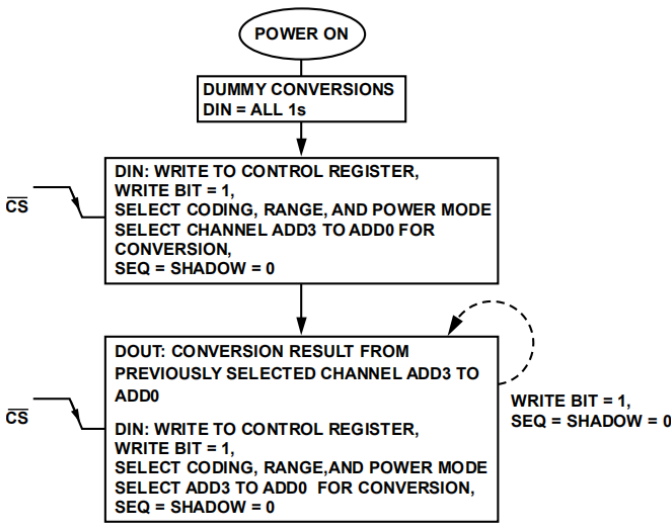


图10 SEQ=0,SHADOW=0 时的流程图

图 11 显示了如何让 HWD7490 使用 SHADOW 寄存器以特定通道顺序进行连续转换。退出该工作模式并返回到多通道 ADC 普通工作模式（如图 10 所显示），保证 WRITE=1 和 SEQ=SHADOW=0 在下次串行转换时。

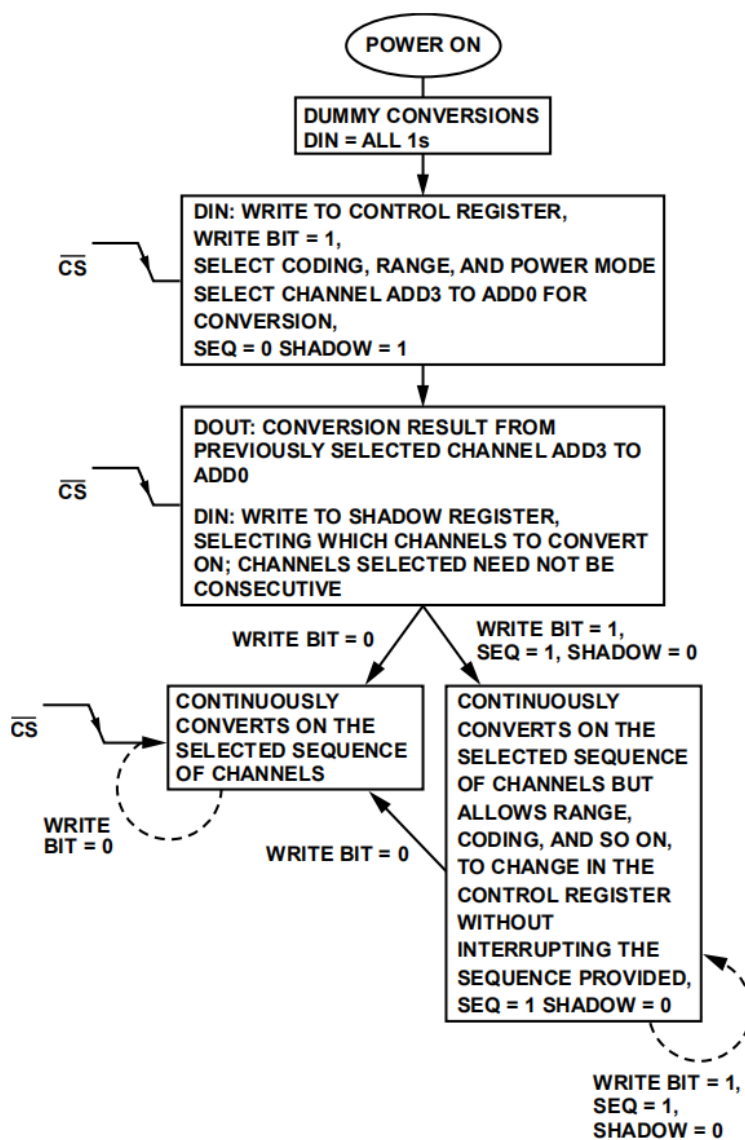


图11 SEQ=0,SHADOW=1 时的流程图

图 12 显示了如何不用对 SHADOW 寄存器编程或每次写入器件便能转换成连续通道顺序。另外，退出该工作模式和返回到多通道 ADC 普通工作模式（如图 10 所显示），保证 WRITE=1 和 SEQ=SHADOW=0 在下次串行转换时。

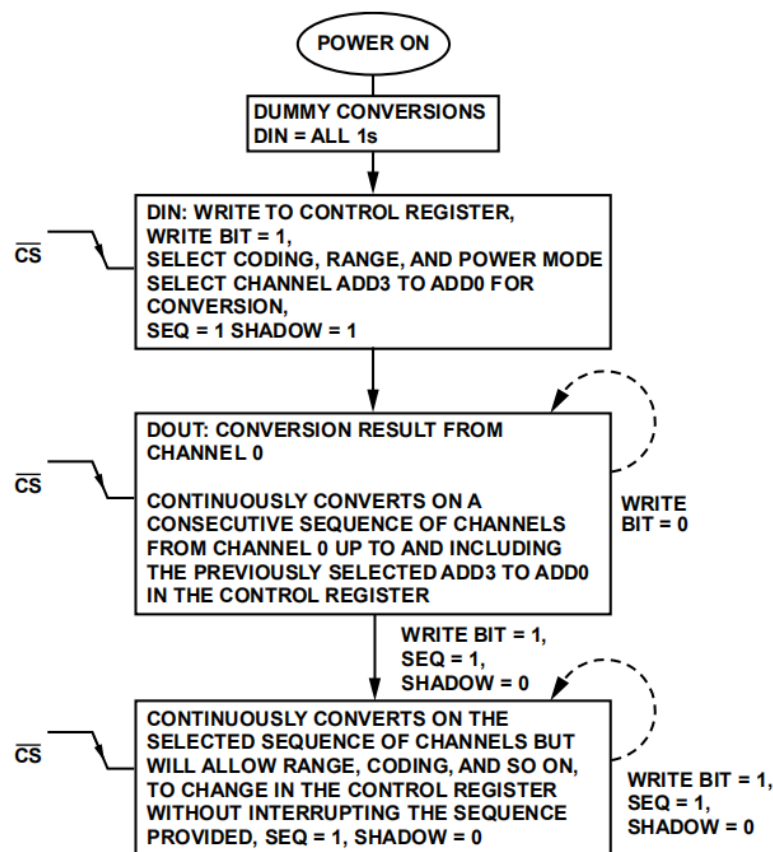


图12 SEQ=1,SHADOW=1 时的流程图

7.2.2 转换操作

HWD7490 是一款 12 位高速的逐次逼近型带电容 DAC 的 A/D 转换器。HWD7490 能转换范围在 0V 到 REFin 或 0V 到 2*REFin 之间的模拟输入。图 13 和图 14 显示了 ADC 的简化电路。ADC 包含了控制电路，SAR，和用来从采样电容加减一定电荷量来平衡比较器反馈的电容型 DAC。图 13 显示了 ADC 处于其访问相位使能情况。SW2 是关闭的 SW1 是在 A 处。比较器保持平衡状态，采样电容获得了所选定的 V_{in} 通道的信号。

当 ADC 开始转换如图 14 所示，SW2 断开并且 SW1 移到 B 处，使比较器变成非平衡态。控制逻辑和用来从采样电容加减一定电荷量来平衡比较器反馈的电容型 DAC。当比较器重新平衡，转换完成。控制逻辑生成 ADC 输出码。

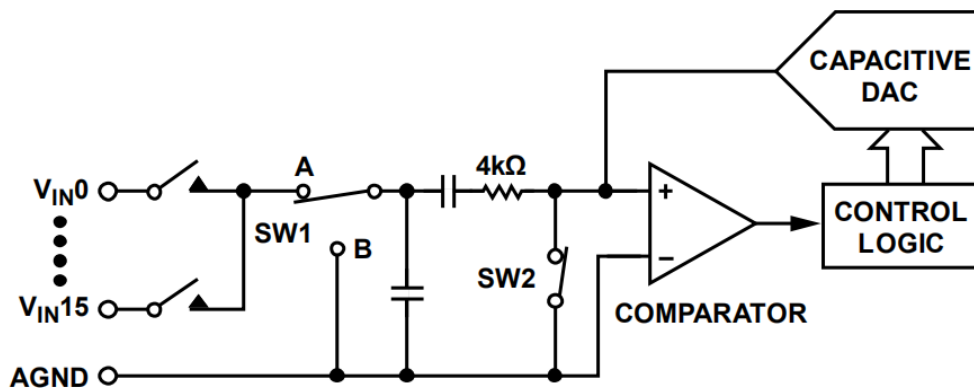


图13 ADC Acquisition Phase

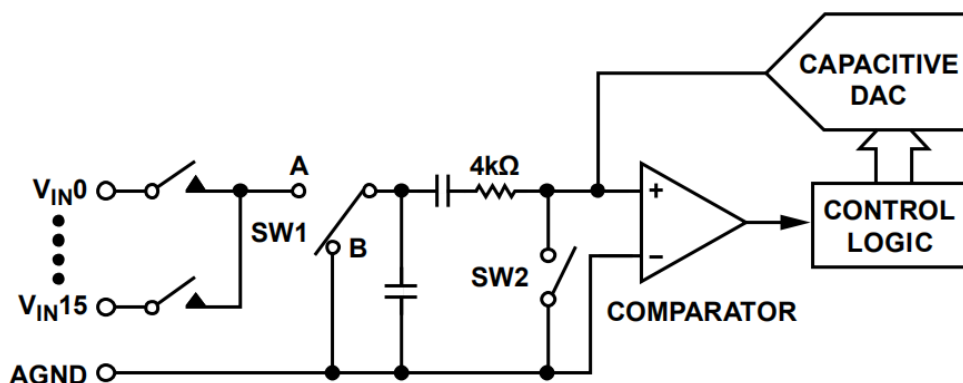


图14 ADC Conversion Phase

7.2.3 模拟输入

图 15 显示了 HWD7490 的模拟输入等效电路。两个二极管 D1 和 D2，提供了模拟输入的 ESD 保护。需小心以保证模拟输入信号从未超过电源电压 200mV。因为这样会导致这些二极管正向导通并且将电流导通到衬底。这些二极管不会引起不可逆损坏的能导通的最大电流是 10mA。图 15 的电容 C1 典型值是 4pF，并且主要来自端口电容。电阻 R1 是一个集总元件由采样保持开关电阻和输入多路器电阻构成。总电阻典型值为 400Ω 电容 C2 是 ADC 采样电容典型值为 30pF。

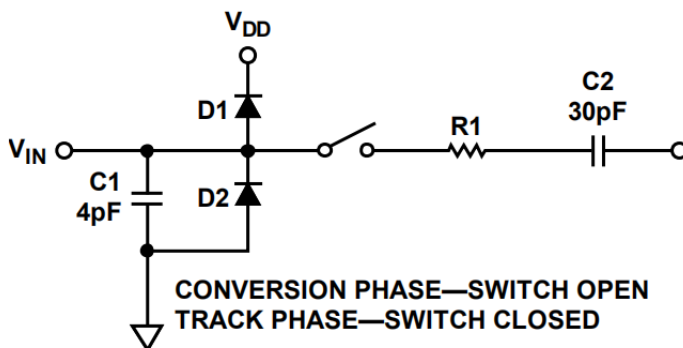


图15 模拟输入等效电路图

对于 ac 应用，在相关的模拟输入端口使用 RC 低通滤波器从模拟信号移除了高频分量。在谐波失真和信噪比要求苛刻的应用中，模拟输入应该由低阻抗的信号源驱动，大的信号源阻抗会明显的影响 ADC 的 ac

表现，这个就会让输入缓冲放大器的使用成为必要。当没有运放用于驱动模拟输入时，信号源阻抗就需被限制在较小的值下最大的源阻抗取决于总谐波失真的容忍量有多大。THD 随信号源阻抗的增加而增加并且性能变差。

7.2.4 ADC 转换功能

HWD7490 的输出编码是直接二进制还是两个互补编码是靠控制寄存器 LSB (CODING 位) 的状态来决定的。设计好的编码传输发生在逐次 LSB 值之间 (即 1LSB, 2LSBs, 等等)。LSB 大小等于 $REF_{IN}/4096$ 。在直接二进制编码条件下理想的转换特性如图 16 所示:

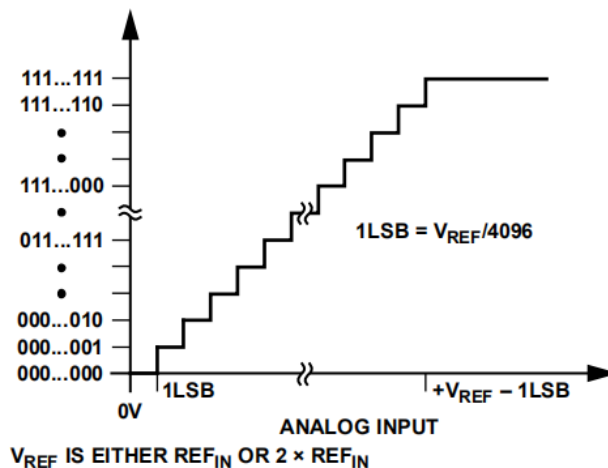


图16 ADC 转换功能

7.2.5 转换 Bipolar 信号

图 17 显示了 $2 \times REF_{IN}$ 输入范围和两个互补输出码电路对于 Bipolar 输入信号的操作多有用。如果 Bipolar 输入信号偏置在 REF_{IN} 并且双互补输出编码已被选择, REF_{IN} 变成 0 码点, $-REF_{IN}$ 是负全刻度, $+REF_{IN}$ 是正全刻度在 $2 \times REF_{IN}$ 动态范围条件下。

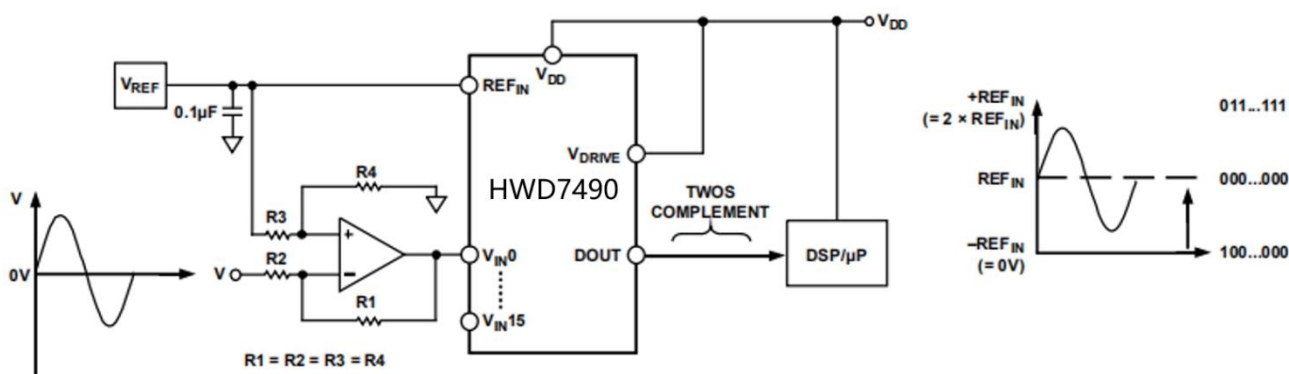


图17 转换 Bipolar 信号

7.2.6 典型连接图

图 18 显示了 HWD7490 的典型连接图。在该设置下, AGND 端口连接到系统的模拟地上。在图 18, REF_{IN} 连接到一个去耦的 2.5V 基准源上)。虽然 HWD7490 连接到 5V V_{DD} , 但串行接口要接到 3V 微处理器。

HWD7490 的 Vdrive 端口连接到 3V 的微处理器电源来兼容 3V 逻辑接口（详见数字输入部分）。转换结果是一个 16 位码字。这个 16 位数据流包含了四个地址位，指的是转换结果所对应的通道，紧跟在后面的的是 12 位转换数据。对于电源消耗方面的应用，电源关断模式应该用于转换之间，或者多次转换间来提高电源性能。

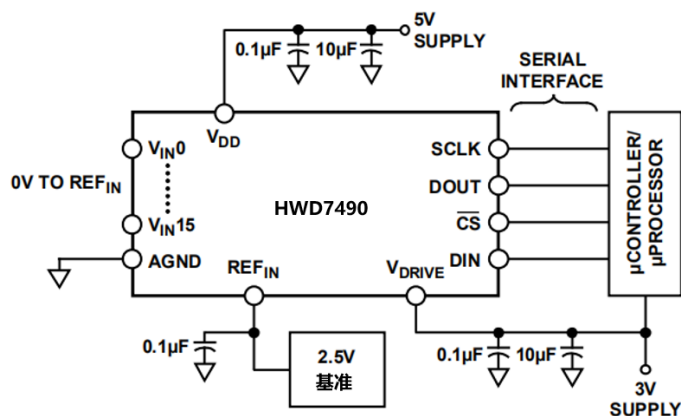


图18 HWD7490 典型连接图

7.2.7 模拟输入通道

任何 16 个模拟通道之一都可以由被 ADD3~ADD0 编程的多路器选定作为转换通路。通道设置如表 6 所示。HWD7490 也能通过选定的通道号被设置为自动循环。序列器特性通过访问 SEQ 和 SHADOW 位来访问。控制寄存器中 SEQ 和 SHADOW 位的设置允许用户选择序列器的特定工作模式，表 8 列出了序列器的四种工作模式。HWD7490 能够被编程进入以升序选择转换通道的连续转换模式。模拟输入通道的转换顺序通过 SHADOW 寄存器的相关位编程来实现（详见表 9）。下一次串行转换又会从最低的通道开始转换。

下一次转换时的串行传输在序列最高位的通道，并且以此类推。不需要在序列器操作重新初始化的时候对控制寄存器进行写入操作。WRITE 位必须设为 0 或者 DIN 线保持低以保证控制寄存器不会以外地重写或序列器工作被中断。如果控制寄存器在序列工作任何时候被写入，它就必须被保证 SEQ 和 SHADOW 位设置为 1 0 以避免自动转换时序被中断。这个模式会继续直到 HWD7490 被写入并且 SEQ 和 SHADOW 位被设置为除了 1 0 组合的情况。一旦时序完成，HWD7490 序列器恢复为第一次选择的通道在 SHADOW 寄存器并且重新开始时序，如果没有中断。

比选择一个特定的通道时序更好的是一个由通道 0 开始的连续通道的数字能够被通过控制寄存器进行编程而不需要写入 SHADOW 寄存器。当 SEQ 和 SHADOW 位设为 1 1 时，上述便成为可能。ADD3 到 ADD0 通道地址位将会决定连续序列中的最后一位。下次转换会从通道 0，接着通道 1，以此类推直到达到被 ADD3 到 ADD0 地址位选中的通道为止。这个循环又会从下一个串行传输开始，倘若 WRITE 位设置为低。或者，如果为高，另外 SEQ 和 SHADOW 位设置为 1 0，在此之后 ADC 继续他的不中断的自动序列预编程。不管哪个通道选择方式，HWD7490 在每次转换的 16 位码字输出总是包含了与转换结果对应的通道地址，并紧接着 12 位的转换结果。

7.2.8 数字输入

HWD7490 的数字输入不受类似于模拟输入的最大速率的限制。另外，数字输入可以达到 7V 而不受类似于模拟输入的 $V_{dd}+0.3V$ 的限制。

SCLK, DIN 和 CS 另外一个优势是也不受 $V_{dd}+0.3V$ 限制, 可使电源顺序问题可以不用考虑。如果 SCLK, DIN 和 CS 在 V_{dd} 之前先上电, 也不会有 latch-up 的风险就如同这里加入了一个超过了 $V_{dd}+0.3V$ 的模拟输入。

7.2.9 Vdrive

HWD7490 也有 Vdrive 特性。Vdrive 控制串行接口工作电压。Vdrive 允许 ADC 与 3V 或 5V 的处理器相接口。例如, 如果 HWD7490 工作在 5V, Vdrive 端口能够工作在 3V。HWD7490 在 5V 电源下有更好的动态表现, 这时仍然能够接口 3V 处理器。不过应该小心以保证 Vdrive 不超过 $V_{dd}+0.3V$ 。

7.2.10 基准部分

外部基准源可以用于为 HWD7490 提供 2.5V 参考基准。基准源的误差会导致 HWD7490 的传输功能出现增益误差并且加到特定的全刻度误差上。REFin 端口上需要放一个至少 0.1 μ F 的电容, 如果 2.5V 加到 REFIn 端口, 模拟输入范围根据控制寄存器 RANGE 位的值可处于 0V~2.5V 或 0V~5V。

7.2.11 工作模式

HWD7490 有好几种工作模式。这些模式设计可提供灵活的电源管理选项。这些选项能够选择来优化电源消耗/数据率比例已适应不同的应用需求。HWD7490 的工作模式是靠电源管理位 PM1 和 PM0 来控制的。当电源第一次上电的时候, 要注意保证器件处在所要求的工作模式下, 表 7 所示为工电源模式的选择。

7.2.11.1 普通模式

由于用户不需要担心任何上电时间, 所以该模式适用于最快的数据率性能。图19显示了HWD7490工作在该模式下的总体波形。

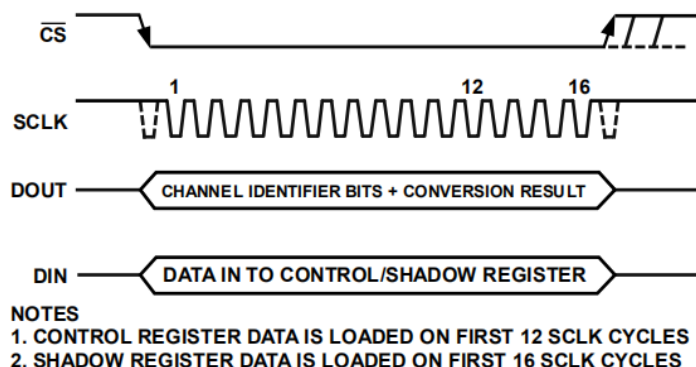


图19 正常工作模式时序图

转换开始于 CS 的下降沿, 并且采样保持进入保持模式, 就如串行接口部分所述。在开始的 12 个时钟周期内出现在 DIN 端口的数据会被加载到控制寄存器里 (WRITE 位为 1)。如果数据写入到 SHADOW 寄存

器 (SEQ=0, SHHWDOW=1 在上次写入), 在开始的 16 个 SCLK 周期出现在 DIN 端口的数据将被加载到 ShHWDow 寄存器内。器件会保持普通模式的全电源状态直到 PM1 和 PM0 在写入中设置为 1 的转换过程末尾。为保证在普通模式下的连续操作, PM1 和 PM0 都必须在每一个数据传输过程加载为 1。必须有 16 个串行时钟来完成转换和访问转换结果。采样保持电路会在第 14 个 SCLK 下降沿处回到采样状态。CS 可以闲置在高直到下一次转换或闲置在低直到在下次转换之前的某个时刻, (有效闲置的 CS 低)。

一旦数据传输完成 (DOUT 已经返回到三态 WEAK/TRI 位=0), 另外一次转换就可以在退出时候初始化, tQUIET, 已经保持直到 CS 再次变低。

7.2.11.2 全关断模式

在该模式下, 所有 HWD7490 的内部电路都已经断电。在全关断模式下器件仍保留了控制寄存器的信息。HWD7490 会保持全关断状态直到 PM1 和 PM0 位的数据发生变化。如果在器件处于全关断模式下发生控制寄存器的写入操作, 当电源管理位变成 PM0=PM1=1 (普通模式), 器件将在 CS 上升沿上电。采样保持电路会在器件全关断时的保持状态在第 14 个 SCLK 下降沿时恢复到采样状态。为保证器件完全上电, tPOWER UP (t12) 应该延时到下一次 CS 下降沿, 图 20 显示了该模式下的时序图。

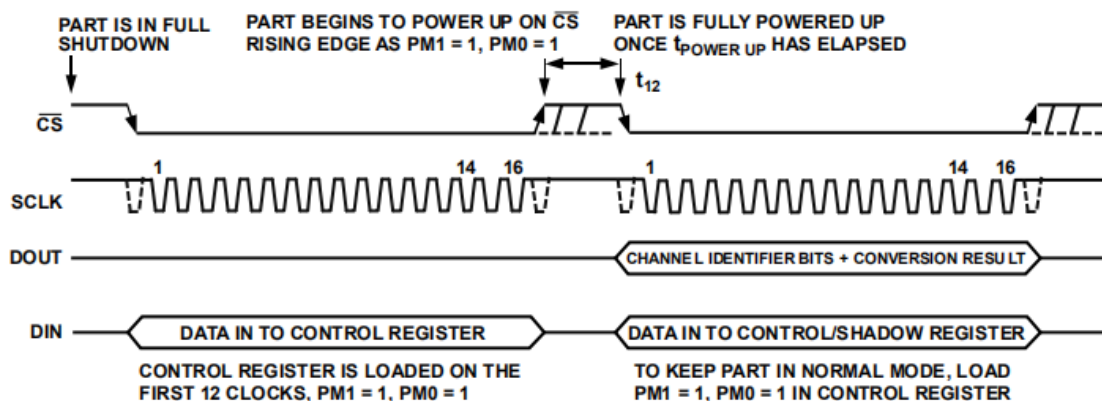


图20 全关断模式时序图

7.2.11.3 自动关断模式

在该模式下, HWD7490 会在每次转换的末尾控制寄存器刷新时自动进入关断模式。当器件关断时, 采样保持电路自动进入保持模式。图 21 显示了 HWD7490 在该模式下的总波形图。在关断模式下, 所有内部电路都已关断。器件在关断模式下保持了控制寄存器的所有数据。HWD7490 保持关断直到下一次 CS 下降沿到来。在 CS 下降沿处, 器件从关断模式返回到采样保持模式, 此时采样保持电路依然处在保持状态。从自动关断到唤醒的时间是 1 μ s, 并且用户需保证这 1 μ s 需保持到准备启动一次有效转换之前。当 HWD7490 在 20MHz 的时钟下, 一个 16 $\times$ SCLK 的空转周期可以保证器件完全上电。在这空转周期期间, 控制寄存器的内容可以被保持不变; 由此, WRITE 位在 DIN 应该为 0。这个空转周期以间隔有效转换的方式有效地将数据速率减半。该模式下, 由于每次转换结束都会进入关断模式而使器件的电源消耗将显著的减少。当控制寄存器被编程为进入自动关断模式, 他将会在每次转换的结束都这样做。用户能够通过控制 CS 信号使 ADC 进入和退出低功耗状态。

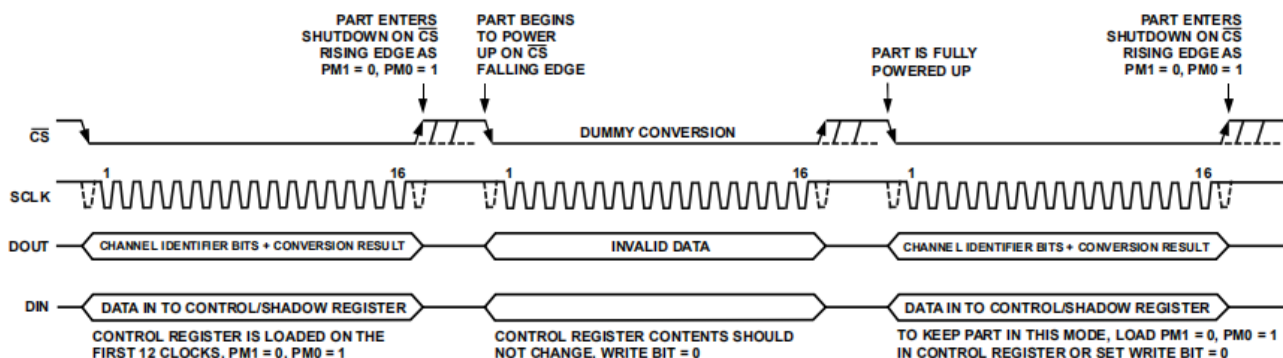


图21 自动关断模式时序图

7.2.11.4 自动待机模式

在该模式下，HWD7490 会在每次转换的末尾控制寄存器刷新时自动进入待机模式。图 22 显示了 HWD7490 在该模式下的总体波形图。当器件处于待机模式时，HWD7490 部分电路断电，但片上偏置生成电路依然在工作。器件在待机模式下保持了控制寄存器的所有数据。HWD7490 保持待机直到下一次 CS 下降沿到来。在 CS 下降沿处，器件从待机模式返回到采样保持模式，此时采样保持电路依然处在保持状态。从待机到唤醒的时间是 1 μ s，并且用户需保证这 1 μ s 需保持到准备启动一次有效转换之前。当 HWD7490 在 20MHz 的时钟下，一个 16 $\times$ SCLK 的空转周期可以保证器件完全上电。在这空转周期期间，控制寄存器的内容可以被保持不变；由此，WRITE 位在 DIN 应该为 0。这个空转周期以间隔有效转换的方式有效地将数据速率减半。该模式下，由于每次转换结束都会进入待机模式而使器件的电源消耗将显著的减少。当控制寄存器被编程为进入自动待机模式，他将会在每次转换的结束都这样做。用户能够通过控制 CS 信号使 ADC 进入和退出低功耗状态。

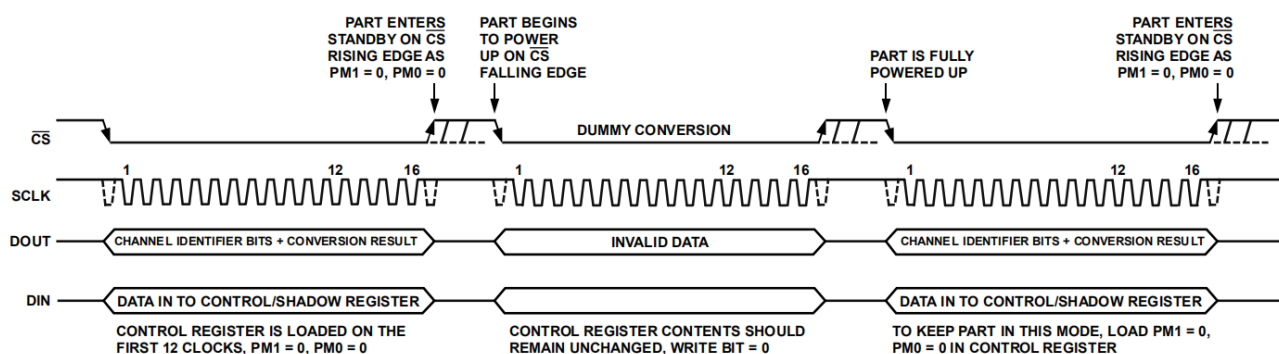


图22 自动待机模式时序图

7.2.12 HWD7490 上电

当电源第一次加到 HWD7490 上面时，ADC 可能会是任何一种工作模式。为保证器件置于所要求的工作模式，用户可以做一个空转周期，就如图 23 所示。

三个空转周期操作如图 23 所示必可将器件置于任一个自动模式下。该空转周期的开始的两次转换要将 DIN 置高，对于空转周期的第三次转换用户可以写入需要的控制寄存器设置将 HWD7490 置于所要求的自动模式。在上电后的第三个 CS 上升沿，控制寄存器包含了正确的信息和从下次转换来的有效数据结果。

因此，为保证 HWD7490 初次上电工作在正确的工作模式，用户必须首先确保在两个串行写入操作时 DIN 保持为高。第三个转换周期，用户就能写入控制寄存器把器件置于任何工作模式。用户不可以写入 SHADOW 寄存器直到 ADC 上电后的第四个转换周期以保证控制寄存器保持有正确的数据。

如果用户希望将器件置于普通模式或全关断模式，那么就应该从第三个空转周期前面去掉 DIN 为高的第二个空转周期，如图 23。

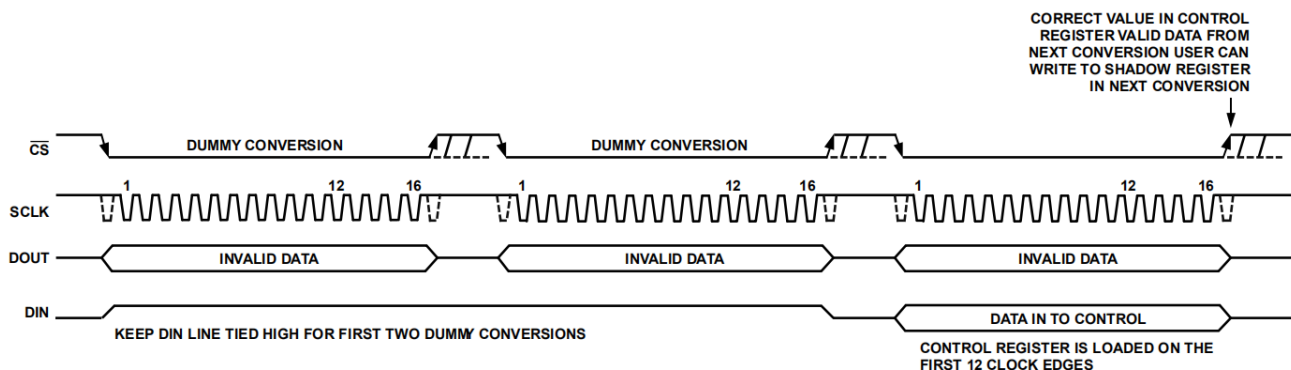


图23 上电过程时序

7.2.13 串行时序

图 24 显示了 HWD7490 串行端口的时间波形的细节。串行时钟提供了转换时钟和控制 HWD7490 在每次转换时的信息传输。

CS 信号初始化数据传输和转换过程。CS 下降沿使得采样保持电路进入保持模式并使总线出了三态状态，模拟输入在此刻采样，转换也在此刻开始并且要求完成 16 个 SCLK 周期。采样保持电路在第 14 个 SCLK 下降沿回到采样状态，就如图 24 的 B 点所示，除了当要写入 SHADOW 寄存器操作时，采样保持电路才不会回到采样状态直到 CS 上升沿，即图 25 的 C 点。在 SCLK 的第 16 个下降沿的时候，DOUT 回到三态（假如 WEAK/TRI 位设为 0）。必须有 16 个串行时钟周期来完成转换和访问 HWD7490 数据。在 12 位转换数据之前的四位通道地址位，ADD3 到 ADD0，表示转换结果所对应的通道。CS 会在 ADD3 地址位被读入微处理器或 DSP 之后变低。保持的地址位和数据位会以第二个地址位 ADD2 开始随着 SCLK 时钟下降沿时序输出。以此类推，在串行时钟上的第一个 SCLK 下降沿提供 ADD3 地址位并时序输出 ADD2。最后一位数据在第 15 个下降沿时序输出并在第 16 个下降沿有效传输。

对控制寄存器的信息写入发生在开头的 12 个 SCLK 下降沿上，假如 MSB 即 WRITE 位设置为 1。如果控制寄存器被设定使用 SHADOW 寄存器，写入 SHADOW 寄存器的过程发生在下一次串行传输的全部 16 个 SCLK 下降沿。SHADOW 寄存器会在 CS 上升沿更新，并且采样保持会从序列的第一个通道开始采样。

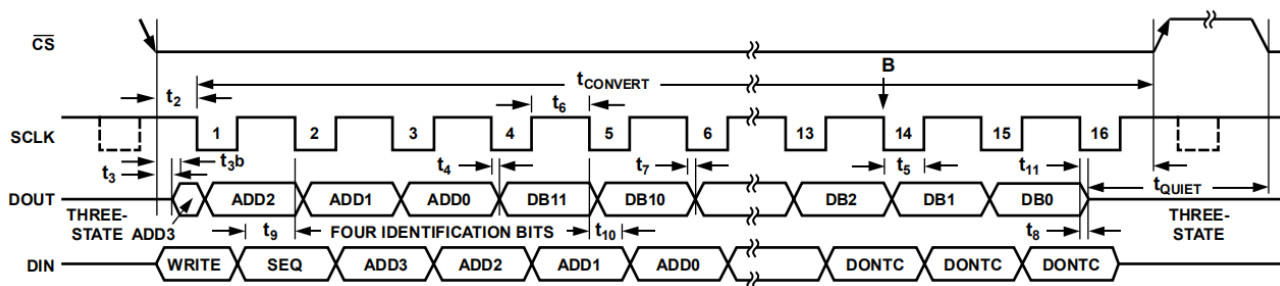


图24 串行接口时序图

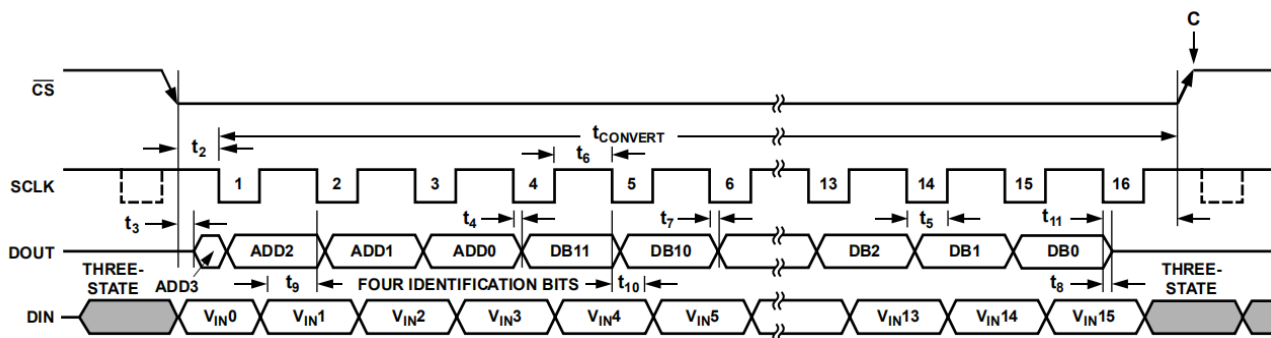


图25 写入 SHADOW 寄存器时序图

如果 WEAK/TRI 位设为 1，DOUT 线弱上拉到 ADD3 下一次串行传输相应的逻辑电平而不是在第 16 个 SCLK 下降沿返回到三态。这个操作是为了保证 MSB 在 CS 下降沿后的第一个 SCLK 下降沿处及时的建立。如果 WEAK/TRI 位设为 0 并且 DOUT 在转换时处于三态，那么 ADD3 地址位可能无法及时为 DSP 或微处理器设置好，还要取决于 DSP 或微处理器与 HWD7490 的接口。这样的情况下，ADD3 只能由 CS 下降沿驱动并且必须由 SCLK 下降沿时钟来控制。但是，如果 WEAK/TRI 位设为 1，即使 DOUT 在上次转换时由 ADD3 驱动，然而也是驱动很弱以使其他器件控制总线。它不能导致一个总线的竞争（例如，一个 10KOhms 的上拉或下拉电阻来有效的过驱动 ADD3 在转换中间的电平），并且所有 16 通道都可以被识别。如果该情况发生，且另外的器件得到了总线控制权，那么无法保证当总线控制权拿回时 DOUT 能够再次被 ADD3 完全驱动。

在使用自动序列模式时对于识别结果所对应的通道来说上述方法是特别有用的。如果只有开始 8 个通道在使用，ADD3 的地址位不需要解码，并且无论是 0 是 1 他都可以按时序被 DSP/微处理器如同 16 位串行传输的 MSB 计数。

7.2.14 功耗、数据率

在 HWD7490 进入自动关断或自动待机模式时，ADC 的平均功率消耗会随着更低的数据率而减少。图 26 显示了当数据率降低时器件保持关断的时间就更长并且平均功耗就更低。

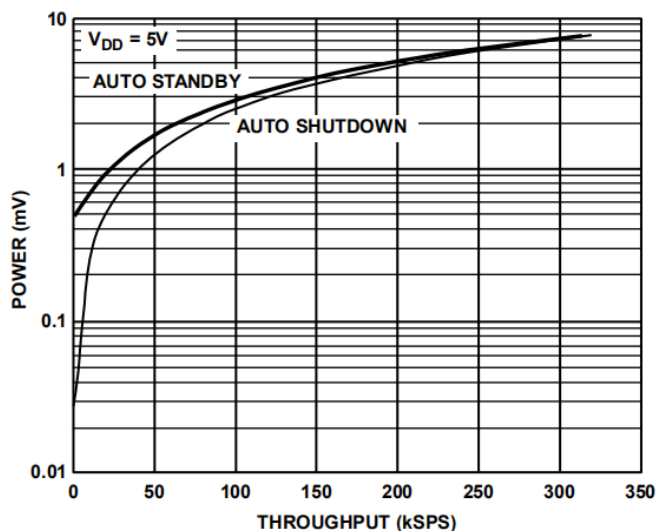


图26 功耗、数据率关系图

例如，如果 HWD7490 是工作在以 100kSPS 数据率和 20MHz 的 SCLK($V_{DD}=5V$)同时 $PM1=0$ 和 $PM0=1$ （即期间处在自动关断模式）的连续采样模式，那么功耗可用式 1 来计算。

普通模式下的最大功耗是 12.5mW ($V_{DD}=5V$)。如果上电时间是一个空转周期，即 1 μ S，并且另一个周期用于转换也是 1 μ S，那就可以说 HWD7490 在每次转换时用 2 μ S 消耗 12.5mW。对于转换周期唤醒器，8 μ S，该器件保持关断模式。应该说 HWD7490 在 8 μ S 的转换周期内消耗 2.5 μ W。如果数据率是 100kSPS，周期时间是 10 μ S 并且平均功率消耗是：

$$\frac{2}{10} \times 12.5\text{mW} + \frac{8}{10} \times 2.5\mu\text{W} = 2.502\text{mW} \quad (1)$$

当 HWD7490 进入自动待机模式 ($PM1=PM0=0, 5V, 100\text{kSPS}$)，功耗就用式 2 计算。最大的 5V 普通模式条件下的功耗为 12.5mW。再一次从自动待机恢复上电的时间是另一个空转周期，1 μ s，并且保持另一个转换周期也是 1 μ s。HWD7490 在 2 μ s 时间消耗 12.5mW。对于转换唤醒周期 8 μ s，器件保持待机模式，消耗 460 μ W。如果数据率是 100kSPS，这 10 μ s 的周期时间所消耗的平均功耗为：

$$\frac{2}{10} \times 12.5\text{mW} + \frac{8}{10} \times 460\mu\text{W} = 2.868\text{mW} \quad (2)$$

图 19 显示了处于 5V 电源自动关断和自动待机模式下的功耗与数据率的关系。由于关断模式比待机模式功耗更小，所以器件在同样较低的数据率下处于自动关断模式下的功耗要小于自动待机模式。如果数据率加快，甚至器件关断的时间减少都可以将两者的功耗差忽略。对于 3V 应用，HWD7490 的功耗会降低。类似的功耗计算对于 3V 条件也适用。

7.2.15 微处理器接口

在 HWD7490 上的串行接口允许器件直接连接多种微处理器。这个部分揭示了 HWD7490 与大部分微处理器和 DSP 串行接口的协议。

7.2.15.1 HWD7490 到 TMS320C541

在TMS320C541的串行接口上使用连续串行时钟和同步时钟来同步外围的器件如HWD7490的数据传输操作。CS输入可以让TMS320C541和HWD7490很容易进行接口而不需要任何粘结逻辑要求。TMS320C541的串口被设定工作在爆发模式通过CLKX0（串口0上的TX串行时钟）和FSX0（串口0上的TX同步器）。串口控制寄存器（SPC）必须如以下设置FO=0，FSM=1，MCM=1，TXM=1。图27显示了连接图。注意信号处理应用是TMS320C541提供等效采样的同步同步机制。如有必要时，允许ADC工作在比串口更高的电压。

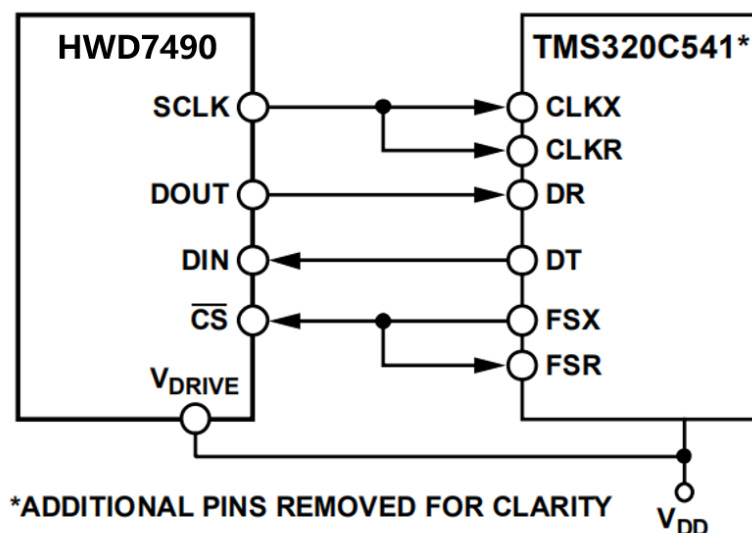


图27 HWD7490 与 TMS320C541 连接图

7.2.15.2 HWD7490 到 ADSP-21xx

ADSP-21xx 系列 DSP 可直接同 HWD7490 接口而不需要任何粘结逻辑。HWD7490 的 Vdrive 端与 ADSP-218x 电源相同。如果需要，可允许 ADC 的工作电压高于串口。

SPORT0 控制寄存器应该如下设置：TFSW=RFSW=1，互换机制；INVRFS=INVTFS=1，低有效信号机制；DTYPE=00，正确验证数据；SLEN=1111，16 位码字；ISCLK=1，内部串口时钟；TFSR=RFSR=1，码字框架机制；IRFS=0；ITFS=1。

图 28 显示了连接框图。ADSP-218x 有 SPORT 的 TFS 和 RFS 绑定在一起，并且 TFS 设为输出 RFS 设为输入。DSP 工作在互换模式，并且 SPORT 控制寄存器如上述设置。同步信号机制会由 TFS 产生并绑定到 CS，并且所有信号应用和同步采样都是必要的。在该例中，计时器中断用来控制采样率，在某些条件下，不能达到等距采样。

计时器寄存器，例如加载了在要求的内部采样时提供给中断的值。当接收到中断信号时，TFS/DT（ADC 控制字）随之传送出去。TFS 用于控制，RFS 用于读取数据。串口频率设置于 SCLKDIV 寄存器内。当指令通过 TFS 传输来时（即 AX0=TX0），SCLK 状态被检查。DSP 等待 SCLK 变高再低又高之后，开始传输。如果计时器和 SCLK 值是被选定为指令到来时开始传输或 SCLK 上升沿传输，数据可能被传输或其可能到下时钟沿开始传输。

例如，如果 ADSP-2189 用一个 20MHz 的晶振能得到 40MHz 的全局主时钟频率，周期为 25nS。SCLKDIV

寄存器值为 3，则 SCLK 能达到 5MHz，8 倍于主时钟周期。根据数据率选择，如果计时器寄存器值为 803，那么 100.5 个 SCLK 发生一次中断，并且随后传输指令到来。由于传输指令发生在 SCLK 边沿导致该情况下的不等距采样。如果中断间的 SCLK 个数为 N，那么等距采样就有 DSP 来实施。

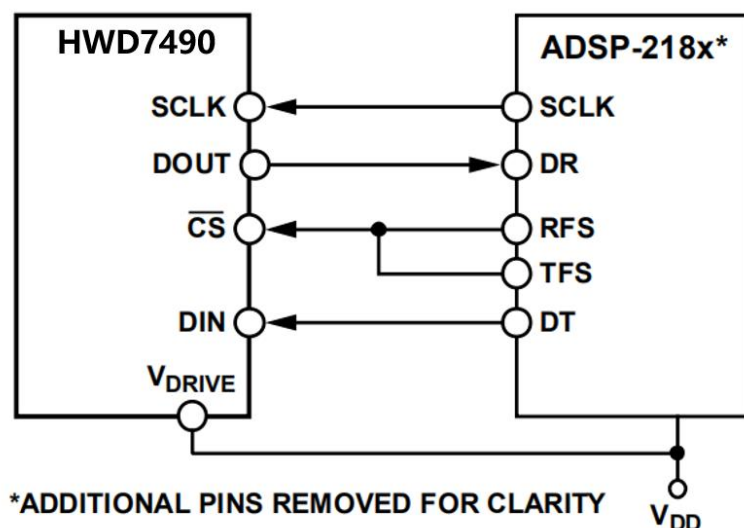


图28 HWD7490 到 ADSP-21xx 连接图

7.2.15.3 HWD7490 到 DSP563xx

图 29 显示了 HWD7490 连接到摩托罗拉 DSP563xx 系列的 ESSI（同步串口）。每个 ESSI(板上两个)都是工作在同步模式下的（SYN 位 CRB=1）使用内部生成字长供 Tx 和 Rx 用（FSL1=0 和 FSL0=0 在 CRB）。ESSI 普通模式选定为 MOD=0。

通过 CRA 内的 WL1=1 和 WL0=0 设定字长为 16 位。CRB 内的 FSP 位应该可以设为 1 以使同步机制不生效。注意对于信号处理应用，DSP563xx 的同步信号必须提供等距采样。

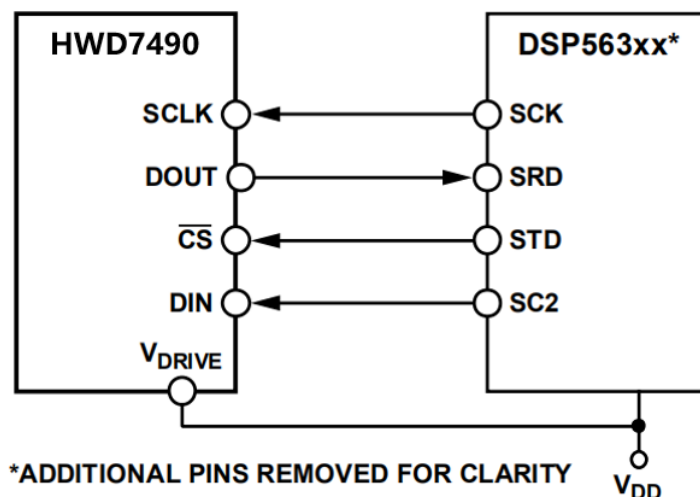


图29 HWD7490 到 DSP563xx 连接图

如图 29 所示若从 ESSI 得到串行时钟，须将 SCK0 端口设为输出，SCKD=1。HWD7490 的 Vdrive 端口可使用与 DSP563xx 相同的电源。这点也可让 ADC 使用比串口电压高的电源。

8 应用建议

8.1 接地与布局

HWD7490 对于电源噪声的抑制能力很强，但仍需谨慎对待接地和布局。为防止数字信号给芯片带来干扰，要避免数字信号线从芯片下方穿过。模拟地电平应在 HWD7490 下方以避免噪声耦合。HWD7490 电源线应该使用尽量大的走线以提供低阻抗和减少电源毛刺。快速开关信号如时钟等应该由数字地电平来屏蔽以防噪声辐射到板上其他部位并且时钟信号永远不能靠近模拟输入走线，避免数字信号和模拟信号的互扰。在走互反信号线时，应该让两条线成直角交叉。这样可以减少馈通效应。微带线技术是最好的但是通常不适宜双层板。这种技术中，板上的器件那一面会全是地平面，而另一面则走信号线。

好的去耦也是很重要的。所有的模拟电源应该靠 10uF 的电容和 0.1uF 的电容并联到地来去耦。为了达到最好的去耦效果，要将器件放得离芯片越近越好，最好就在他旁边。0.1uF 电容有低的等效串行电阻（ESR）和等效串行电感（ESI），例如常见的陶瓷电容或表面贴装电容，可以提供高频低阻抗到地通路来掌控内部逻辑切换时的瞬态电流。

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物。
- f) HWD7490MAI 产品的需要注意：HWD7490MAI 产品在设置为 SEQ=1，SHHWLOW=0 时功能与进口产品不一致。如使用到这部分功能的话不能兼容。如果确实需要这部分功能，请与市场部联系确认。

10 订货信息

表 10 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	引脚材料	重量 (g)	详细规范
1	HWD7490MAI	CSOP28	陶瓷	B 级	可伐合金 镀镍金	1.3	Q/HWD 20159-2016
2	HWD7490-A	TSSOP28	塑料	军温级	铜镀锡	0.1	Q/HWD 50013-2020
3	HWD7490TSSOP28I	TSSOP28	塑料	工业温区级	铜镀锡	0.1	Q/HWD 50435-2024

注1:

- a) B级器件满足GJB 597B-2012 《半导体集成电路通用规范》B级的筛选要求。
- b) 军温级器件满足Q/HWD40020 《华微军温级产品通用规范》的筛选要求，其工作环境温度范围应为-55℃~+125℃。
- c) 工业温区级器件满足Q/HWD40022 《华微工业温区级产品通用规范》的筛选要求，其工作环境温度范围应为-40℃~+85℃。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。