

HWD5630 型
12 位 D/A 转换器
产品手册
V1.1.1

成都华微电子科技股份有限公司

2026 年 1 月 14 日

版本历史

版次	更改说明	更改单号	更改人	更改日期	备注
1.0.0	初始发行版本	NA	魏建宁	20221103	
1.1.0	8.2、8.6 节描述修正	NA	魏建宁	20221201	
1.1.1	添加焊盘焊接信息、整理手册	NA	万哲	20260114	

目 次

1 概述	1
2 产品特点	1
3 功能框图	2
4 封装信息	2
4.1 HWD5630 封装信息	2
4.2 HWD5630 焊盘推荐	5
4.3 HWD5630 焊接推荐	6
5 绝对最大额定值及推荐工作范围	6
5.1 绝对最大额定值	6
5.2 推荐工作范围	6
6 电特性参数	7
7 功能描述	8
7.1 总体介绍	8
7.2 上电复位	8
7.3 串行接口逻辑	8
7.4 串行时钟频率和更新率	10
7.5 数据格式	10
7.6 预置功能	10
8 应用建议	11
8.1 参考电压	11
8.2 输出缓冲放大器	11
9 使用注意事项	11
10 订货信息	12

1 概述

HWD5630是一款8通道12位单片式电压输出数模转换器，内部有8个独立的D/A转换内核。该器件具有灵活的串行接口，有 μ C和DSP两种时钟模式，可与TM320、SPI、QSPI接口协议兼容。

HWD5630内部有带隙基准电路，基准输出电压可选择1.024V或2.048V输出，也可以作为内部D/A转换核心电路的参考电压。该器件内部D/A转换核心电路采用电阻串结构，其输出电压通过运算放大器缓冲输出。该器件有数据输出端DOUT，因此可以允许多个器件级联使用。

HWD5630的输入数据为16位串行数据，包含4位控制位和12位数据位。其中4位控制码可以实现通道选择功能，也可以作为内部寄存器的地址码，用于访问内部控制寄存器。该器件可通过控制寄存器进行设置，选择输出是否有效；选择使用外部参考电压、内部1.024V参考电压或者2.048V参考电压；选择输入数据位直接二进制码或者二进制补码；选择某通道处于正常工作模式或者掉电模式；选择某通道的输出运放工作在快模式或慢模式。

HWD5630采用CSOP20陶瓷封装，质量保证等级B级，工作温度范围-55℃至+125℃。

2 产品特点

- 8 通道 12 位数模转换器
- 两种转换速率可选
- 兼容 TMS320 和 SPI、QSPI 接口协议
- 内置可选带隙基准 1.024V/2.048V
- 电源供电：4.75V~5.25 V

3 功能框图

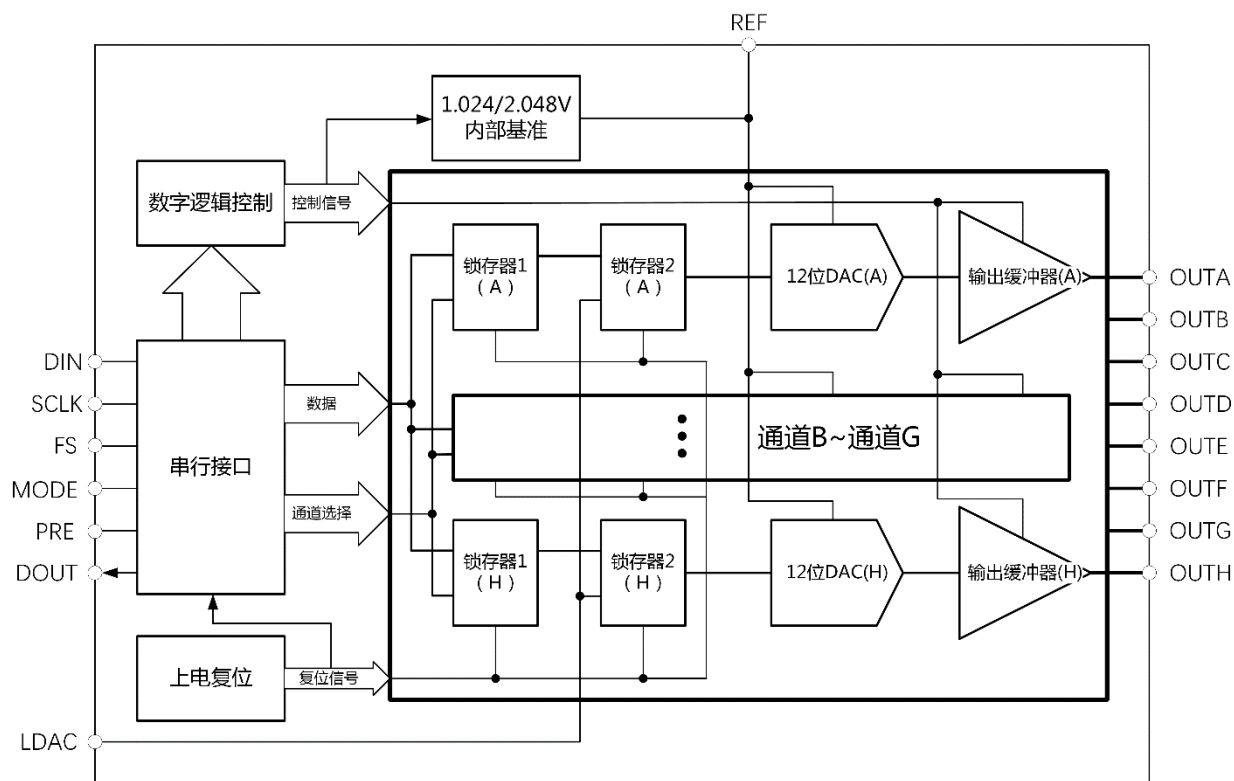


图1 功能框图

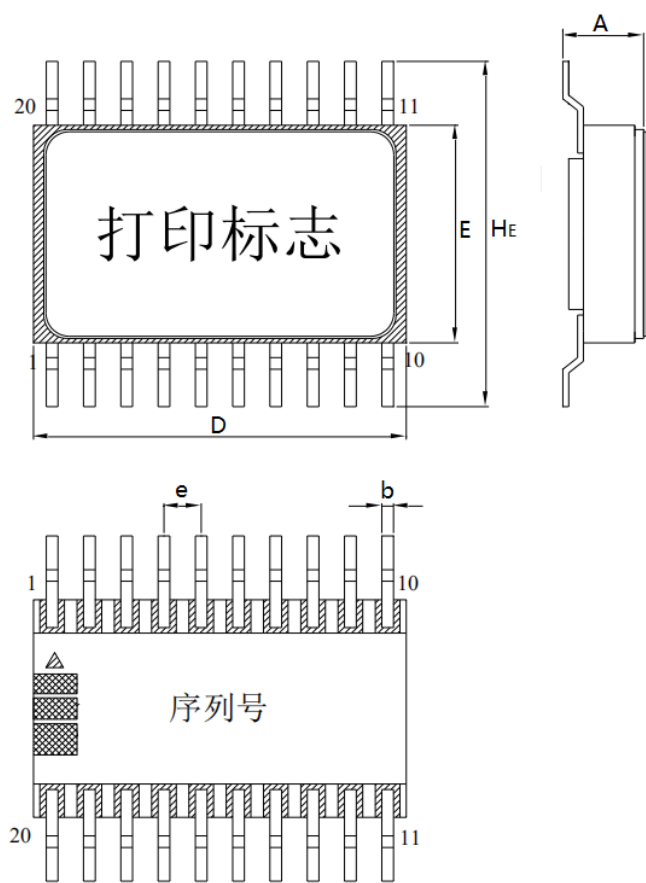
HWD5630典型应用

- 数字伺服系统控制
- 数字偏移和增益调整
- 工业过程控制
- 机器和运动控制装置
- 大容量存储器

4 封装信息

4.1 HWD5630 封装信息

HWD5630采用陶瓷CSOP20封装，外形及引脚排列图如下图所示。



单位为毫米

尺寸符号	数 值		
	最小	公称	最大
A	—	—	3.80
b	0.34	—	0.46
e	—	1.27	—
D	12.45	—	12.95
HE	11.55	—	12.25
E	7.28	—	7.72

图2 HWD5630 的外形尺寸

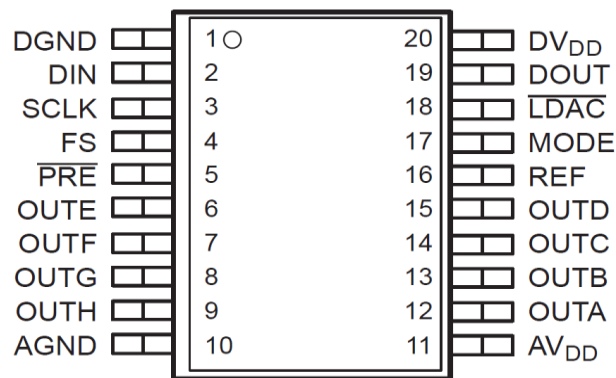


图3 HWD5630 引脚排列图

HWD5630引脚描述描述如下表所示。

表 1 引脚描述

引出端序号	引脚符号	功能描述
1	DGND	数字地
2	DIN	数字串行数据输入
3	SCLK	串行时钟输入
4	FS	帧同步输入
5	/PRE	预设输入
6	OUTE	DAC 输出端 E
7	OUTF	DAC 输出端 F
8	OUTG	DAC 输出端 G
9	OUTH	DAC 输出端 H
10	AGND	模拟地
11	AVDD	模拟电源电压
12	OUTA	DAC 输出端 A
13	OUTB	DAC 输出端 B
14	OUTC	DAC 输出端 C
15	OUTD	DAC 输出端 D
16	REF	基准电压（内部/外部）
17	MODE	DSP/μC 模式输入
18	/LDAC	加载 DAC（只有 LDAC 输入为低，DAC 的输出才会被更新）
19	DOUT	数字串行数据输出
20	DVDD	数字电源电压

4.2 HWD5630 焊盘推荐

HWD5630焊盘推荐如下图所示

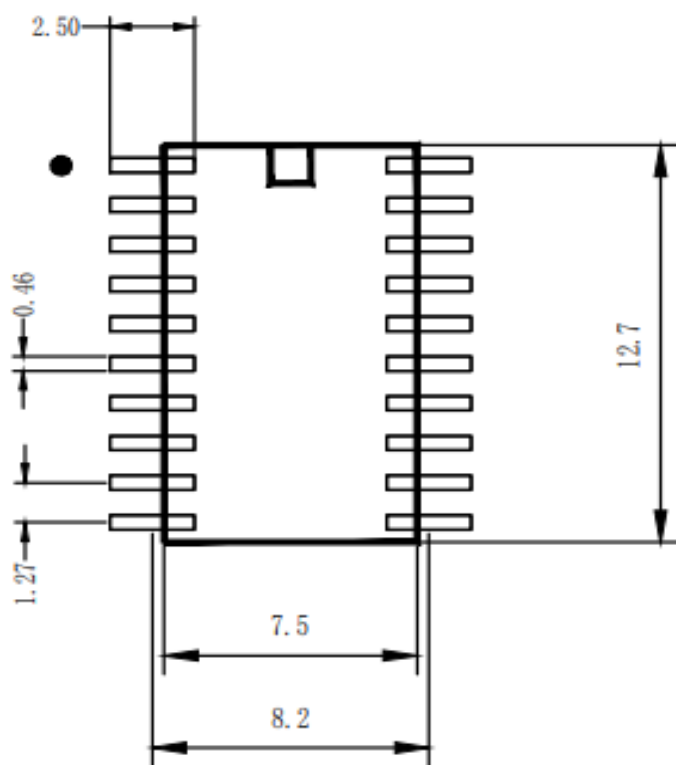


图4 HWD5630 推荐焊盘图

4.3 HWD5630 焊接推荐

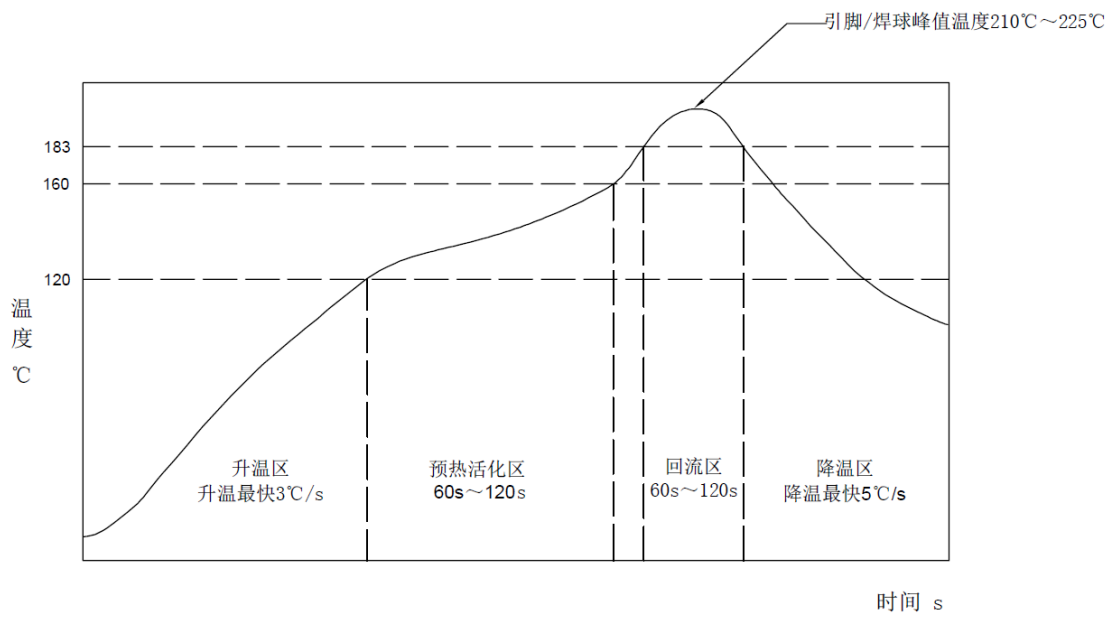


图5 HWD5630 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

电源电压（ AV_{DD} ， DV_{DD} ）	7 V
参考输入电压范围	-0.3V~ $AV_{DD}+0.3$
数字输入电压范围（ V_{DI} ）	-0.3V~ $DV_{DD}+0.3$
引线耐焊接温度（ T_h ）	260℃ (10s)
结温（ T_J ）	175℃
贮存温度范围（ T_{stg} ）	-65℃~150℃

5.2 推荐工作范围

电源电压（ AV_{DD} ， DV_{DD} ）	4.75V ~ 5.25 V
工作环境温度（ T_A ）	-55℃~125℃

注：如器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

6 电特性参数

除另有规定外，电特性应按表2规定，并适用于全工作温度范围 $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ ，参考GB/T 17940-2000进行测试。

表 2 电特性

特 性	符 号	条件 (除非另有规定， $AV_{DD} = DV_{DD} = 5\text{V}$ ， $V_{REF} = 2.048\text{V}$ ， $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$)	极限值		单位
			最小	最大	
功耗	P_C	无负载，输入端 = DV_{DD} 或 GND	—	105	mW
电源电流	I_{DD}	无负载，输入端 = DV_{DD} 或 GND	—	21	mA
分辨率	RES	—	—	12	Bits
积分非线性误差	INL	Code 40 to 4095	—	± 8	LSB
微分非线性误差	DNL	Code 40 to 4095	—	± 2	LSB
零刻度误差	E_{ZS}	Data=000H	-30	+30	mV
增益误差	E_G	Data=111H	-0.6	+0.6	%Full Scale
输出电压范围	V_O	$R_L = 10\text{k}\Omega$	—	4.6	V
输出负载调整率	V_{OLRA}	$R_L = 2\text{k}\Omega$ VS $10\text{k}\Omega$	-0.6	+0.6	%Full Scale
低参考电压	$V_{REFOUTL}$	—	1.010	1.040	V
高参考电压	$V_{REFOUTH}$	—	2.020	2.096	V
输入高电平电压	V_{IH}	—	2.4	—	V
输入低电平电压	V_{IL}	—	—	1.0	V
输入高电平电流	I_{IH}	$V_i = DV_{DD}$	-1	+1	μA
输入低电平电流	I_{IL}	$V_i = 0\text{V}$	-1	+1	μA
输出高电平电压	V_{OH}	$R_L = 10\text{k}\Omega$ ，DO _{UT}	2.6	—	V
输出低电平电压	V_{OL}	$R_L = 10\text{k}\Omega$ ，DO _{UT}	—	0.4	V
压摆率	SR	$R_L = 10\text{k}\Omega$ ， $C_L = 100\text{pF}$ ；数据从000H到FFFH，输出电压从全量程的10%变化到90%	4	—	V/ μs
时钟频率	f_{CLK}	—	—	30	MHz
SCLK输入高电平时间	t_{WHS}	相关时序见图6	16	—	ns
SCLK输入低电平时间	t_{WLS}	相关时序见图6	16	—	ns
/LDAC输入低电平时间	t_{WLL}	相关时序见图6	15	—	ns

特 性	符 号	条件 (除非另有规定, $AV_{DD} = DV_{DD} = 5V$, $V_{REF} = 2.048V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	极限值		单位
			最小	最大	
DIN数据建立时间	$t_{SU(D)}$	相关时序见图6	10	—	ns
DIN数据保持时间	$t_{H(D)}$	相关时序见图6	10	—	ns
FS输入高电平时间	t_{WHF}	相关时序见图6	10	—	ns
FS输入低电平时间	t_{WLF}	相关时序见图6	10	—	ns

7 功能描述

7.1 总体介绍

HWD5630 是 8 通道，单电源 12 位基于电阻串结构的电压型数模转换器，其内部包含串行接口、速度控制和掉电控制逻辑、内部带隙基准、电阻串型 DA 和轨对轨输出缓冲运放。

每个通道的输出电压均为 $2REF \frac{CODE}{0 \times 1000} [V]$ 。

其中 REF 为基准电压，CODE 为数字输入码，HWD5630 的输入范围为 0×000 到 $0 \times FFF$ 。

7.2 上电复位

内置的上电复位电路在上电后控制输出电压。在上电时，所有的锁存器包括预置的寄存器，都置 0，但是只有输入/LDAC 为低时，DAC 才会输出 0。寄存器一直置 0，直到 DAC 输入一组有效的数据，改变 DAC 寄存器上的数据。当 AVDD 和 DVDD 外接分开的电源时，AVDD 要在 DVDD 之前上电，确保上电复位功能正常实现。

7.3 串行接口逻辑

FS 的一个下降沿开始将 DIN 的数据从高位开始在每一个 SCLK 的下降沿向内部的寄存器移位。在 16 位数据转移完成之后，移位寄存器上的数据将会向 DAC 的保持锁存器移动，这个由数据中的地址码控制。/LDAC 输入的逻辑 0 将会控制 DAC 的保持锁存器的数据向 DAC 的锁存器转移并且更新 DAC 的输出。

HWD5630 时序关系如图 6

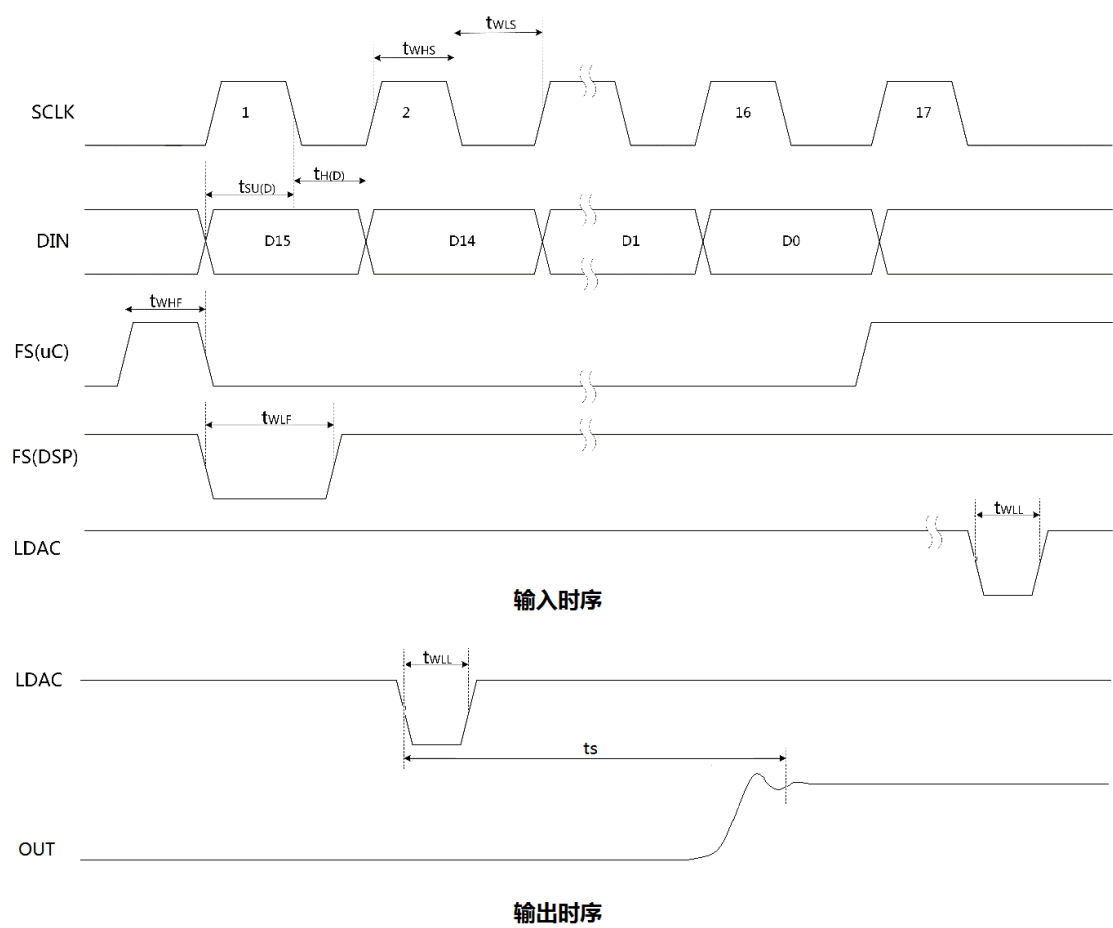
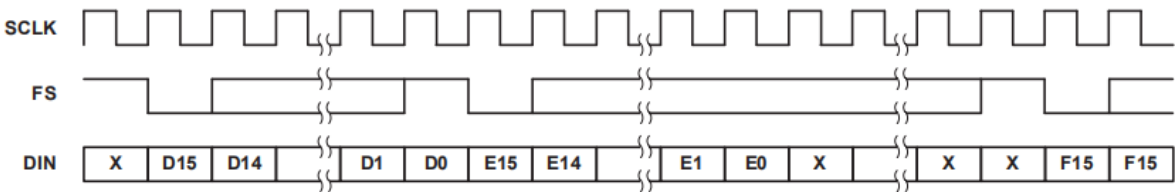


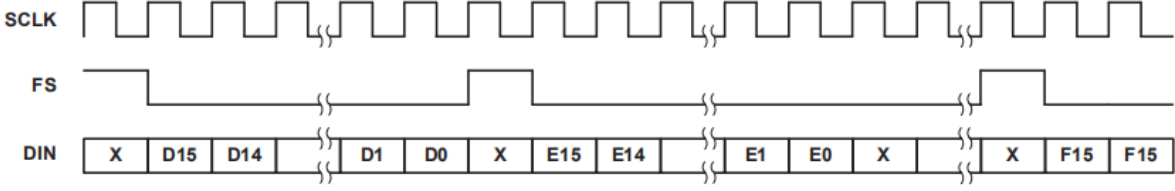
图6 HWD5630 时序图

对于菊花链，DOUT 提供由 DIN 输入的有 16 个时钟周期延迟的数据。

DSP Mode:



μC Mode:



对于 **DSP 模式**(MODE=N.C.or0)和 **μC 模式**(MODE=1)的区别:

- **μC 模式**: FS 必须保持为低，直到 16 个数据码都转移完毕。如果 FS 在第 16 个时钟下降沿之前被驱动为高，数据转换将会取消。DAC 会在 FS 的一个上升沿之后更新。
- **DSP 模式**: FS 在保持为低 20ns 之后可以在第 16 个时钟下降沿之前变成高。

- **DSP 模式：**在 FS 变成低之前，该模式需要一个时钟下降沿去启动 DIN。这个额外的时钟下降沿必须发生在 FS 变成低之前至少 5ns。 $t_{su}(CK-FS) \geq 5\text{ ns}$ 。
- **μC 模式：**该模式不需要额外的时钟下降沿。该模式下，在 FS 变成高去完成写入 DIN 之后 10ns 之内不允许有时钟下降沿输入。

7.4 串行时钟频率和更新率

最大串行时钟频率为 30MHz，最大更新率为 1.95MHz。

7.5 数据格式

输入的 16 位数据中，高 4 位 D15、D14、D13、D12 位地址位，低 12 位为数据。

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
A3	A2	A1	A0	Data											

地址位的功能如下：

A3	A2	A1	A0	FUNCTION
0	0	0	0	DAC A
0	0	0	1	DAC B
0	0	1	0	DAC C
0	0	1	1	DAC D
0	1	0	0	DAC E
0	1	0	1	DAC F
0	1	1	0	DAC G
0	1	1	1	DAC H
1	0	0	0	CTRL0
1	0	0	1	CTRL1
1	0	1	0	Preset
1	0	1	1	Reserved
1	1	0	0	DAC A and $\bar{B}$
1	1	0	1	DAC C and $\bar{D}$
1	1	1	0	DAC E and $\bar{F}$
1	1	1	1	DAC G and $\bar{H}$

7.6 预置功能

DIN 输入地址位 1010+数据码，可以选择 PRESET 功能，使数据码预置于 PRESET 寄存器。数据成功写入 PRESET 寄存器之后，/PRE 端口输入低，会将之前预置的数据写入保持锁存器，经过下一个/LDAC 的下降沿信号，8 个 DAC 通道同时输出预置的数据。PRESET 预置的数据可以被 DVDD 上电复位。

CTRL0:

BIT	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Function	X	X	X	X	X	X	X	PD	DO	R1	R0	IM
Default	X	X	X	X	X	X	X	0	0	0	0	0

PD: 全设备掉电（0: 正常模式；1: 掉电模式）

DO: DOUT 输出使能（0: 禁能；1: 使能）

R1:0 : 参考电压选择 (0: 外置基准; 1: 外置基准; 2: 内置 1V 基准; 3: 内置 2V 基准)

IM: 输入数据模式 (0: 二进制; 1: 二进制补码)

X: 预留

CTRL1:

BIT	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Function	X	X	X	X	P _{GH}	P _{EF}	P _{CD}	P _{AB}	S _{GH}	S _{EF}	S _{CD}	S _{AB}
Default	X	X	X	X	0	0	0	0	0	0	0	0

P_{XY}: DAC_{XY} 掉电 (0: 正常模式; 1: 掉电模式)

S_{XY}: DAC_{XY} 速度 (0: 慢速; 1: 快速)

XY 代表 DAC 对 AB、CD、EF 或者 GH

8 应用建议

8.1 参考电压

DAC 的参考电压可以通过上述预置功能选择外部基准电压或者内部基准电压 1V 或者 2V。HWD5630 的内部基准电压同时可以为外部设备提供参考电压。当 HWD5630 使用内部基准时, 需要外接 10uF 和 100pF 的电容来保证基准输出的稳定性。

8.2 输出缓冲放大器

HWD5630 内部的 2 倍增益输出缓冲放大器有两个工作模式: 快速模式和慢速模式, 快速模式的输出结构为 Class A, 慢速模式的输出结果为 ClassAB。输出缓冲放大器可实现轨对轨输出, 且可以稳定地驱动 2kΩ 和 100pF 的负载。

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下:

- 器件应在防静电的工作台上操作;
- 试验设备和器具应接地;
- 不能触摸器件引线;
- 器件应存放在导电材料制成的容器中;
- MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物。

10 订货信息

表 3 产品订货信息

型号	封装形式	封装材料	质量保证等级	引脚材料	重量 (g)	详细规范
HWD5630	CSOP20	陶瓷	B 级	可伐合金镀镍金	0.99g	Q/HWD 20569-2022

注1： B级器件满足GJB 597B-2012 《半导体集成电路通用规范》B级的筛选要求。

注2： 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。