

HWD41K256M16PBGA96E 型

DDR3L SDRAM

产品手册

V1.0.0

成都华微电子科技股份有限公司

2025 年 12 月 17 日

版本历史

版次	更改说明	更改人	更改日期	备注
V0.0.1	初始发行版本	王鑫	20250925	
V0.0.2	修改描述细节与专业用语	黄周行	20251125	
V1.0.0	1. 新增除了 966Mhz 之外的其他时序配置 2. 修改常见应用场景原理图 3. 表 2-1 1866Mhz data rate 下 tCK、tCAS、tRCD。。等与详细规范中不同,且 tRCD 等描述缺少 unit 以详规为准 4. 功能概述修改不合理的地方不通顺的地方。 5. 修改 7.2.1.1cmd 的中文描述 6. 修改电特性参数中的描述 7. 表 6-24 修改多个值。 8. 表 6-34 修改 tDQSQ 的最大值 100 到 85, tDQSCK 后续值多个值修改。 9. 改所有注册命令为发送命令。 10. 52 页“下老实巴运行时”改为“下运行时”。 11. 52 页“时钟参数”改为“时序参数” 12. 53 页“写入交易”“写入传输” 13. 53 页注释 22。定义在 MPR 读取结束和 MRS 重新加载 MPR 或禁用 MPR 功能之间。 14. 53 页注释 34 改为注释 24. 15. 修改 53 页 25 26 的 tCHtCL 的描述。 16. 表 6-35 的 tIHDC90 的值从 130 改到 110。 17. 54 页注释 3:“从 tIS(base)AC135 规医嘱调整而来的”改为“从 tIS(base)AC135 调整而来的”。 18. 大幅度修改 7.2.2.1 的 power up 和初始化顺序描述。 19. 7.3.1.7, 7.3.1.8, 8.2.11, 8.3.2, 8.3.3, 8.4.1 均有修改 20. 将所有的断电, 下电, 掉电改为低功耗	黄周行	20251217	

目 次

1 概述	1
2 产品特点	1
3 功能框图	2
4 封装信息	4
4.1 HWD41K256M16PBGA96E 封装信息	4
4.2 HWD41K256M16PBGA96E 焊盘推荐	8
4.3 HWD41K256M16PBGA96E 焊接推荐	9
5 绝对最大额定值及推荐工作范围	10
5.1 绝对最大额定值	10
5.2 推荐工作范围	10
6 电特性参数	10
7 功能描述	69
7.1 概述	69
7.2 功能描述	69
7.3 寄存器定义	87
8 应用建议	100
8.1 读操作	100
8.2 写操作	106
8.3 低功耗模式	111
8.4 ZQ 校准命令	125
8.5 按设备密度的刷新参数	127
9 使用注意事项	127
10 订货信息	128

1 概述

4Gb双数据速率-3 (DDR3 (L)) DRAM是一种高速CMOS SDRAM, 包含4, 294, 967, 296位。它在内部配置为八进制DRAM。

4Gb芯片被组织为64Mbit $\times$ 8 I/O $\times$ 8组和32Mbit $\times$ 16 I/O $\times$ 8组。这些同步器件为一般应用实现了最高达1866 Mb/sec/pin的高速双数据速率传输速率。

该芯片被设计为符合所有关键DDR3 (L) DRAM关键特征, 并且所有控制和地址输入都与一对外部提供的差分时钟同步。输入被锁存在差分时钟的交叉点处 (CK上升和CK#下降)。所有I/O都以源同步方式与单端DQS或差分DQS对同步。

2 产品特点

- 1) VDD=VDDQ=1.35V (1.28V~1.45V), 反向兼容 1.5v 应用
- 2) 8 个分区
- 3) 8n 位预取架构
- 4) 全差分时钟输入 (CK, CK#) 操作
- 5) 双向差分数据同步信号 (DQS, DQS#)
- 6) 片上 DLL 将 DQ、DQS 和 DQS# 与 CK 对齐
- 7) DM 信号在 DQS 的上升沿和下降沿都会屏蔽写入数据
- 8) 除 DQ、DQS 和 DM (数据掩码) 外, 所有地址和控制输入锁存于时钟的上升边缘
- 9) 支持可编程 CAS 延迟 5、6、7、8、9、10、11、12、13、14
- 10) 支持可编程 AL 延迟 0、CL-1、CL-2
- 11) 可编程 CAS 写时延 (CWL) = 5, 6, 7, 8, 9, 10
- 12) 可编程 burst 长度 4/8, 在半字节顺序发送和间歇发送模式
- 13) BL 4/8 快速切换
- 14) MRS 选择驱动强度
- 15) 动态片内终端
- 16) 异步 RESET 引脚
- 17) 内部(自)校准:通过 ZQ 引脚自动校准阻抗 (RZQ: 240 欧姆 $\pm$ 1%)
- 18) 写入均衡
- 19) 自刷新温度 (SRT)
- 20) 自动自刷新 (ASR)
- 21) 封装: 96 球 PBGA (x16)
- 22) 无铅, 符合 RoHS 标准
- 23) 符合 JEDEC

24) 工作温度(Tcase)：-55° C≤TC≤125° C

表 2-1 关键时间参数

速度	800	1066	1333	1600	1866	(MT/s)	单位
tCK(分钟)	2.5	1.875	1.5	1.25	1.071		ns
tCAS 延迟	6	7	9	11	13		nCK
tRCD(分钟)	15	13.125	13.5	13.75	13.91		ns
tRP(分钟)	15	13.125	13.5	13.75	13.91		ns
tRAS(分钟)	37.5	37.5	36	35	34		ns
tRC(分钟)	52.5	50.625	49.5	48.75	47.91		ns
tRCD(Tclk)	6	7	9	11	13		Tclk
tRP(Tclk)	6	7	9	11	13		Tclk
CL(Tclk)	6	7	9	11	13		Tclk

注 1：本数据表中所描述的功能和时序规范适用于启用 DLL 的操作模式。

3 功能框图

DDR3 SDRAM 是一个高速、CMOS 动态随机访问存储器。内部配置有 8 个 bank。

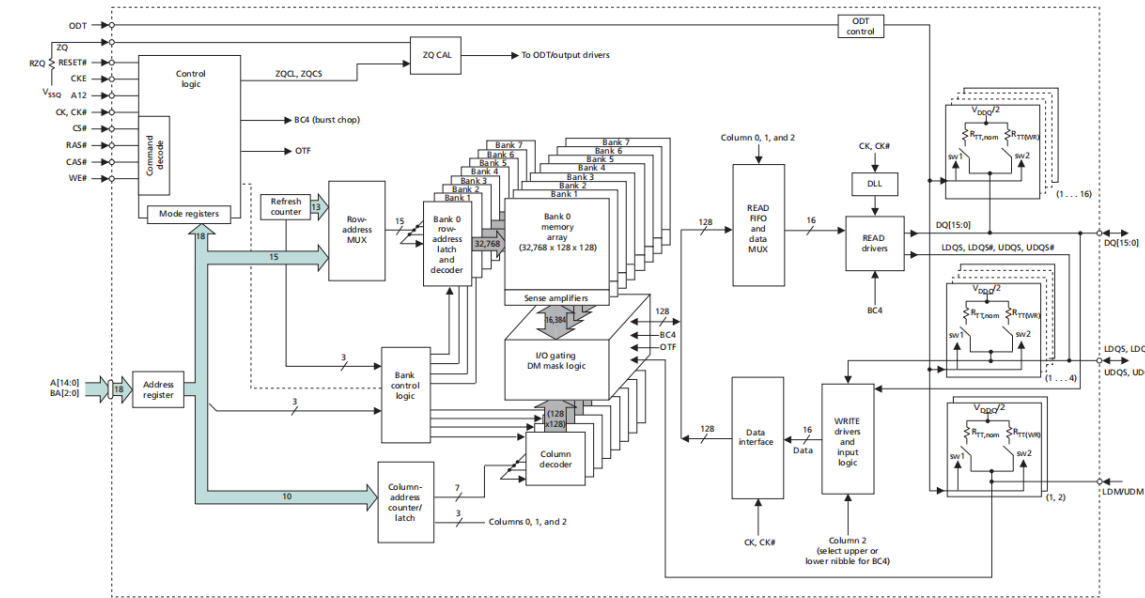
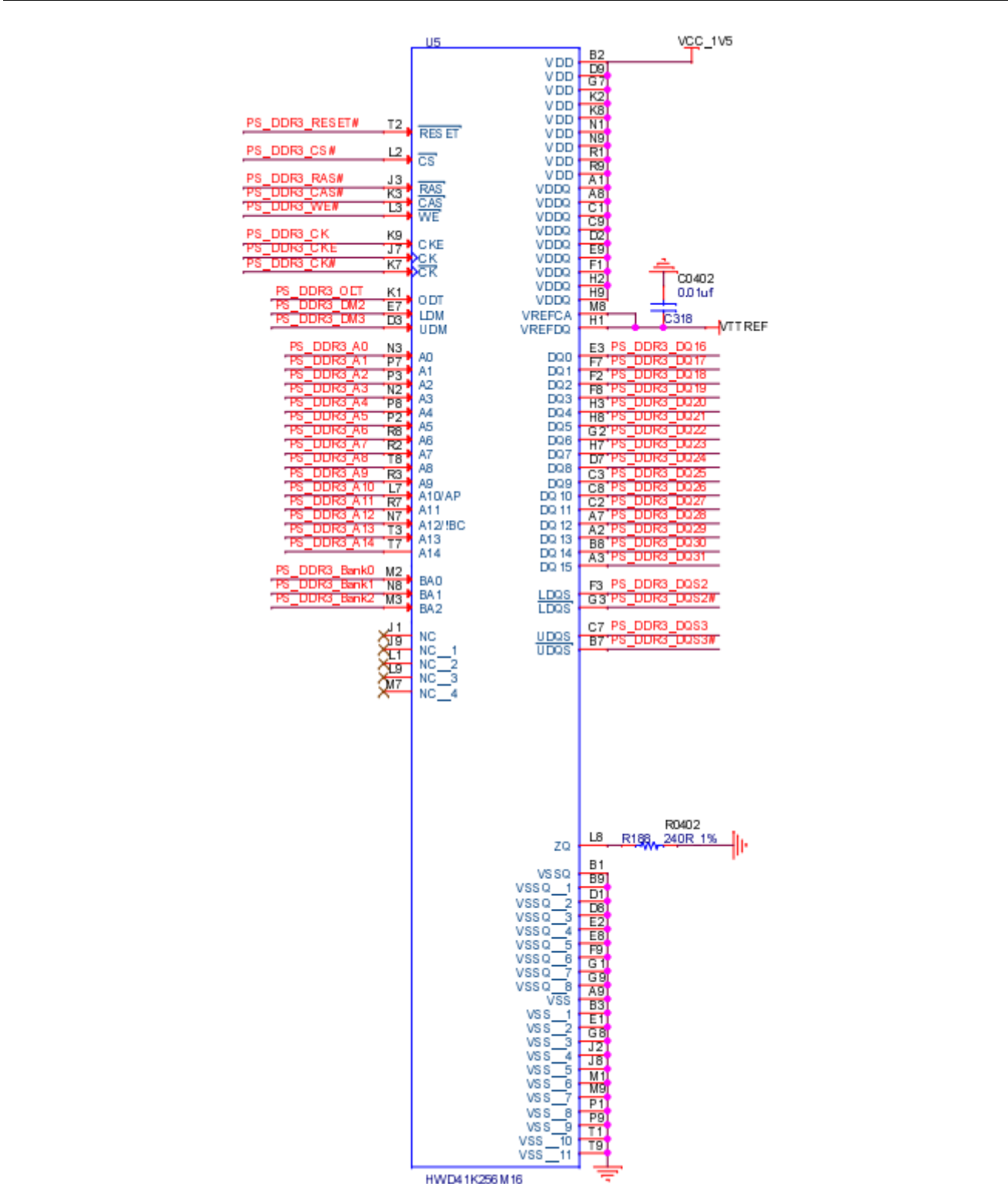


图 3-1 功能框图

HWD41K256M16PBGA96E典型应用场景如下图所示。



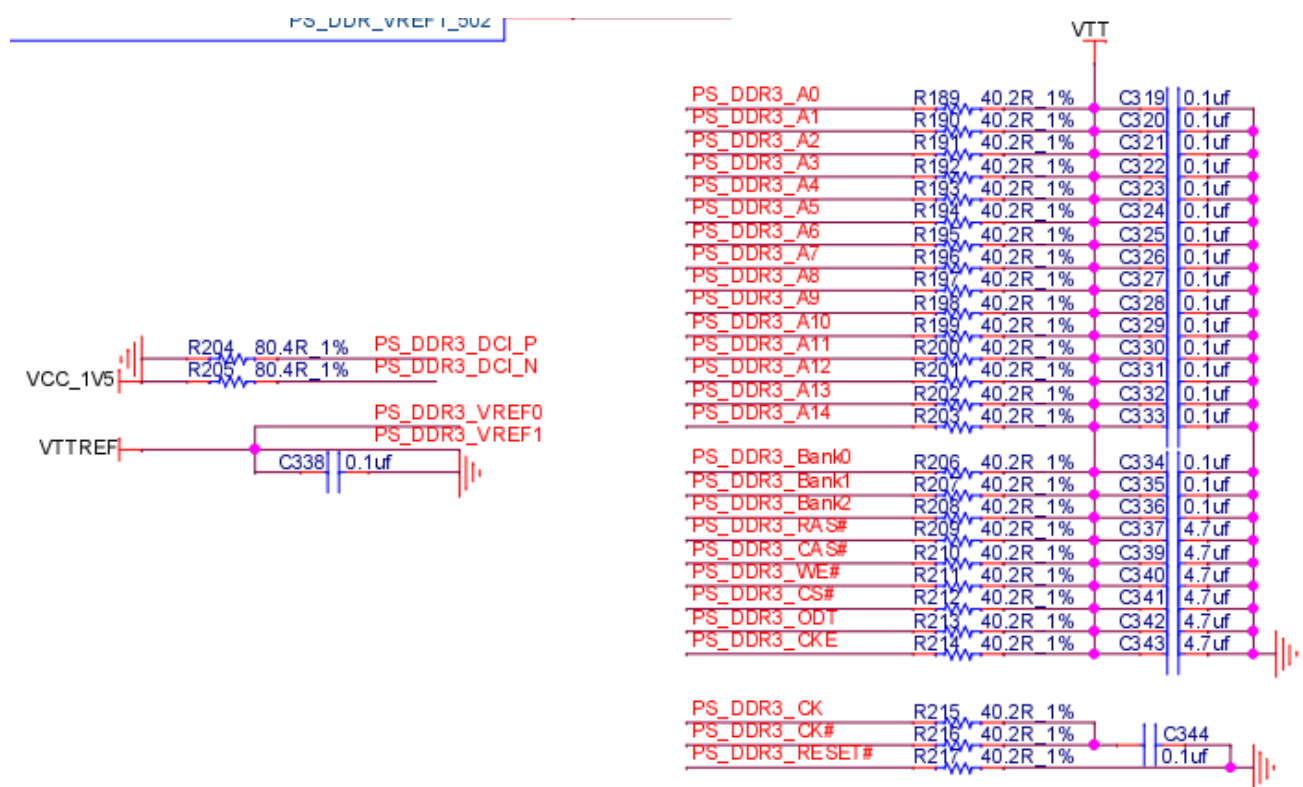


图 3-2 典型应用场景

4 封装信息

4.1 HWD41K256M16PBGA96E 封装信息

HWD41K256M16PBGA96E采用PBGA96封装，外形及引脚排列图如下图所示。

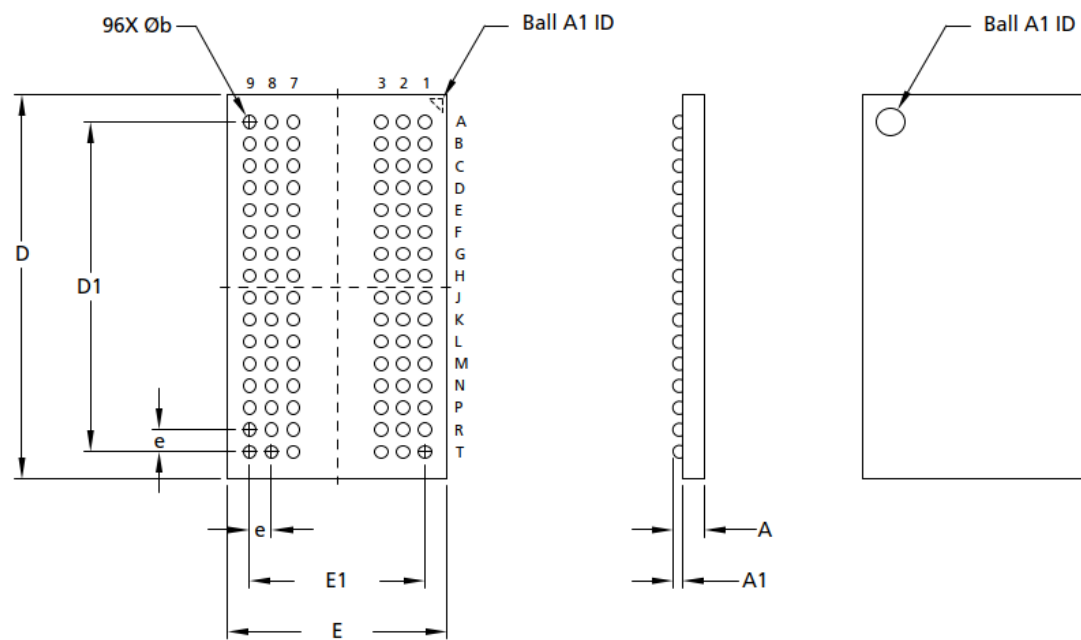


图 4-1 HWD41K25M16PBGA96M3 封装外形图

HWD41K256M16PBGA96E 的封装尺寸如下表所示。

表 4-1 HWD41K256M16PBGA96E 的封装尺寸

尺寸符号	数值		
	最小	公称	最大
A	—	—	1.30
A1	0.20	-	0.45
Φb	0.35	-	0.55
D	12.80	-	13.20
D1	-	12.00	-
E	8.80	-	9.20
E1	-	6.40	-
e	-	0.80	-

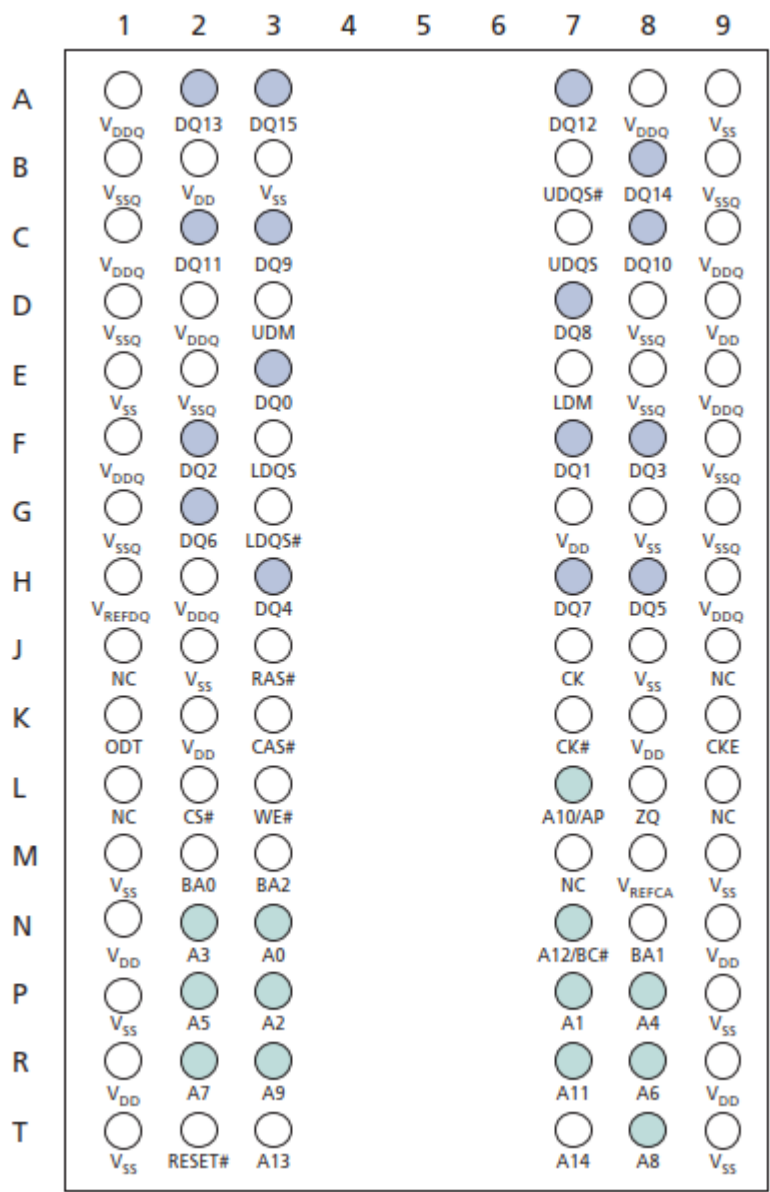


图 4-2 引出端排列

引出端功能说明如下表所示。

表 4-2 引出端功能说明

引脚名	类型	功能
CK, CK#	输入	时钟:CK 和 CK#为差分时钟输入。所有的地址和控制输入信号都在 CK 的上升沿和 CK#的下降沿的交叉处采样。

引脚名	类型	功能
CKE	输入	时钟使能:CKE 高电平激活, CKE 低电平失效, 内部时钟信号、设备输入缓冲区和输出驱动。将 CKE 设为低可提供预充低功耗和自刷新操作(所有 bank 空闲), 或主动低功耗(在任何 bank 中均为主动)。CKE 对于低功耗进入和退出以及自刷新进入是同步的。CKE 对于自刷新退出是异步的。VREF 在上电和初始化过程中保持稳定后, 需要维持 CKE 接收机正常工作。为了正确的自刷新进入和退出, VREF 必须保持这个输入。CKE 必须在整个读写访问过程中保持高位。输入缓冲区, 除 CK、CK#、ODT、CKE 外, 在 Power Down 期间, 将被禁用。输入缓冲区(不包括 CKE)在自刷新期间被禁用。
CS#	输入	芯片片选信号: 当 CS#被发送为高电平时, 所有命令都会被屏蔽。CS 在具有多个存储器 rank 的系统上提供外部 rank 选择。CS#会作为命令代码的一部分。
RAS#, CAS#, WE#	输入	RAS#, CAS#, WE#(和 CS#一样, 定义正在输入的命令)
DM, (UDM, LDM)	输入	输入数据掩码:DM 是写数据的输入掩码信号。在写访问期间, 当 DM 被采样为与输入数据一致的 HIGH 时, 输入数据被屏蔽。DM 在 DQS 的双沿采样。
BA0 ~ BA2	输入	bank 地址输入:BA0、BA1 和 BA2 定义正在活跃于读、写或预充电命令的 bank。bank 地址还决定在 MRS 周期中访问哪种模式寄存器。
A10 / AP	输入	自动预充电:在读/写命令期间采样 A10, 以确定读/写操作后是否应对被访问 bank 进行自动充电。(HIGH: 自动预充电;LOW: 无自动预充电)。在预充电命令期间对 A10 进行采样, 以确定预充电是否适用于一个分区(A10 LOW)或所有区域(A10 HIGH)。如果只对一个 bank 进行预充, 则根据 bank 地址选择 bank。
A0 ~ A15	输入	地址输入:为激活命令提供行地址, 为读/写命令提供列地址, 以便从各自 bank 的内存阵列中选择一个位置。(A10/AP 和 A12, BC#, 具有如下附加功能)。地址输入也提供模式寄存器设置命令中的操作码。
A12, BC#	输入	突发突变:在读写命令期间对 A12, BC#进行采样, 以确定是否执行突发突变(正在运行中的)。(HIGH - 不进行突发突变;LOW - 突发突变)。
ODT	输入	在片内端接:ODT(寄存器 HIGH)使能 DDR3 SDRAM 内部的端接电阻。如果模式寄存器 MR1 和 MR2 被编程为禁用 RTT, 则 ODT 引脚将被忽略。
RESET#	输入	低有效异步复位:当 RESET#为低时, 复位为有效;当 RESET#为高时, 复位为非有效。正常运行时, 数据值必须为高, 复位是 CMOS 轨对轨信号, 直流高电平和低电平分别为 VDD 的 80%和 20%, 即 DC (直接) 高电平为 1.20V 和 DC 低电平 0.30V
DQ	输入/输出	数据输入/输出:双向数据总线。
DQL DQU, DQS (DQS#), DQSL (LDQS#) DQSU (UDQS#)	输入/输出	数据同步信号:和读数据一起输出, 和写数据一起输入。边缘对齐的是读数据, 居中对齐的是写数据。数据同步号 DQS、DQSL、DQSU 分别与差分信号 DQS#, LDQS#, UDQS#等配对, 在运行过程中向系统提供差分对信号, 既可读也可写。DDR3 SDRAM 仅支持差分数据同步信号, 不支持单端。
NC	-	无连接:没有内部电气连接。

引脚名	类型	功能
VDDQ	电源	DQ 电源:1.35V -0.067V/+0.1V 或 1.5V±0.075V
VDD	电源	电源:1.35V -0.067V/+0.1V 或 1.5V±0.075V
VSSQ	电源	DQ 地
VSS	电源	地
VREFCA	电源	CA 参考电压
VREFDQ	电源	DQ 参考电压
ZQ	电源	ZQ 校准的参考引脚。

注 1：输入管脚 (BA0-BA2 A0-A14, RAS#, CAS#, WE#, CS#, CKE, ODT 和 RESET#不支持终止。

4.2 HWD41K256M16PBGA96E 焊盘推荐

HWD41K256M16PBGA96E焊盘推荐如下图所示，用户可根据焊接要求进行调整。

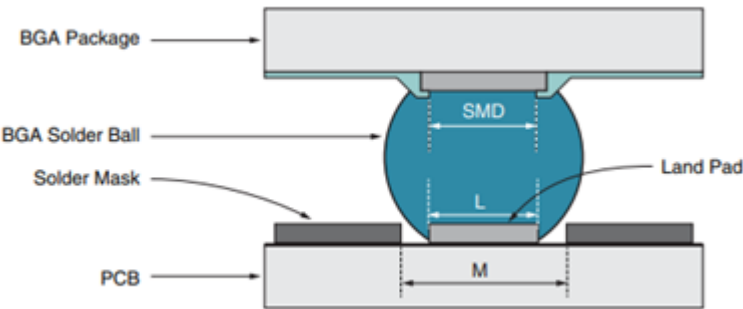


图 4-3 推荐焊盘图

4.3 HWD41K256M16PBGA96E 焊接推荐

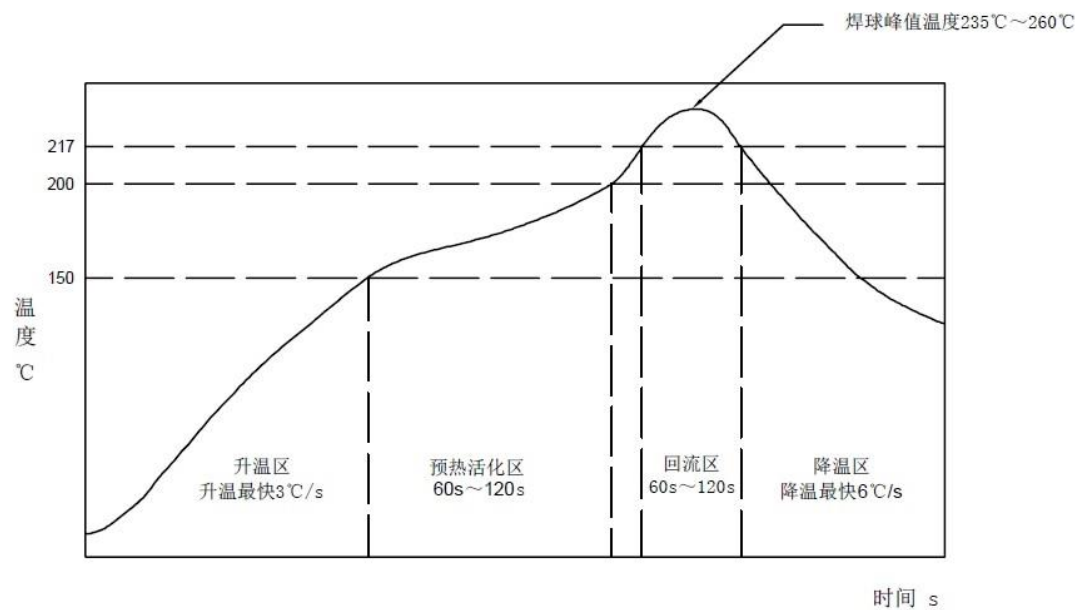


图 4-4 建议条件下的无铅回流曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

表 5-1 工作电压范围

序号	参数名称	参数值	备注
1	相对 VSS 的 VDD 引脚电压	-0.4 ~ 1.8V	1,3
2	相对 VSS 的 VDDQ 引脚电压	-0.4 ~ 1.8V	1,3
3	相对 VSS 的输入/输出引脚电压	-0.4 ~ 1.8V	1,2
4	存储温度	-65°C ~ +150°C	1,2

注 1：超过最大额定值可能会造成器件永久损坏。长期处于额定最大值工作也会影响其可靠性。

注 2：存储温度是指 DRAM 面中心或顶面的表面温度。

注 3：VDD 和 VDDQ 必须始终在 300mV 以内；且 Vref 必须不大于 0.6VDDQ，当 VDD 和 VDDQ 小于 500mV，Vref 可能等于或小于 300mV。

5.2 推荐工作范围

表 5-2 推荐工作温度电压范围

序号	参数名称	参数值
1	工作环境温度 (T _A)	-55°C ~ +125°C
2	V _{DD}	1.283 ~ 1.45V
3	V _{DDQ}	1.283 ~ 1.45V

注 1：在所有条件下，V_{DDQ} 必须小于或等于 V_{DD}。

注 2：具有 V_{DD} AC 参数的 V_{DDQ} 值是在 V_{DD} 和 V_{DDQ} 连接在一起的情况下测量的。

注 3：最大 DC 值可能不会超过 1.425V。DC 值是 V_{DD}/V_{DDQ}(t) 在很长一段时间内（例如 1 秒）的线性平均值。

注 4：如果超过最大限制，输入电平应由 DDR 规范控制。

注 5：在这些电源电压下，设备按照 DDR3L 规格运行。

注 6：一旦初始化为 DDR3 操作，DDR3L 操作只能在设备处于重置状态，而 V_{DD} 和 V_{DDQ} 更改为 DDR3L 运行时使用。

注 7：V_{DD}=V_{DDQ}=1.35V (1.283~1.45V) 向后兼容 V_{DD}=V_{DDQ}=1.5V±0.075V，支持 DDR3L 设备在 1.5V 应用中向后兼容。

6 电特性参数

表 6-1 刷新参数

参数	符号	值	单位
ACT 或 REF 的 REF 命令时间	tRFC	260	ns

表 6-2 DDR3L 命令和地址的 AC 和 DC 逻辑输入值

符号	参数	DDR3L-1066/1333/1600/1866		单位	备注
		最小	最大		
$V_{IH.CA}(DC90)$	直流输出逻辑高	$V_{ref}+0.09$	VDD	V	1
$V_{IL.CA}(DC90)$	直流输出逻辑低	VSS	$V_{ref}-0.09$	V	1
$V_{IH.CA}(AC160)$	交流输出逻辑高	$V_{ref}+0.16$	注 2	V	1,2
$V_{IL.CA}(AC160)$	交流输出逻辑低	注 2	$V_{ref}-0.16$	V	1,2
$V_{IH.CA}(AC135)$	交流输出逻辑高	$V_{ref}+0.135$	注 2	V	1,2
$V_{IL.CA}(AC135)$	交流输出逻辑低	注 2	$V_{ref}-0.135$	V	1,2
$V_{IH.CA}(AC125)$	交流输出逻辑高	-	-	V	1,2
$V_{IL.CA}(AC125)$	交流输出逻辑低	-	-	V	1,2
$V_{REF.CA}(DC)$	参考电压 ADD CMD 输入	$0.49 \cdot VDD$	$0.51 \cdot VDD$	V	3,4

注 1: 除 RESET 外, 仅用于输入引脚。Vref=VrefCA(直流)。

注 2: 参见“过冲和欠冲规格”。

注 3: 电压 Vref 与 Vref(DC)的偏差不得超过 $\pm 0.1\%VDD$ 。

注 4: 参考: 约 $VDD/2 \pm 13.5mV$ 。

表 6-3 DDR3L DQ 和 DM 的 AC 和 DC 逻辑输入值

符号	参数	DDR3L-1066/1333/1600/1866		单位	备注
		最小	最大		
$V_{IH.CA}(DC90)$	直流输出逻辑高	$V_{ref}+0.09$	VDD	V	1
$V_{IL.CA}(DC90)$	直流输出逻辑低	VSS	$V_{ref}-0.09$	V	1
$V_{IH.CA}(AC160)$	交流输出逻辑高	$V_{ref}+0.16$	注 2	V	1,2
$V_{IL.CA}(AC160)$	交流输出逻辑低	注 2	$V_{ref}-0.16$	V	1,2
$V_{IH.CA}(AC135)$	交流输出逻辑高	$V_{ref}+0.135$	注 2	V	1,2

符号	参数	DDR3L-1066/1333/1600/1866		单位	备注
$V_{IL,CA}(AC135)$	交流输出逻辑低	注 2	$V_{ref}-0.135$	V	1,2
$V_{IH,CA}(AC125)$	交流输出逻辑高	-	-	V	1,2
$V_{IL,CA}(AC125)$	交流输出逻辑低	-	-	V	1,2
$V_{REFCA}(DC)$	参考电压 ADD CMD 输入	$0.49*VDD$	$0.51*VDD$	V	3,4

注 1: 除 RESET 外, 仅用于输入引脚。Vref=VrefCA(直流)。

注 2: 参见“过冲和欠冲规格”。

注 3: 电压 Vref 上的交流峰值噪声可能不允许 Vref 偏离 VrefDQ (直流) 超过 $\pm 0.1\%VDD$ (参考大约 $\pm 13.5mV$)。

注 4: 参考: 约 $VDD/2 \pm 13.5mV$ 。

Vref CA和Vref DQ参考电压的直流容限和交流噪限如图 6-1所示。它显示了有效的Vref(t)参考电压随时间的变化。(Vref同样代表VrefCA和VrefDQ)。

Vref(DC)是Vref(t)在很长一段时间(例如1秒)内的线性增均值。该平均值必须满足上一页的最小/最大要求。此外,Vref(t)可能暂时偏离Vref(DC)不超过 $\pm 1\%VDD$ 。

设置和保持时间测量 $V_{IH}(AC)$ 、 $V_{IH}(DC)$ 、 $V_{IL}(AC)$ 和 $V_{IL}(DC)$ 的电压电平取决于Vref。“Vref”应理解为Vref(DC)。

阐明了Vref的直流变化会影响信号必须达到的绝对电压, 以实现有效的高电平或低电平, 从而影响测量设置和保持的时间。系统时序和电压预算需要考虑Vref(DC)与输入信号数据眼中最佳位置的偏差。

这也澄清了DRAM设置/保持规范和降级值需要包括与Vref交流噪声相关的时间和电压。由于交流噪声对Vref的时序和电压影响达到规定的限制($\pm 1\%VDD$), 这包括在DRAM时序及其相关的降级中。

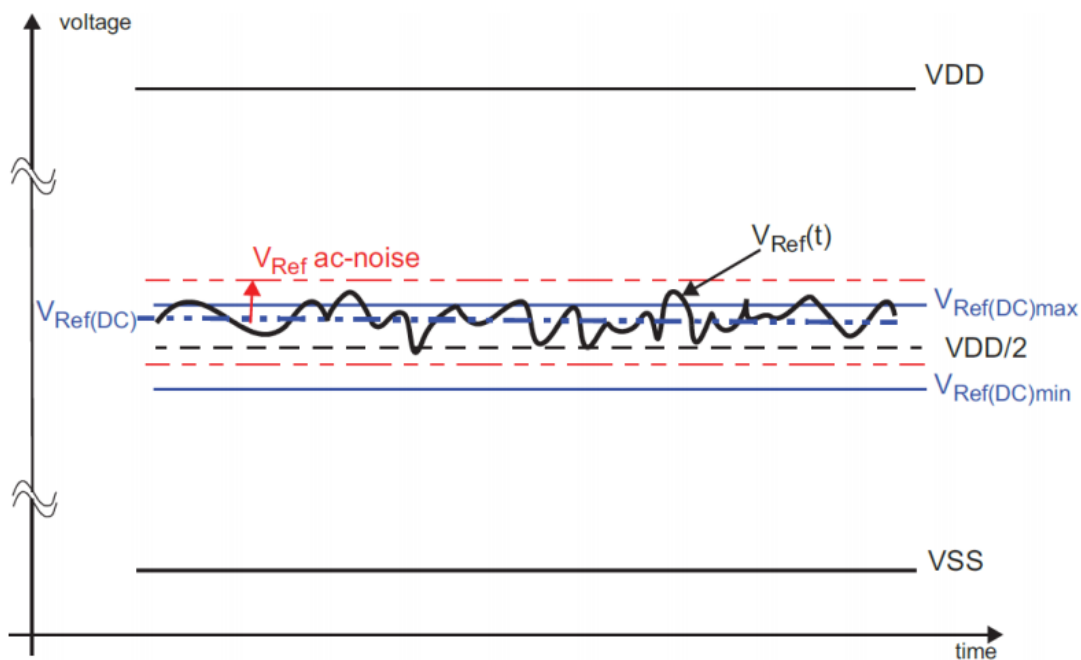


图 6-1 Vref(DC)容差和 Vref(AC)噪音范围

Symbol	Parameters	DDR3-1066/1333/1600/1866/2133		Unit	Note	
		Min	Max			
VIHdiff	Differential input logic high	+0.200	Note3	V	1	
VILdiff	Differential input logic low	Note3	-0.200	V	1	
VIHdiff(ac)	Differential input high ac	$2 \times (V_{IH}(ac) - V_{ref})$	Note3	V	2	
VILdiff(ac)	Differential input low ac	Note3	$2 \times (V_{ref} - V_{IL}(ac))$	V	2	
DDR3L-1066,1333, 1600						
VIHdiff	Differential input logic high	+0.180	Note3	V	1	
VILdiff	Differential input logic low	Note3	-0.180	V	1	
VIHdiff(ac)	Differential input high ac	$2 \times (V_{IH}(ac) - V_{ref})$	Note3	V	2	
VILdiff(ac)	Differential input low ac	Note3	$2 \times (V_{ref} - V_{IL}(ac))$	V	2	

图 6-2 DDR3L（CK-CK#）和同步信号（DQS-DQS#）差分交流和直流输入水平

注1：用于定义不同的信号变化斜率。

注2：对于CK-CK#，用ADD/CMD和VrefCA的VIH/VIL(AC)；对于DQS-DQS#，DQSL, DQSL#, DQSU, DQSU#，用DQS和VrefDQ的VIH/VIL(AC)；如果缩小交流电平高值和交流低值用于信号组，那么缩小的值也会用在此处。

注3：这些值不被使用，然而单接信号CK, CK#, DQS, DQS#, DQSL, DQSL#, DQSU, DQSU#需要在相应的单端信号最大限值以内（VIH(DC)）、VIL(DC)，就像过冲和欠冲限值一样。

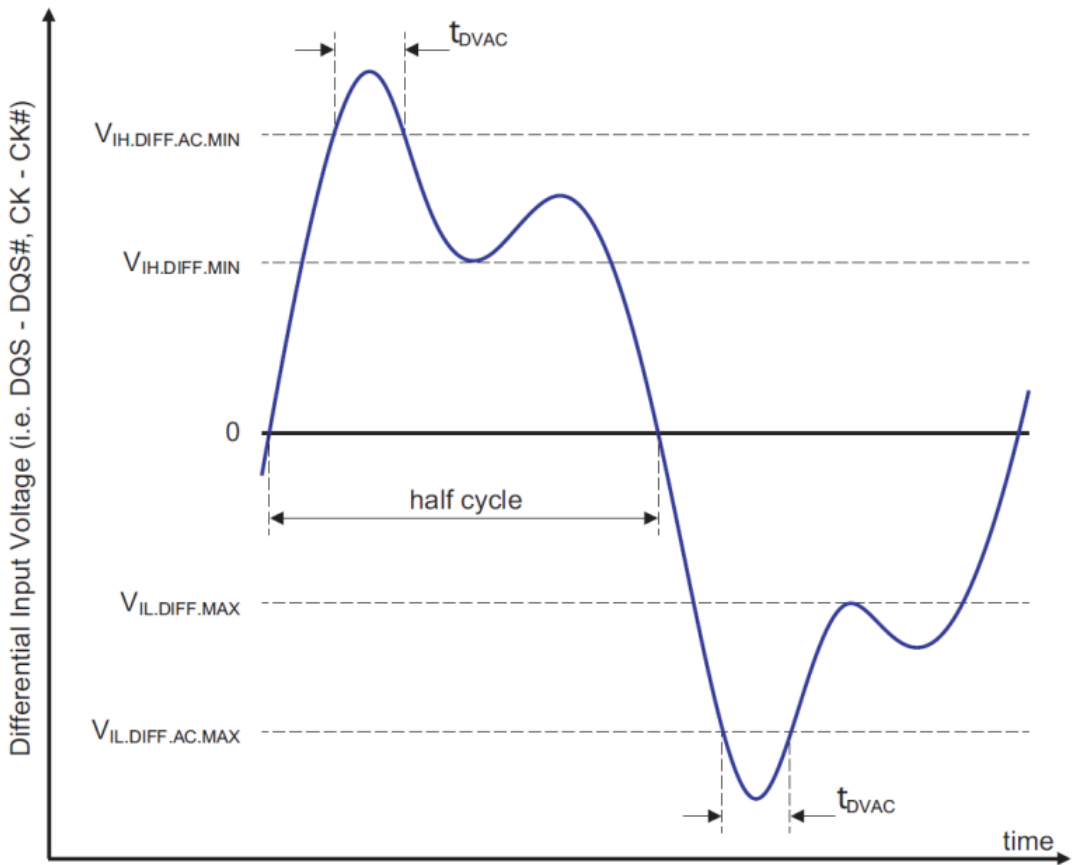


图 6-3 差分交流摆动和“交流电平以上时间”的定义

Slew Rate [V/ns]	tDVAC [ps] @ VIH/Ldiff(ac) = 250mV		tDVAC [ps] @ VIH/Ldiff(ac) = 260mV	
	Min	Max	Min	Max
> 4.0	168	-	176	-
4.0	168	-	176	-
3.0	147	-	154	-
2.0	105	-	111	-
1.8	91	-	97	-
1.6	74	-	78	-
1.4	52	-	56	-
1.2	22	-	24	-
1.0	note	-	note	-
< 1.0	note	-	note	-

图 6-4 CK-CK#和 DQS-DQS#信号反射前 DDR3L 允许时间

注1：上升的输入差分信号应等于或大于 $V_{IHdiff}(AC)$ 电平，下降的输入差分信号应小于或等于 $V_{ILdiff}(AC)$ 电平。

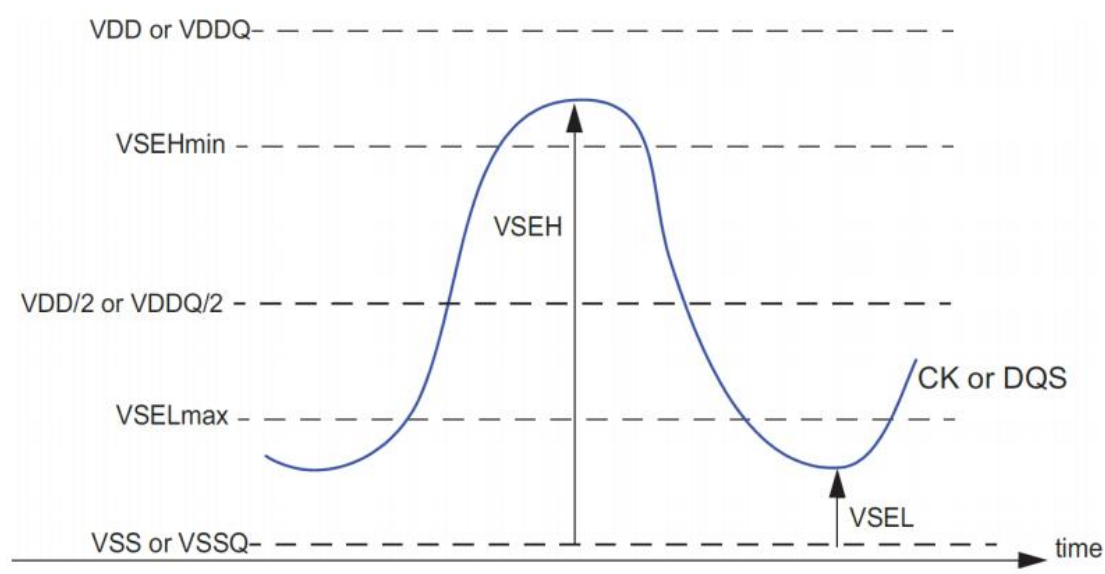


图 6-5 差分信号单端要求

差分信号（CK, DQS, DQSL, DQSU, CK#, DQS#, DQSL#, DQSU#）的每个单独分量还必须符合单端信号的某些要求。

CK 和 CK# 必须大约达到 V_{SEHmin}/V_{SELmax} (约等于 $V_{IH}(AC)/V_{IL}(AC)$ 交流电平用于 ADD/CMD 信号)。DQS, DQSL, DQSU, DQS#, DQSL# 必须达到 V_{SEH}/V_{SELmax} 大约是有有效转换前后每个半周期的交流电平（DQ 信号的 $V_{IH}(AC)/V_{IL}(AC)$ ）。

请注意，ADD/CMD 和 DQ 的适用交流电平可能因速度分级而异。例如，如果 $V_{IH150}(AC)/V_{IL150}(AC)$ 用于 ADD/CMD 信号，则这些交流电平也适用于单端信号 CK 和 CK#。

表 6-4 CK,DQS,DQSL,DQSU,CK#,DQS#,LDQS#或 UDQS#单端值

符号	参数	最小	最大	单位	备注
VSEH	用于信号对齐的单端值高电平	$(VDDQ/2)+0.175$	注 3	V	1, 2
	用于 CK, CK# 的单端值高电平	$(VDDQ/2)+0.175$	注 3	V	1, 2
VSEL	用于信号对齐的单端值低电平	注 3	$(VDDQ/2)-0.175$	V	1, 2

	用于 CK, CK#的单端值 低电平	注 3	(VDDQ/2) -0.175	V	1, 2
--	-----------------------	-----	----------------------	---	------

注 1: CK, CK#用 ADD/CMD 的 VIH/VIL (AC)；对 DQS, DQSL, DQS#, LDQS#, UDQS#用 DQS 的 VIH/VIL (AC)。

注 2: DQS 的 VIH(AC)/VIL(AC)是基于 VREFDQ；ADD/CMD 的 VIH(AC)/VIL(AC)是基于 VERCA；如果信号组使用降低的交流高电平或交流低电平，那么表 6-4 这里也用到这些降低值。

注 3: 表 6-4 中的值没有定义，CK, CK#，DQS, DQSL, DQSU, CK#, DQS#, LDQS#, UDQS#单端值需要在相应的单端信号的 VIH(DC)最大限值和 VIL(DC)最小值范围内，overshoot 和 undershoot 也一样。

为了保证ck和DQS严格的建立和保持时间时钟，差分输入信号(CK, CK#和DQS, DQS#)的每个交叉点必须满足表 6-5要求。差分输入交叉点电压VIX是从真实和完整信号的实际交叉点到VDD和VSS之间的中间电平测量的。

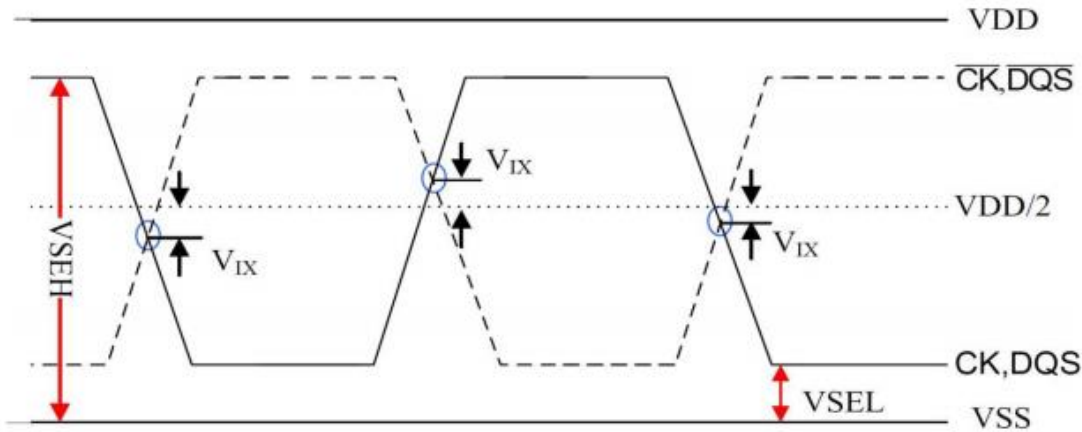


图 6-6 VIX 差分值

表 6-5 差分信号(CK,DQS)的差分点电压

符号	参数	最小	最大	单位	备注
VIX(CK)	对应 CK,CK#，差分输入交叉点电压与 VDD/2 相关	-150	150	mV	2
VIX(DQS)	对应 DQS,DQS#，差分输入交叉点电压与 VDD/2 相关	-150	150	mV	1

注 1: VIX 最小/最大和 VSEL/VSEH 之间的关系应用用满足如下：

$(VDD/2) + VIX(min) - VSEL \geq 25mV$ ；

$VSEL - ((VDD/2) + VIX(max)) \geq 25mV$ ；

注 2: VIX 的扩展范围仅适用于时钟，如果单端时钟输入信号 CK 和 CK#是随单端摆幅信号 VSEL/VSEH 单调变化，最少在 $VDD/2 \pm 250mV$ ，且当差分变化斜率大于 3V/ns 时。

不同输入信号变化斜率(CK,CK#和 DQS,DQS#)是有出处的，且测量值如表 6-6。

表 6-6 不同输入差分变化斜率

描述	测量		出处
	起	止	
CK-CK# DQS-DQS#上升沿的 差分输入信号	$V_{ILdiffmax}$	$V_{IHdiffmin}$	$[V_{IHdiffmin}-V_{ILdiffmax}]/\Delta TR_{diff}$
CK-CK# DQS-DQS#下降沿的 差分输入信号	$V_{IHdiffmin}$	$V_{ILdiffmax}$	$[V_{IHdiffmin}-V_{ILdiffmax}]/\Delta TF_{diff}$
差分信号（如 CK-CK#,DQS-DQS#）必须在这这些阈值之间是线性的			

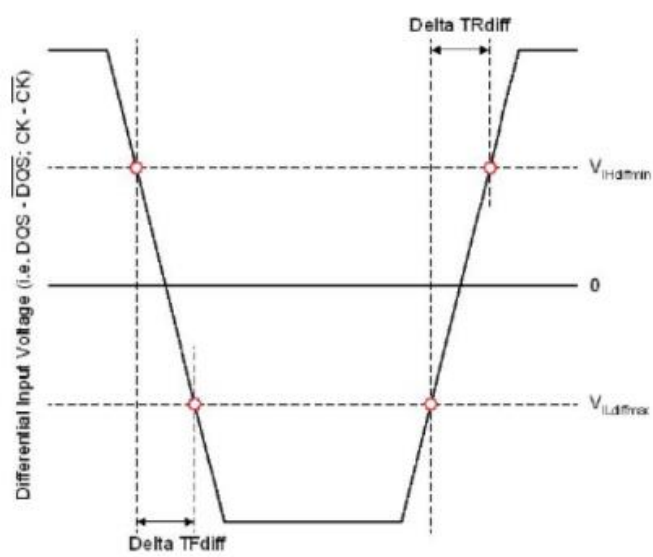


图 6-7 单端信号的输入名义上的差分变化斜率

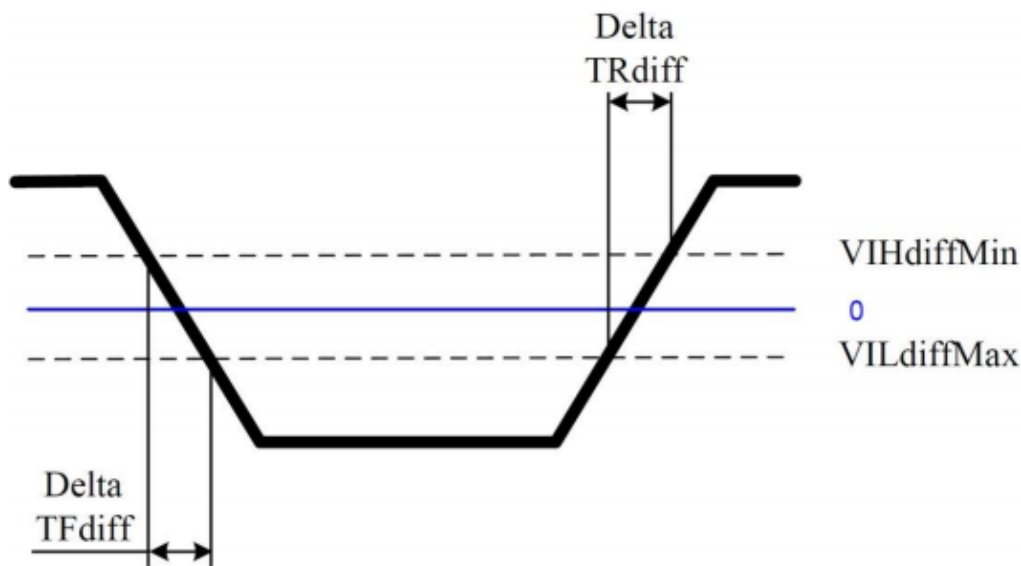


图 6-8 AC 和 DC 输出测量值

表 6-7 单端信号 AC 和 DC 输出值

符号	参数	值	单位	备注
$V_{OH(DC)}$	DC 输出高测量值(对应 IV 曲线线性)	$0.8 \times V_{DDQ}$	V	
$V_{OM(DC)}$	DC 输出中测量值(对应 IV 曲线线性)	$0.5 \times V_{DDQ}$	V	
$V_{OL(DC)}$	DC 输出低测量值(对应 IV 曲线线性)	$0.2 \times V_{DDQ}$	V	
$V_{OH(AC)}$	AC 输出高测量值(对应输出 SR)	$V_{TT} + 0.1 \times V_{DDQ}$	V	1
$V_{OL(AC)}$	AC 输出低测量值(对应输出 SR)	$V_{TT} - 0.1 \times V_{DDQ}$	V	1

注 1: $\pm 0.1 \times V_{DDQ}/2$ 的摆幅基于约 50% 的静态单端输出高摆幅或低摆幅，驱动器阻抗为 $40\ \Omega$ ，有效测试负载为 $25\ \Omega$ ， $V_{TT} = V_{DDQ}/2$ 。

表 6-8 差分 AC 和 DC 输出

符号	参数	值	单位	备注
$VOH_{diff}(AC)$	AC 差分输出高测量值（对应输出 SR）	$+0.2 \times V_{DDQ}$	V	1
$VOL_{diff}(AC)$	AC 差分输出低测量值（对应输出 SR）	$-0.2 \times V_{DDQ}$	V	1

注 1: $\pm 0.1 \times V_{DDQ}$ 的摆幅基于约 50% 的静态单端输出高摆幅或低摆幅，驱动器阻抗为 $40\ \Omega$ ，有效测试负载为 $25\ \Omega$ ，每个差分输出的 $V_{TT} = V_{DDQ}/2$ 。

表 6-9 单端输出变化斜率表

描述	测量		出处
	起	止	
上升沿单端输出变化斜率	VOL(AC)	VOH(AC)	[VOH(AC)-VOL(AC)]/DeltaTRse
上升沿单端输出变化斜率	VOH(AC)	VOL(AC)	[VOH(AC)-VOL(AC)]/DeltaTRse
注：输出变化斜率通过设计和特性验证，可能不适用于产品测试。			

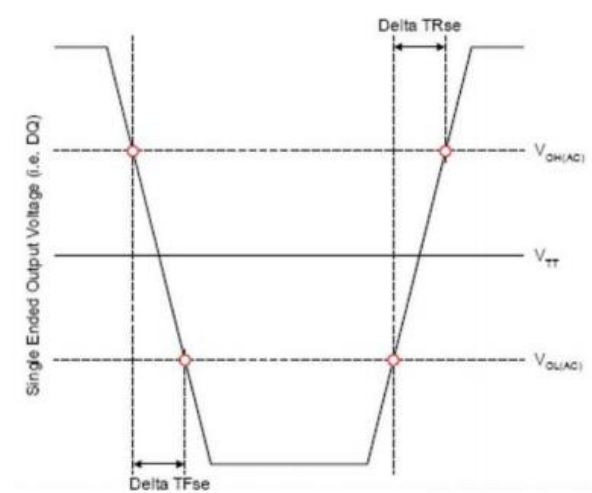


图 6-9 单端输出斜率变化定义

表 6-10 单端输出斜率表

参数	符号	器件	最小值	最大值	单位
单端输出变化斜率	SRQse	DDR3	2.5	5	V/ns
		DDR3L	1.75	5	V/ns

注 1：SR:Slew Rate；Q：Query Output(就像 DQ 是 Data-in 的代表)；se:Single-ended signals;For Ron=RXQ/7 设置。

注 2：在两种情况下，字节通道内的单个 DQ 信号的最大变化斜率为 6V/ns。

情况 1 是针对字节通道内的单个 DQ 信号定义的，该 DQ 信号正在切换到某个方向（从高到低或从低到高），而同一字节通道中的所有剩余 DQ 信号都是静态的（即它们保持在高或低）。

情况 2 是针对字节通道内的单个 DQ 信号定义的，该 DQ 信号正在切换到某个方各（从高到低或从低到高），而同一字节通道中的所有剩余 DQ 信号都在切换到相反的方向（即分别从低到高或从高到低）。对于切换到相反方向的剩余 DQ 信号，适用 5V/ns 的常规最大限制。

表 6-11 差分输出变化斜率表

描述	测量		出处
	起	止	
上升沿差分输出变化斜率	$V_{OLdiff}(AC)$	$V_{OHdiff}(AC)$	$[V_{OHdiff}(AC)-V_{OLdiff}(AC)]/\Delta TR_{diff}$
下降沿差分输出变化斜率	$V_{OHdiff}(AC)$	$V_{OLdiff}(AC)$	$[V_{OHdiff}(AC)-V_{OLdiff}(AC)]/\Delta TR_{diff}$
注：输出变化斜率通过设计和特性验证，不适用于产品测试。			

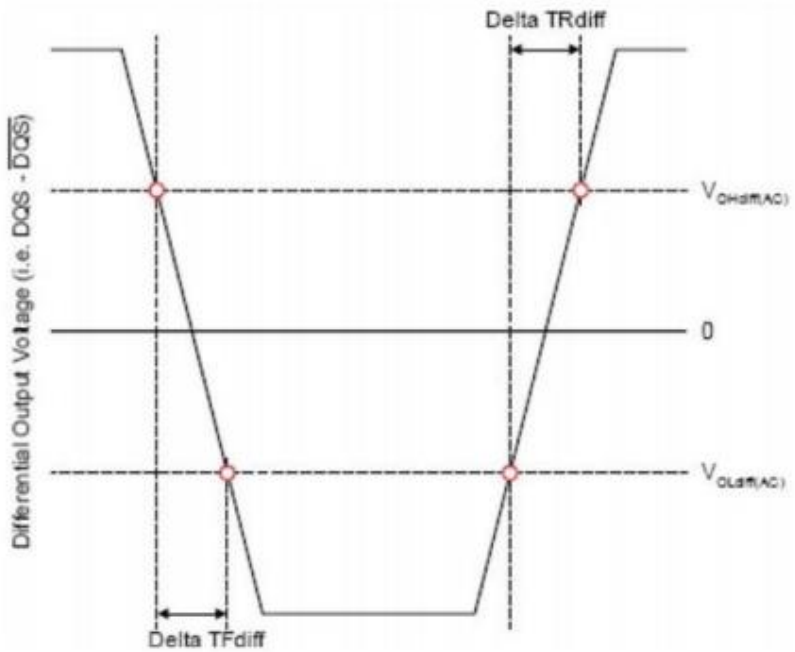


图 6-10 差分输出变化斜率定义

表 6-12 差分输出变化斜率

参数	符号	最小值	最大值	单位
差分输出变化斜率	SRQdiff	5	12	V/ns
		3.5	12	V/ns

图 6-11表25 Ω 的有效参考负载，用于定义设备的相关交流时序参数以及输出变化斜率测量。

它不是对任何特定系统环境的精确表示，也不是对生产测试人员呈现的实际负载的描述。系统设计人员应使用IBIS或其他仿真工具将时序参考负载与系统环境相关联。制造商与其生产测试条件相关，通常是一条或多条同轴传输线在测试仪电子设备处终止。

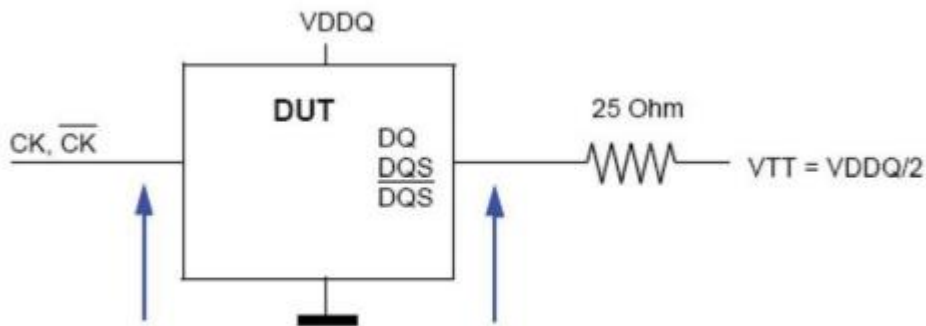


图 6-11 AC 时序差分负载

表 6-13 地址和控制引脚的 AC 过冲/欠冲特性

项目	值	单位
过冲区域允许的最大峰值 振幅	0.4	V
欠冲区域最大峰值振幅	0.4	V
VDD 之上的最大过冲区域	0.28	V-ns
VSS 以下的最大欠冲区域	0.28	V-ns
(A0-A14,BA0-BA3,CS#, RAS#,CAS#,WE#,CKE,ODT)		

注 1: VDD 与过冲最大峰值振幅的和不超过直流额定最大值。

注 2: VDD 和欠冲最大峰值振幅不超过直流额定最大值。

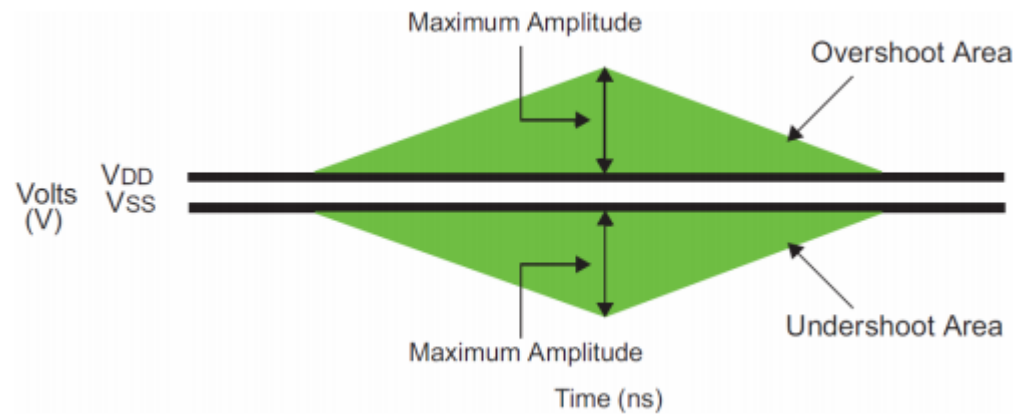


图 6-12 AC 过冲/欠冲区域 1

表 6-14 Clock、Data、Strobe、Mask 的 AC 过冲/欠冲特性

项目	值	单位
过冲区域允许的最大峰值 振幅	0.4	V
欠冲区域最大峰值振幅	0.4	V
VDD 之上的最大过冲区域	0.11	V-ns
VSS 以下的最大欠冲区域	0.11	V-ns
(A0-A14,BA0-BA3,CS#, RAS#,CAS#,WE#,CKE,ODT)		

注 1: VDD 与过冲最大峰值振幅的和不超过直流额定最大值。

注 2: VDD 和欠冲最大峰值振幅不超过直流额定最大值。

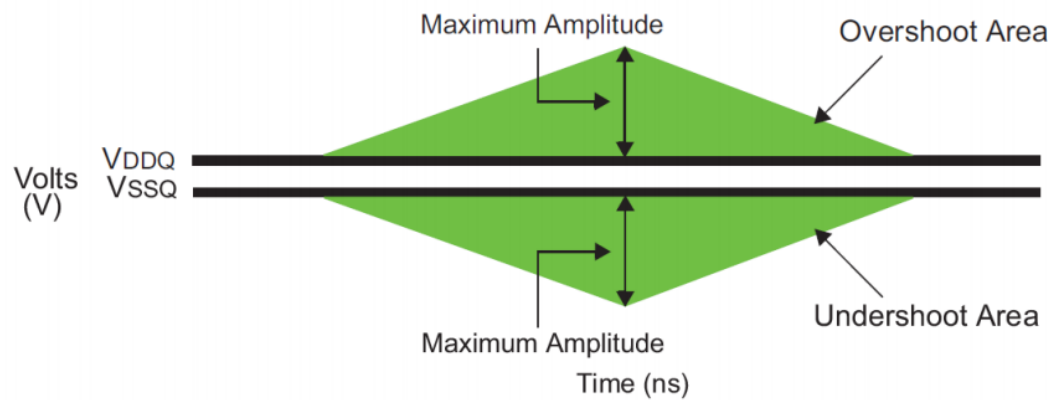


图 6-13 AC 过冲/欠冲区域 2

输出缓冲区的功能代表如下。输出驱动器阻抗RON由外部参考电阻器RZQ的值定义如下：

RON34=RZQ/7 (标称电阻为34.4欧姆+/-10%，标称电阻为240 Ω)

单个上拉和下拉电阻器（RONPu和RONPd）的定义如下：

在RONPd关闭的情况下：RONPu=[VDDQ Vout]/I Iout I-----(1)

在RONPu关闭的条件下：RONPd=Vout/I Iout I-----(2)

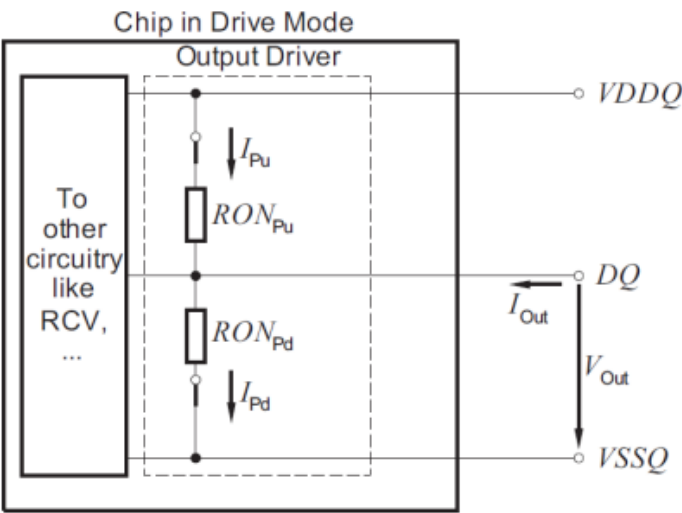


图 6-14 输出驱动：电压和电流的定义

表 6-15 输出驱动直流电特性（RZQ=240 Ω,全操作温度范围，经适当 ZQ 校准后）

RONNom	电阻器	Vout	最小	正常	最大	单位	备注
34 Ω	RON34Pd	VOLdc=0.2×VDDQ	0.6	1.0	1.15	RzQ/7	1,2,3
		VOMdc=0.5×VDDQ	0.9	1.0	1.15	RzQ/7	1,2,3
		VOHdc=0.8×VDDQ	0.9	1.0	1.45	RzQ/7	1,2,3
	RON34Pu	VOLdc=0.2×VDDQ	0.9	1.0	1.45	RzQ/7	1,2,3
		VOMdc=0.5×VDDQ	0.9	1.0	1.15	RzQ/7	1,2,3
		VOHdc=0.8×VDDQ	0.6	1.0	1.15	RzQ/7	1,2,3
40 Ω	RON40Pd	VOLdc=0.2×VDDQ	0.6	1.0	1.15	RzQ/6	1,2,3
		VOMdc=0.5×VDDQ	0.9	1.0	1.15	RzQ/6	1,2,3
		VOHdc=0.8×VDDQ	0.9	1.0	1.45	RzQ/6	1,2,3
	RON40Pu	VOLdc=0.2×VDDQ	0.9	1.0	1.45	RzQ/6	1,2,3
		VOMdc=0.5×VDDQ	0.9	1.0	1.15	RzQ/6	1,2,3

RON _{Nom}	电阻器	V _{out}	最小	正常	最大	单位	备注
		V _{OHdc} =0.8×VDDQ	0.6	1.0	1.15	R _{ZQ} /6	1,2,3
上拉和下拉之间不匹配, MM _{PuPd}		V _{OMdc} =0.5×VDDQ	-10		+10	%	1,2,4

注 1: 公差限值是在稳定的电压和温度下校准后指定的。关于校准后温度或电压变化时公差限值的行为, 请参阅以下关于电压和温度灵敏度的部分。

注 2: 在 VDDQ=VD 和 VSSQ=VSS 的条件下, 规定了公差限制。

注 3: 建议将下拉式和上拉式输出驱动器阻抗校准为 0.5×DDQ。其他校准方案可用于实现上述线性规格。例如, 在 0.2×VDDQ 和 0.8×VDDQ 下进行校准。

注 4: 测量定义上拉之间的匹配形式, MM_{PuPd}: 测量 RON_{Pu} 和 RON_{Pd}, 但在 0.5×VDDQ 处:

$$MM_{PuPd} = \frac{Ron_{Pu} - Ron_{Pd}}{Ron_{Nom}} \times 100$$

如果校准后的温度或电压, 公差限值将根据下表扩大。

Δ T=T-T (校准时); Δ V=VDDQ-VDDQ (校准时); VDD=VDDQ。

注: dRONdT和dRONdV不进行生产测试, 但通过设计和表征进行验证。

表 6-16 输出驱动的敏感性定义

选项	最小	最大	单位
RON _{Pu} @V _{OHdc}	0.6-dRONdTH*I Δ TI-dRONdVH*I Δ VI	1.1+dRONdTH*I Δ TI-dRONdVH*I Δ VI	R _{ZQ} /7
RON@V _{OMdc}	0.9-dRONdTH*I Δ TI-dRONdVM*I Δ VI	1.1+dRONdTH*I Δ TI-dRONdVM*I Δ VI	R _{ZQ} /7
RON _{Pd} @V _{OLdc}	0.6-dRONdTH*I Δ TI-dRONdVL*I Δ VI	1.1+dRONdTH*I Δ TI-dRONdVL*I Δ VI	R _{ZQ} /7

表 6-17 输出驱动的敏感性

选项	最小	最大	单位
dRONdTM	0	1.5	%/°C
dRONdVM	0	0.13	%/mV
dRONdTL	0	1.5	%/°C
dRONdVL	0	0.13	%/mV

选项	最小	最大	单位
dRONdTH	0	1.5	%/°C
dRONdVH	0	0.13	%/mV

注 1：这些参数通过设计和特性验证，不适用于产品测试。

裸芯上端接有效电阻RTT由MR1寄存器的A9、A6和A2定义。

ODT适用于DQ、DM、DQS、DQS#、和TDQS，TDQS#(仅限×8设备)引脚。

裸芯端接功能表示如下图所示。单个上拉和下拉电阻器（RTTPu和RTTPd）定认如下：

$$RTT_{Pu} = \frac{VDDQ - V_{Out}}{|I_{Out}|}$$

-----在RTTPd关闭的条件下（3）

$$RTT_{Pd} = \frac{V_{Out}}{|I_{Out}|}$$

-----在RTTPu关闭的条件下（4）

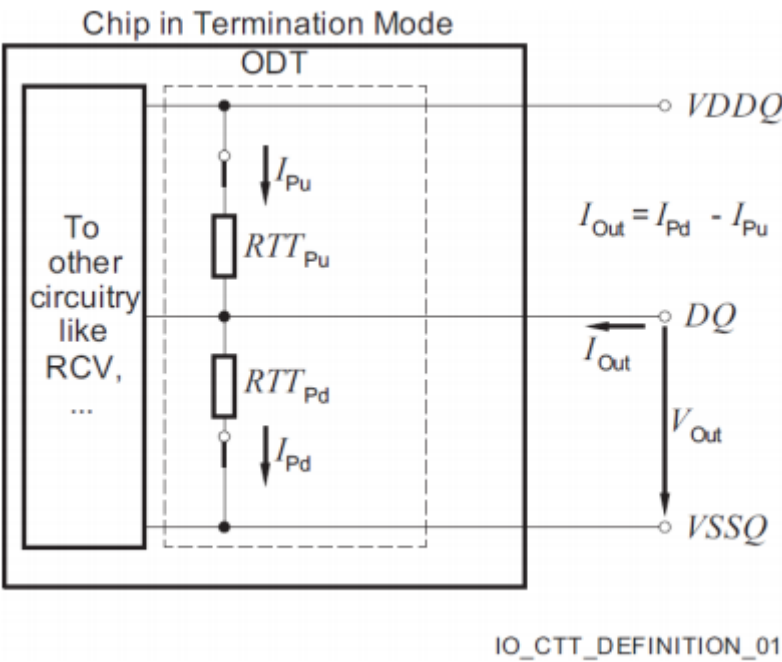


图 6-15 裸芯端接：电压和电流定义

表 6-18 提供了 ODT 直接电特性的概览。值 $RTT_{60Pd120}$ ， $RTT_{60Pu120}$ ， $RTT_{120Pd240}$ ， $RTT_{120Pu240}$ ， RTT_{40Pd80} ， RTT_{40Pu80} ， RTT_{30Pd60} ， RTT_{30Pu60} ， RTT_{20Pd40} ， RTT_{20Pu40} 不是需要的特性值，但可以设计使用。

表 6-18 ODT 直流电特性（假定 $RZQ=240\ \Omega \pm 1\%$ ，全操作温度范围，经适当 ZQ 校准后）

MR1	RTT	电阻	V_{Out}	最小	正常	最大	单位	备注
[A9,A6,A2]	(Ω)							

MR1 [A9,A6, A2]	RTT (Ω)	电阻	V_{OUT}	最小	正常	最大	单位	备注
0,1,0	120 Ω	RTT _{120Pd2} 40	$V_{OLdc}=0.2 \times VDDQ$	0.6	1.0	1.15	RZQ	1,2,3,4
			$0.5 \times VDDQ$	0.9	1.0	1.15	RZQ	1,2,3,4
			$V_{OHdc}=0.8 \times VDDQ$	0.9	1.0	1.45	RZQ	1,2,3,4
		RTT _{120Pu2} 40	$V_{OLdc}=0.2 \times VDDQ$	0.9	1.0	1.45	RZQ	1,2,3,4
			$0.5 \times VDDQ$	0.9	1.0	1.15	RZQ	1,2,3,4
			$V_{OHdc}=0.8 \times VDDQ$	0.6	1.0	1.15	RZQ	1,2,3,4
		RTT ₁₂₀	$V_{IL}(ac)$ to $V_{IH}(ac)$	0.9	1.0	1.65	RZQ/2	1,2,5
0,0,1	60 Ω	RTT _{60Pd12} 0	$V_{OLdc}=0.2 \times VDDQ$	0.6	1.0	1.15	RZQ/2	1,2,3,4
			$0.5 \times VDDQ$	0.9	1.0	1.15	RZQ/2	1,2,3,4
			$V_{OHdc}=0.8 \times VDDQ$	0.9	1.0	1.45	RZQ/2	1,2,3,4
		RTT _{60Pu12} 0	$V_{OLdc}=0.2 \times VDDQ$	0.9	1.0	1.45	RZQ/2	1,2,3,4
			$0.5 \times VDDQ$	0.9	1.0	1.15	RZQ/2	1,2,3,4
			$V_{OHdc}=0.8 \times VDDQ$	0.6	1.0	1.15	RZQ/2	1,2,3,4
		RTT ₆₀	$V_{IL}(ac)$ to $V_{IH}(ac)$	0.9	1.0	1.65	RZQ/4	1,2,5
0,1,1	40 Ω	RTT _{40Pd80}	$V_{OLdc}=0.2 \times VDDQ$	0.6	1.0	1.15	RZQ/3	1,2,3,4
			$0.5 \times VDDQ$	0.9	1.0	1.15	RZQ/3	1,2,3,4
			$V_{OHdc}=0.8 \times VDDQ$	0.9	1.0	1.45	RZQ/3	1,2,3,4
		RTT _{40Pu80}	$V_{OLdc}=0.2 \times VDDQ$	0.9	1.0	1.45	RZQ/3	1,2,3,4
			$0.5 \times VDDQ$	0.9	1.0	1.15	RZQ/3	1,2,3,4
			$V_{OHdc}=0.8 \times VDDQ$	0.6	1.0	1.15	RZQ/3	1,2,3,4
		RTT ₄₀	$V_{IL}(ac)$ to $V_{IH}(ac)$	0.9	1.0	1.65	RZQ/6	1,2,5

MR1 [A9,A6, A2]	RTT (Ω)	电阻	V _{OUT}	最小	正常	最大	单位	备注		
1,0,1	30 Ω	RTT _{30Pd60}	V _{OLdc} =0.2×VDDQ	0.6	1.0	1.15	RZQ/4	1,2,3,4		
			0.5×VDDQ	0.9	1.0	1.15	RZQ/4	1,2,3,4		
			V _{OHdc} =0.8×VDDQ	0.9	1.0	1.45	RZQ/4	1,2,3,4		
		RTT _{30Pu60}	V _{OLdc} =0.2×VDDQ	0.9	1.0	1.45	RZQ/4	1,2,3,4		
			0.5×VDDQ	0.9	1.0	1.15	RZQ/4	1,2,3,4		
			V _{OHdc} =0.8×VDDQ	0.6	1.0	1.15	RZQ/4	1,2,3,4		
		RTT ₄₀	V _{IL} (ac) to V _{IH} (ac)	0.9	1.0	1.65	RZQ/8	1,2,5		
		1,0,1	20 Ω	RTT _{20Pd40}	V _{OLdc} =0.2×VDDQ	0.6	1.0	1.15	RZQ/6	1,2,3,4
					0.5×VDDQ	0.9	1.0	1.15	RZQ/6	1,2,3,4
V _{OHdc} =0.8×VDDQ	0.9				1.0	1.45	RZQ/6	1,2,3,4		
RTT _{20Pu40}	V _{OLdc} =0.2×VDDQ			0.9	1.0	1.45	RZQ/6	1,2,3,4		
	0.5×VDDQ			0.9	1.0	1.15	RZQ/6	1,2,3,4		
	V _{OHdc} =0.8×VDDQ			0.6	1.0	1.15	RZQ/6	1,2,3,4		
RTT ₂₀	V _{IL} (ac) to V _{IH} (ac)			0.9	1.0	1.65	RZQ/1 2	1,2,5		
相关 VDDQ/2 和 DVM 的 VM 偏差管理				-5		+5	%	1,2,5,6		

注 1: 公差限值是在用稳定的电压和温度校准后指定的。关于校准后温度或电压变化时公差限值的行为，请参阅以下关于电压和温度灵敏度的部分。

注 2: 公差限值是在 $VDDQ=VDD$ 和 $VSSQ=VSS$ 的条件下指定的。

注 3: 建议在 $0.5 \times VDDQ$ 下校准下拉和上拉 ODT 电阻器。其他校准可用于实现上述线性规范。

注 4: 不是规范要求，而是设计指南。

注 5: RTT 的测量定义：

将 $V_{IH(ac)}$ 施加到被测引脚并测量电流/ ($V_{IH(ac)}$)，然后分别将 $V_{IL(ac)}$ 施加到被测引脚和测量电流。

$$RTT = \frac{V_{IH(ac)} - V_{IL(ac)}}{I_{(VIH(ac))} - I_{(VIL(ac))}}$$

注 6: VM 和 DVM 的测量定义：

无引线测量没影式引脚（中点）处的电压（VM）：

$$\Delta VM = (\frac{2 \times VM}{VDDQ} - 1) \times 100$$

如果校准后的温度 和/或 电压,公差限值将根据下表扩大。 $\Delta T=T-T$ (校准时); $\Delta V=VDDQ-VDDQ$ (校准时); $VDD=VDDQ$;

表 6-19 ODT 灵敏度定义

项目	最小	最大	单位
RTT	$0.9-dRTTdT*\Delta T -dRTTdV*\Delta VI$	$1.6+dRTTdT*\Delta T + dRTTdV*\Delta VI$	RZQ/2,4,66,8,12

表 6-20 ODT 电压和温度灵敏度

项目	最小	最大	单位
dRTTdT	0	1.5	%/°C
dRTTdV	0	0.15	%/mV

注：这些参数不用于产品测试，只用于设计和特性验证。
与时序测试不同，ODT 时序的参考负载在图 6-16 中定义。

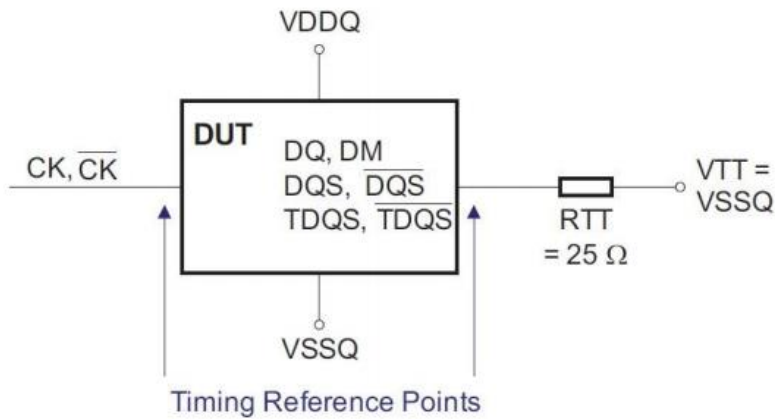


图 6-16 ODT 时序参考载荷

ODT 时序定义：
 t_{AON} , t_{AONPD} , t_{AOF} , t_{AOFPD} , 和 t_{ADC} 的定义见下面表和后续图。

表 6-21 t_{AON} , t_{AONPD} , t_{AOF} , t_{AOFPD} , 和 t_{ADC} 的定义

符号	定义点开始	定义点终止
t_{AON}	CK 上升沿-由 ODTLon 端点定义的 CK	VSSQ 外推点
t_{AONPD}	CK 上升沿-由 ODT 第一次为高时的 CK	VSSQ 外推点
t_{AOF}	CK 上升沿-由 ODTLoff 端点定义的 CK	终点：VRTT_Nom 处的外推点

tAOFPD	CK 上升沿—由 ODT 第一次为低时的 CK	终点：VRTT_Nom 处的外推点
tADC	CK 上 升 沿 - 由 ODTLcnw,ODTLcwn4,ODTLcwn8 定义的 CK	终点：分别在 VRTT_Wr 和 VRTT_Nom 处的外推点

表 6-22 ODT 时序测试的参考设置

测量参数	RTT_Nom	RTT_Wr	VSW1[V]	VSW2[V]
tAON	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAONPD	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAOF	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAOFPD	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tADC	RZQ/12	NA	0.20	0.25

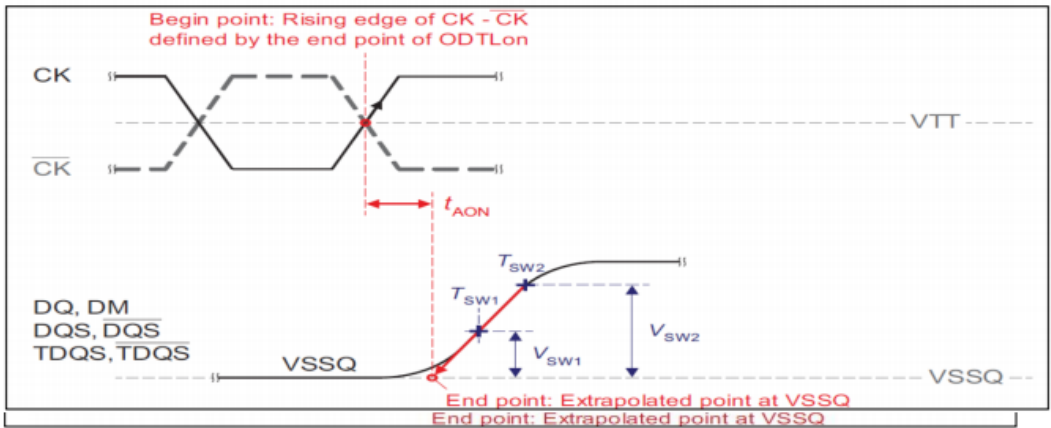


图 6-17 tAON 的定义

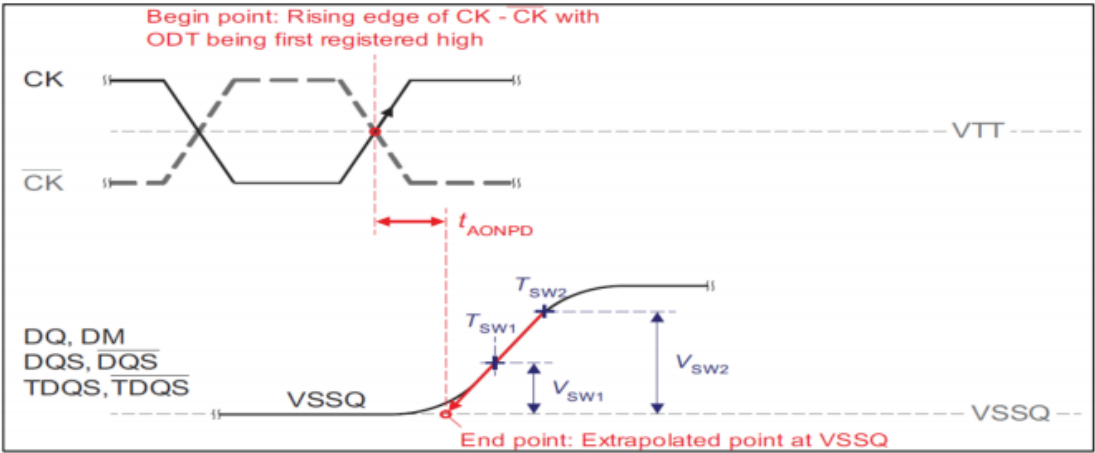


图 6-18 t_{AONPD} 的定义

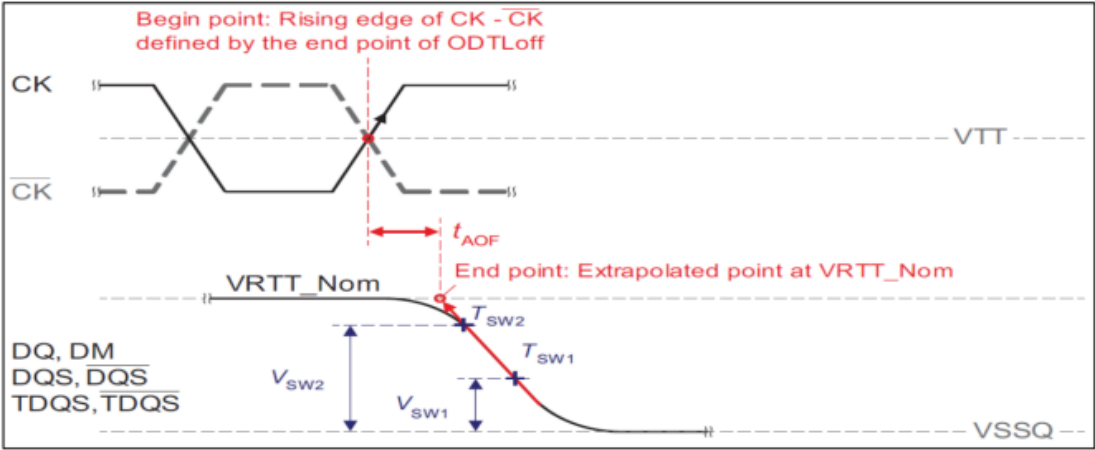


图 6-19 t_{AOF} 的定义

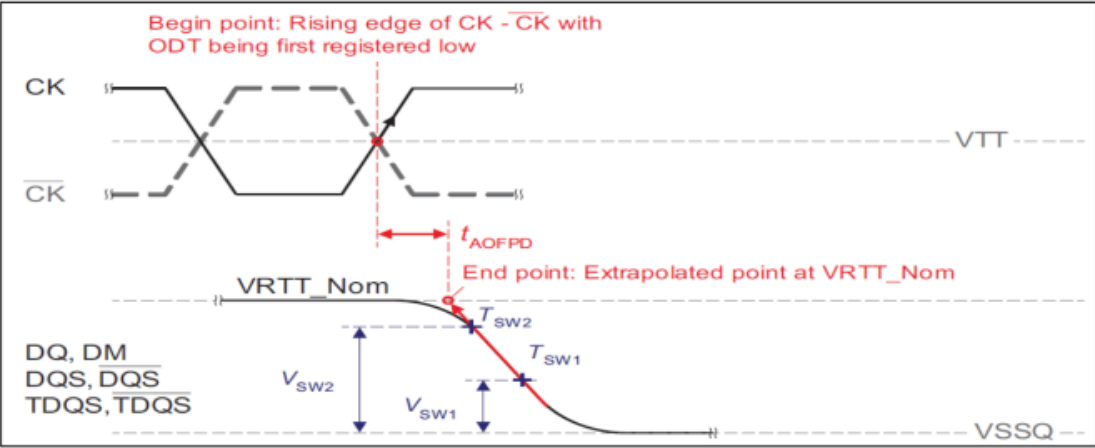


图 6-20 t_{AOFPD} 的定义

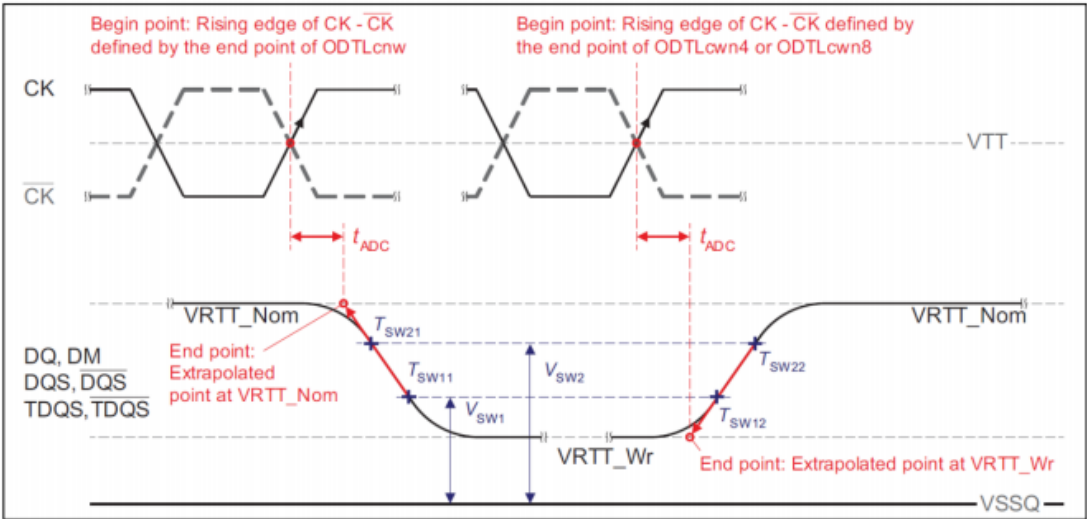


图 6-21 t_{ADC} 的定义

表 6-23 输入/输出电容

符号	参数	最小	最大	单位	备注
C_{IO}	输入 / 输出电容 (DQ,DM,DQS,DQS#,TDQS,TDQS#)	1.2	2.1	pF	1,2,3
C_{CK}	输入电容,CK 和 CK#	0.6	1.3	pF	2,3
C_{DCK}	输入电容 Δ , CK 和 CK#	0	0.15	pF	2,3,4
C_{DDQS}	输入/输出电容 Δ , DQS 和 DQS#	0	0.15	pF	2,3,5
C_i	输入电容, CTRL,ADD,CMD 仅输出引脚	0.55	1.2	pF	2,3,6
C_{DI_CTRL}	输入电容 Δ , 所有 CTRL 仅输入引脚	-0.4	0.2	pF	2,3,7,8
$C_{DI_ADD_CMD}$	输入电容 Δ , 所在 ADD/CMD 仅输入引脚	-0.4	0.4	pF	2,3,9,10
C_{DIO}	输入 / 输出电容 Δ , DQ, DM, DQS, DQS#, TDQS, TDQS#	-0.5	0.3	pF	2,3,11
C_{ZQ}	ZQ 引脚的输入/输出电容	-	3	pF	2,3,12

注 1: 虽然 DM、TDQS 和 TDQS# 引脚具有不同的功能, 但负载与 DQ 和 DQS 相匹配。

注 2: 此参数不进行生产测试。通过设计和特性进行验证。根据 JEP147 (使用矢量网络分析仪 (VNA) 测量输入电容的程序) 测量电容。

注 3: 此参数仅适用于单片设备; 这里不包括堆叠/双芯片器件 VDD、VDDQ、VSS、VSSQ 已应用, 所有其他引脚浮动 (被测引脚、CKE、RESET# 和 ODT 除外)。VDD=VDDQ=1.5V, VBIAS=VDD/2, 并关闭端接。

注 4: CCK-CCK# 的绝对值。

注 5: CIO(DQS)-CIO(DQS#)的绝对值。

注 6: CIO 适用于 OQD,CS#,CKE,A0-A15,BA0-BA2,RAS#,CAS#,WE#。

注 7:CDI_CTRL 适用于 ODT,CS#和 CKE。

注 8: $CDI_CTRL = CI(CTRL) - 0.5 * (CI(CLK) + CI(CLK\#))$

注 9: CDI_ADD_CMD 适用于 A0-A15,BA0-BA2,RAS#,CAS#和 WE。

注 10: $CDI_ADD_CMD = CI(ADD_CMD) - 0.5 * (CI(CLK) + CI(CLK\#))$

注 11: $CDIO = CIO(DQ,DM) - 0.5 * (CIO(DQS) + CIO(DQS\#))$

注 12: ZQ 引脚上的最大外部负载电容: 5pF。

表 6-24 IDD 特性值

符号	参数	值	单位
IDD0	工作电流 0 1 个 bank 激活->预充电	130	mA
IDD1	工作电流 1 1 个 bank 激活->读->预充电	135	mA
IDD2P0	预充电低功耗电流缓慢退出-MR0 位 A12=0	22	mA
IDD2P1	预充电低功耗电流快速退出-MR0 位 A12=1	47	mA
IDD2Q	预充电安静待机电流	65	mA
IDD2N	预充电待机电流	68	mA
IDD2NT	预充电待机 ODT 电流	92	mA
IDD3N	有源待机电流	100	mA
IDD3P	主动低功耗电流 始终快速退出	80	mA
IDD4R	工作电流突发读	220	mA
IDD4W	工作电流突发写	250	mA
IDD5B	突发刷新电流	195	mA
IDD6	正常自刷新电流	25	mA

符号	参数	值	单位
IDD6ET	自刷新电流 扩展	28	mA
IDD7	所有 bank 交替读电流	270	mA
IDD8	重置低电流	23	mA

注 1: TC=85℃;SRT 和 ASR 已禁用。

注 2: 启用 ASR 可能会使 IDDX 额外增加 2mA.

注 3: 限制在 TC (MAX) =125℃

注 4: TC=85℃, ASR 和 ODT 被禁用; SRT 已启用。

注 5: 当 TC>+95℃时, 所有 IDDX 值必须比 85℃规格降低 (增加) 30%。

注 6: 当 TC>+125℃时, 所有 IDDX 值必须比 85℃规格降低 (增加) 50%。

注 7: 当 TC>125℃时, 需要 8X 刷新时, 自刷新模式不可用。

表 6-25 IDD 测量条件

符号	参数
IDD0	运行 1 个 bank 主动预充电电流 CKE:高; 外部时钟: 开启; tCK,nRC,nRAS,CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1); AL: 0; CS#: ACT 和 PRE 之间的高电平; 命令, 地址, bank 地址输入: 部分翻转; 数据 IO: MID-LEVEL; DM: 稳定在 0; Bank 活动: 一次有一个 bank 活跃: 0, 0, 1, 1, 2, 2, ... 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: 稳定在 0;
IDD1	操作 1 个 bank 主动读取预充电电流 CKE: 高; 外部时钟: 开启;

	tCK,nRC,nRAS,nRCD,CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1,7); AL: 0; CS#: ACT,RD 和 PRE 之间的高电平; 命令, 地址, bank 地址输入, 数据 IO: 部分翻转; Bank 活动: 一次有一个 bank 活跃: 0, 0, 1, 1, 2, 2, ... 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: 稳定在 0;
IDD2N	预充电待机电流 CKE: 高; 外部时钟: 开启; tCK,CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1); AL: 0; CS#: 稳定在 1; 命令, 地址, bank 地址输入: 部分翻转; 数据 IO: MID-LEVEL; DM: 稳定在 0; Bank 活动: 所有 bank 都关闭 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: 稳定在 0;
IDD2P0	预充电低功耗电流缓慢退出 CKE: 低; 外部时钟: 开启; tCK,CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1); AL: 0; CS#: 稳定在 1; 命令, 地址, bank 地址输入: 稳定在 0; 数据 IO: MID-LEVEL;

	DM: 稳定在 0; Bank 活动: 所有 bank 都关闭 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: 稳定在 0; 预充电低功耗模式: 缓慢退出 (3)
IDD2P1	预充电低功耗电流快速退出 CKE: 低; 外部时钟: 开启; tCK,CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1); AL: 0; CS#: 稳定在 1; 命令, 地址, bank 地址输入: 稳定在 0; 数据 IO: MID-LEVEL; DM: 稳定在 0; Bank 活动: 所有 bank 都关闭 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: 稳定在 0; 预充电低功耗模式: 快速退出 (3)
IDD2Q	预充电安静待机电流 CKE: 高; 外部时钟: 开启; tCK,CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1); AL: 0; CS#: 稳定在 1; 命令, 地址, bank 地址输入: 稳定在 0; 数据 IO: MID-LEVEL; DM: 稳定在 0; Bank 活动: 所有 bank 都关闭

	输出缓冲区和 RTT：在模式寄存器（2）中启用； ODT 信号：稳定在 0；
IDD3N	主动待机电流 CKE：高； 外部时钟：开启； tCK,CL：见 IDD 和 IDDQ 使用的时间表； BL：8（1）； AL：0； CS#：稳定在 1； 命令，地址，bank 地址输入：部分翻转； 数据 IO：MID-LEVEL； DM：稳定在 0； Bank 活动：所有 bank 都打开 输出缓冲区和 RTT：在模式寄存器（2）中启用； ODT 信号：稳定在 0；
IDD3P	主动低功耗流 CKE：低； 外部时钟：开启； tCK,CL：见 IDD 和 IDDQ 使用的时间表； BL：8（1）； AL：1； CS#：稳定在 1； 命令，地址，bank 地址输入：稳定在 0； 数据 IO：MID-LEVEL； DM：稳定在 0； Bank 活动：所有 bank 都打开 输出缓冲区和 RTT：在模式寄存器（2）中启用； ODT 信号：稳定在 0；

IDD4R	操作突发读电流 CKE: 高; 外部时钟: 开启; tCK,CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1, 7); AL: 0; CS#: RD 之间为高电平; 命令, 地址, bank 地址输入: 部分翻转; 数据 IO: 无缝读取数据突发, 一个突发和下一个突发之间有不同的数据; DM: 稳定在 0; Bank 活动: 所有 bank 都打开, RD 命令在 bank 0, 0, 1, 1, 2, 2, ... 之间循环; 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: 稳定在 0;
IDD4W	操作突发写电流 CKE: 高; 外部时钟: 开启; tCK,CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1); AL: 0; CS#: WR 之间为高电平; 命令, 地址, bank 地址输入: 部分翻转; 数据 IO: 无缝写取数据突发, 一个突发和下一个突发之间有不同的数据; DM: 稳定在 0; Bank 活动: 所有 bank 都打开, WR 命令在 bank 0, 0, 1, 1, 2, 2, ... 之间循环; 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: 稳定在高;
IDD5B	突发刷新电流

	CKE: 高; 外部时钟: 开启; tCK,CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1); AL: 0; CS#: REF 之间为高电平; 命令, 地址, bank 地址输入: 部分翻转; 数据 IO: MID-LEVEL; DM: 稳定在 0; Bank 活动: REF 命令每个 nRFC; 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: 稳定在 0;
IDD6	自刷新电流: 正常温度范围 TCASE: 0-85°C 自动自刷新 (ASR): 禁用 (4) 自刷新温度范围 (SRT): 正常 (5); CKE: 低; 外部时钟: 关闭; CK, CK#: 低; CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1); AL: 0; CS#, 命令, 地址, bank 地址, 数据 IO: MID-LEVEL; DM: 稳定在 0; Bank 活动: 自刷新操作; 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: MID-LEVEL;
IDD6ET	自刷新电流: 扩展温度范围 (可选) (6) TCASE: 0-85°C 自动自刷新 (ASR): 禁用 (4)

	自刷新温度范围 (SRT): 扩展 (5); CKE: 低; 外部时钟: 关闭; CK, CK#: 低; CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1); AL: 0; CS#, 命令, 地址, bank 地址, 数据 IO: MID-LEVEL; DM: 稳定在 0; Bank 活动: 扩展温度自刷新操作; 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: MID-LEVEL;
IDD6TC	自动自刷新电流 (可选) (6) TCASE: 0-85°C 自动自刷新 (ASR): 有效 (4) 自刷新温度范围 (SRT): 正常 (5); CKE: 低; 外部时钟: 关闭; CK, CK#: 低; CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1); AL: 0; CS#, 命令, 地址, bank 地址, 数据 IO: MID-LEVEL; DM: 稳定在 0; Bank 活动: 自动自刷新操作; 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: MID-LEVEL;
IDD7	操作 bank 交替读电流 CKE: 高; 外部时钟: 开启;

	tCK,nRC,nRAS,nRCD,nRRD,nFAW,CL: 见 IDD 和 IDDQ 使用的时间表; BL: 8 (1,7); AL: CLK-1; CS#: ACT 和 RDA 之间为高电平; 命令, 地址, bank 地址输入: 部分翻转; 数据 IO: 一个突发与下一个突发之间的不同数据, 读数据突发; DM: 稳定在 0; Bank 活动: 用不同地址通过 bank(0,1,...7)两倍交替循环; 输出缓冲区和 RTT: 在模式寄存器 (2) 中启用; ODT 信号: 稳定在 0;
IDD8	重置低电流 RESET:低; 外部时钟: 开启; CK 和 CK#: 低; CKE;浮动 CS#, 命令, 地址, bank 地址, 数据输入: 浮动; ODT 信号: 浮动 一旦电压稳定且 RESET 一直是低保持 1ms, RESET 低电流读是有效的。

注 1: 突发长度: MRS 固定的 BL8: 设置 MR0 A[1,0]=00B

注 2: 输出缓冲器启用: 设置 MR1 A[12]=0B; 设置 MR1 A[5,1]=01B;RTT_Nom 启用; 设置 MR1 A[9, 6, 2]=011B; RTT_Wr 启用; 设置 MR2 A[10,9]=10B;

注 3: 预充电低功耗模式: 设置 MR0 A12=0B 用于缓慢退出或 MR0 A12=1B 用于快速退出;

注 4: 自动自刷新 (ASR): 将 MR2 A6=0B 设置为禁用或 1B 设置为启用功能;

注 5: 自刷新温度范围 (SRT): 设置 MR2 A7=0B 使之为正常温度范围, 或将 1B 设置为扩展温度范围;

注 6: 请参阅 DRAM 供应商数据表和/或 DIMM SPD, 以确定 DDR3 SDRAM 设置是否支持可选功能或要求;

注 7: 读取突发类型: Nibble Sequential, 设置 MR0 A[3]=0B;

表 6-26 IDD0 测试回环模式

CK, CK#	CKE	Sub-Loop	Cycle Number	Command	CS#	RAS#	CAS#	WE#	ODT	BA[2:0]	A[15:11]	A[10]	A[9:7]	A[6:3]	A[2:0]	Data
toggling	Static High	0	0	ACT	0	0	1	1	0	0	00	0	0	0	0	-
			1,2	D, D	1	0	0	0	0	0	00	0	0	0	0	-
			3,4	D#, D#	1	1	1	1	0	0	00	0	0	0	0	-
			...	repeat pattern 1...4 until nRAS-1, truncate if necessary												
			nRAS	PRE	0	0	1	0	0	0	00	0	0	0	0	-
			...	repeat pattern 1...4 until nRC-1, truncate if necessary												
			1*nRC+0	ACT	0	0	1	1	0	0	00	0	0	F	0	-
			1*nRC+1,2	D, D	1	0	0	0	0	0	00	0	0	F	0	-
			1*nRC+3,4	D#, D#	1	1	1	1	0	0	00	0	0	F	0	-
			...	repeat pattern nRC+1,...,4 until 1*nRC+nRAS-1, truncate if necessary												
			1*nRC+nRAS	PRE	0	0	1	0	0	0	00	0	0	F	0	-
			...	repeat nRC+1,...,4 until 2*nRC-1, truncate if necessary												
		1	2*nRC	repeat Sub-Loop 0, use BA[2:0]=1 instead												
		2	4*nRC	repeat Sub-Loop 0, use BA[2:0]=2 instead												
		3	6*nRC	repeat Sub-Loop 0, use BA[2:0]=3 instead												
		4	8*nRC	repeat Sub-Loop 0, use BA[2:0]=4 instead												
		5	10*nRC	repeat Sub-Loop 0, use BA[2:0]=5 instead												
		6	12*nRC	repeat Sub-Loop 0, use BA[2:0]=6 instead												
		7	14*nRC	repeat Sub-Loop 0, use BA[2:0]=7 instead												

注 1: DM 必须始终处于低电平, DQS,DQS#处于 MID-LEVEL;

注 2: DQ 信号为 MID-LEVEL;

表 6-27 IDD1 测试-回环模式

CK, CK#	CKE	Sub-Loop	Cycle Number	Command	CS#	RAS#	CAS#	WE#	ODT	BA[2:0]	A[15:11]	A[10]	A[9:7]	A[6:3]	A[2:0]	Data
toggling	Static High	0	0	ACT	0	0	1	1	0	0	00	0	0	0	0	-
			1,2	D, D	1	0	0	0	0	0	00	0	0	0	0	-
			3,4	D#, D#	1	1	1	1	0	0	00	0	0	0	0	-
			...	repeat pattern 1...4 until nRCD-1, truncate if necessary												
			nRCD	RD	0	1	0	1	0	0	00	0	0	0	0	-
			...	repeat pattern 1...4 until nRAS-1, truncate if necessary												
			nRAS	PRE	0	0	1	0	0	0	00	0	0	0	0	-
			...	repeat pattern 1...4 until nRC-1, truncate if necessary												
			1*nRC+0	ACT	0	0	1	1	0	0	00	0	0	F	0	-
			1*nRC+1,2	D, D	1	0	0	0	0	0	00	0	0	F	0	-
			1*nRC+3,4	D#, D#	1	1	1	1	0	0	00	0	0	F	0	-
			...	repeat pattern nRC+1,...,4 until nRC+nRCD-1, truncate if necessary												
			1*nRC+nRCD	RD	0	1	0	1	0	0	00	0	0	F	0	-
			...	repeat pattern nRC+1,...,4 until nRC+nRAS-1, truncate if necessary												
			1*nRC+nRAS	PRE	0	0	1	0	0	0	00	0	0	F	0	-
			...	repeat nRC+1,...,4 until 2*nRC-1, truncate if necessary												
		1	2*nRC	repeat Sub-Loop 0, use BA[2:0]=1 instead												
		2	4*nRC	repeat Sub-Loop 0, use BA[2:0]=2 instead												
		3	6*nRC	repeat Sub-Loop 0, use BA[2:0]=3 instead												
		4	8*nRC	repeat Sub-Loop 0, use BA[2:0]=4 instead												
		5	10*nRC	repeat Sub-Loop 0, use BA[2:0]=5 instead												
		6	12*nRC	repeat Sub-Loop 0, use BA[2:0]=6 instead												
		7	14*nRC	repeat Sub-Loop 0, use BA[2:0]=7 instead												

注 1: DM 必须始终处于低电平, DQS,DQS#处于 MID-LEVEL;

注 2: 通过读命令读取在每一个 DQ 信号上驱动突发序列。在突发操作之外, DQ 信号为 MID-LEVEL;

表 6-28 IDD2N 和 IDD3N 测试回环模式

CK, CK#	CKE	Sub-Loop	Cycle Number	Command	CS#	RAS#	CAS#	WE#	ODT	BA[2:0]	A[15:11]	A[10]	A[9:7]	A[6:3]	A[2:0]	Data
toggling	Static High	0	0	D	1	0	0	0	0	0	00	0	0	0	0	-
			1	D	1	0	0	0	0	0	00	0	0	0	0	-
			2	D#	1	1	1	1	0	0	00	0	0	F	0	-
			3	D#	1	1	1	1	0	0	00	0	0	F	0	-
		1	4-7	repeat Sub-Loop 0, use BA[2:0]=1 instead												
		2	8-11	repeat Sub-Loop 0, use BA[2:0]=2 instead												
		3	12-15	repeat Sub-Loop 0, use BA[2:0]=3 instead												
		4	16-19	repeat Sub-Loop 0, use BA[2:0]=4 instead												
		5	20-23	repeat Sub-Loop 0, use BA[2:0]=5 instead												
		6	24-27	repeat Sub-Loop 0, use BA[2:0]=6 instead												
		7	28-31	repeat Sub-Loop 0, use BA[2:0]=7 instead												

注 1: DM 必须始终处于低电平, DQS,DQS#处于 MID-LEVEL;

注 2: DQ 信号为 MID-LEVEL;

表 6-29 IDD4R 和 IDDQ4R 测试回环模式

CK, CK#	CKE	Sub-Loop	Cycle Number	Command	CS#	RAS#	CAS#	WE#	ODT	BA[2:0]	A[15:11]	A[10]	A[9:7]	A[6:3]	A[2:0]	Data
toggling	Static High	0	0	RD	0	1	0	1	0	0	00	0	0	0	0	00000000
			1	D	1	0	0	0	0	0	00	0	0	0	0	-
			2,3	D#, D#	1	1	1	1	0	0	00	0	0	0	0	-
			4	RD	0	1	0	1	0	0	00	0	0	F	0	00110011
			5	D	1	0	0	0	0	0	00	0	0	F	0	-
			6,7	D#, D#	1	1	1	1	0	0	00	0	0	F	0	-
		1	8-15	repeat Sub-Loop 0, but BA[2:0]=1												
		2	16-23	repeat Sub-Loop 0, but BA[2:0]=2												
		3	24-31	repeat Sub-Loop 0, but BA[2:0]=3												
		4	32-39	repeat Sub-Loop 0, but BA[2:0]=4												
		5	40-47	repeat Sub-Loop 0, but BA[2:0]=5												
		6	48-55	repeat Sub-Loop 0, but BA[2:0]=6												
		7	56-63	repeat Sub-Loop 0, but BA[2:0]=7												

注 1: DM 必须始终处于低电平, DQS,DQS#根据 RD 命令使用, 否则处于 MID-LEVEL;

注 2: 通过读命令读取在每一个 DQ 信号上驱动突发序列。在突发操作之外, DQ 信号为 MID-LEVEL;

表 6-30 IDD4W 测试回环模式

CK, CK#	CKE	Sub-Loop	Cycle Number	Command	CS#	RAS#	CAS#	WE#	ODT	BA[2:0]	A[15:11]	A[10]	A[9:7]	A[6:3]	A[2:0]	Data
toggling	Static High	0	0	WR	0	1	0	0	1	0	00	0	0	0	0	00000000
			1	D	1	0	0	0	1	0	00	0	0	0	0	-
			2,3	D#, D#	1	1	1	1	1	0	00	0	0	0	0	-
			4	WR	0	1	0	0	1	0	00	0	0	F	0	00110011
			5	D	1	0	0	0	1	0	00	0	0	F	0	-
			6,7	D#, D#	1	1	1	1	1	0	00	0	0	F	0	-
		1	8-15	repeat Sub-Loop 0, but BA[2:0]=1												
		2	16-23	repeat Sub-Loop 0, but BA[2:0]=2												
		3	24-31	repeat Sub-Loop 0, but BA[2:0]=3												
		4	32-39	repeat Sub-Loop 0, but BA[2:0]=4												
		5	40-47	repeat Sub-Loop 0, but BA[2:0]=5												
		6	48-55	repeat Sub-Loop 0, but BA[2:0]=6												
		7	56-63	repeat Sub-Loop 0, but BA[2:0]=7												

注 1: DM 必须始终处于低电平, DQS,DQS#根据 WR 命令使用, 否则处于 MID-LEVEL;
注 2: 通过读命令读取在每一个 DQ 信号上驱动突发序列。在突发操作之外, DQ 信号为 MID-LEVEL;

表 6-31 IDD5B 测试回环模式

CK, CK#	CKE	Sub-Loop	Cycle Number	Command	CS#	RAS#	CAS#	WE#	ODT	BA[2:0]	A[15:11]	A[10]	A[9:7]	A[6:3]	A[2:0]	Data
toggling	Static High	0	0	REF	0	0	0	1	0	0	00	0	0	0	0	-
		1	1,2	D, D	1	0	0	0	0	0	00	0	0	0	0	-
			3,4	D#, D#	1	1	1	1	0	0	00	0	0	F	0	-
			5...8	repeat cycles 1...4, but BA[2:0]=1												
			9...12	repeat cycles 1...4, but BA[2:0]=2												
			13...16	repeat cycles 1...4, but BA[2:0]=3												
			17...20	repeat cycles 1...4, but BA[2:0]=4												
			21...24	repeat cycles 1...4, but BA[2:0]=5												
			25...28	repeat cycles 1...4, but BA[2:0]=6												
			29...32	repeat cycles 1...4, but BA[2:0]=7												
		2	33 ... nRFC-1	repeat Sub-Loop 1, until nRFC-1. Truncate if necessary												

注 1: DM 必须始终处于低电平, DQS,DQS#处于 MID-LEVEL;
注 2: DQ 信号为 MID-LEVEL;

表 6-32 IDD7 测试回环模式

CK, CK#	CKE	Sub-Loop	Cycle Number	Command	CS#	RAS#	CAS#	WE#	ODT	BA[2:0]	A[15:11]	A[10]	A[9:7]	A[6:3]	A[2:0]	Data
toggling	Static High	0	0	ACT	0	0	1	1	0	0	00	0	0	0	0	-
			1	RDA	0	1	0	1	0	0	00	1	0	0	0	00000000
			2	D	1	0	0	0	0	0	00	0	0	0	0	-
		1	...	repeat above D command until nRRD-1												
			nRRD	ACT	0	0	1	1	0	1	00	0	0	F	0	-
			nRRD+1	RDA	0	1	0	1	0	1	00	1	0	F	0	00110011
			nRRD+2	D	1	0	0	0	0	1	00	0	0	F	0	-
			...	repeat above D Command until 2*nRRD -1												
			2	2*nRRD	repeat Sub-Loop 0, but BA[2:0] = 2											
		2	3	3*nRRD	repeat Sub-Loop 1, but BA[2:0] = 3											
			4	4*nRRD	D	1	0	0	0	0	3	00	0	0	F	0
			...	Assert and repeat above D Command until nFAW - 1, if necessary												
			5	nFAW	repeat Sub-Loop 0, but BA[2:0] = 4											
			6	nFAW+nRRD	repeat Sub-Loop 0, but BA[2:0] = 5											
		3	7	nFAW+2*nRRD	repeat Sub-Loop 0, but BA[2:0] = 6											
			8	nFAW+3*nRRD	repeat Sub-Loop 1, but BA[2:0] = 7											
			9	nFAW+4*nRRD	D	1	0	0	0	0	7	00	0	0	F	0
			...	Assert and repeat above D Command until 2 * nFAW - 1, if necessary												
			10	2*nFAW+0	ACT	0	0	1	1	0	0	00	0	0	F	0
			...	2*nFAW+1	RDA	0	1	0	1	0	0	00	1	0	F	0
			...	2*nFAW+2	D	1	0	0	0	0	0	00	0	0	F	0
		4	...	Repeat above D Command until 2 * nFAW + nRRD - 1												
			11	2*nFAW+nRRD	ACT	0	0	1	1	0	1	00	0	0	0	0
			...	2*nFAW+nRRD+1	RDA	0	1	0	1	0	1	00	1	0	0	00000000
			...	2*nFAW+nRRD+2	D	1	0	0	0	0	1	00	0	0	0	0
			...	repeat above D Command until 2 * nFAW + 2 * nRRD -1												
			12	2*nFAW+2*nRRD	repeat Sub-Loop 10, but BA[2:0] = 2											
		5	13	2*nFAW+3*nRRD	repeat Sub-Loop 11, but BA[2:0] = 3											
			14	2*nFAW+4*nRRD	D	1	0	0	0	0	3	00	0	0	0	0
			...	Assert and repeat above D Command until 3 * nFAW - 1, if necessary												
			15	3*nFAW	repeat Sub-Loop 10, but BA[2:0] = 4											
			16	3*nFAW+nRRD	repeat Sub-Loop 11, but BA[2:0] = 5											
			17	3*nFAW+2*nRRD	repeat Sub-Loop 10, but BA[2:0] = 6											
		6	18	3*nFAW+3*nRRD	repeat Sub-Loop 11, but BA[2:0] = 7											
			19	3*nFAW+4*nRRD	D	1	0	0	0	0	7	00	0	0	0	0
			...	Assert and repeat above D Command until 4 * nFAW - 1, if necessary												

注 1: DM 必须始终处于低电平, DQS,DQS#根据 RD 命令使用, 否则处于 MID-LEVEL;

注 2: 通过读命令读取在每一个 DQ 信号上驱动突发序列。在突发操作之外, DQ 信号为 MID-LEVEL;

表 6-33 速度码 1866

Speed Bin			DDR3(L)-1866		Units
CL-nRCD-nRP			13-13-13		
Parameter			Min.	Max.	
tAA			13.91	20	ns
tRCD			13.91	-	ns
tRP			13.91	-	ns
tRAS			34	9xtREFI	ns
tRC			47.91	-	ns
tCK (Avg)	CL=5	CWL=5	Reserved		ns
		CWL=6/7/8/9	Reserved		ns
	CL=6	CWL=5	2.5	3.3	ns
		CWL=6	Reserved		ns
		CWL=7/8/9	Reserved		ns
	CL=7	CWL=5	Reserved		ns
		CWL=6	1.875	< 2.5	ns
		CWL=7/8/9	Reserved		ns
	CL=8	CWL=5	Reserved		ns
		CWL=6	1.875	< 2.5	ns
		CWL=7	Reserved		ns
		CWL=8/9	Reserved		ns
	CL=9	CWL=5/6	Reserved		ns
		CWL=7	1.5	<1.875	ns
		CWL=8	Reserved		ns
		CWL=9	Reserved		ns
	CL=10	CWL=5/6	Reserved		ns
		CWL=7	1.5	<1.875	ns
		CWL=8/9	Reserved		ns
	CL=11	CWL=5/6/7	Reserved		ns
		CWL=8	1.25	<1.5	ns
		CWL=9	Reserved		ns
	CL=12	CWL=5/6/7/8	Reserved		ns
		CWL=9	Reserved		ns
	CL=13	CWL=5/6/7/8	Reserved		ns
		CWL=9	1.07	<1.25	ns
Supported CL			6,7,8,9,10,11,13		nCK
Supported CWL			5,6,7,8,9		nCK

表 6-344 速度码 1600

Speed Bin			DDR3(L)-1600		Units
CL-nRCD-nRP			11-11-11		
Parameter			Min.	Max.	
tAA			13.75	20	ns
tRCD			13.75	-	ns
tRP			13.75	-	ns
tRAS			35	9xtREFI	ns
tRC			48.75	-	ns
tCK (Avg)	CL=5	CWL=5	3.0	3.3	ns
		CWL=6/7/8	Reserved		ns
	CL=6	CWL=5	2.5	3.3	ns
		CWL=6	Reserved		ns
		CWL=7/8	Reserved		ns
	CL=7	CWL=5	Reserved		ns
		CWL=6	1.875	< 2.5	ns
		CWL=7	Reserved		ns
		CWL=8	Reserved		ns
	CL=8	CWL=5	Reserved		ns
		CWL=6	1.875	< 2.5	ns
		CWL=7	Reserved		ns
		CWL=8	Reserved		ns
	CL=9	CWL=5/6	Reserved		ns
		CWL=7	1.5	<1.875	ns
		CWL=8	Reserved		ns
	CL=10	CWL=5/6	Reserved		ns
		CWL=7	1.5	<1.875	ns
		CWL=8	Reserved		ns
	CL=11	CWL=5/6/7	Reserved		ns
		CWL=8	1.25	<1.5	ns
Supported CL			5,6,7,8,9,10,11		nCK
Supported CWL			5,6,7,8		nCK

表 6-355 速度码 1333

Speed Bin			DDR3(L)-1333		DDR3(L)-1333		Units
CL-nRCD-nRP			9-9-9		10-10-10		
Parameter			Min.	Max.	Min.	Max.	
tAA			13.5	20	15	20	ns
tRCD			13.5	-	15	-	ns
tRP			13.5	-	15	-	ns
tRAS			36	9xtREFI	36	9xtREFI	ns
tRC			49.5	-	51	-	ns
tCK (Avg)	CL=5	CWL=5	3.0	3.3	3.0	3.3	ns
		CWL=6	Reserved		Reserved		ns
		CWL=7	Reserved		Reserved		ns
	CL=6	CWL=5	2.5	3.3	2.5	3.3	ns
		CWL=6	Reserved		Reserved		ns
		CWL=7	Reserved		Reserved		ns
	CL=7	CWL=5	Reserved		Reserved		ns
		CWL=6	1.875	< 2.5	Reserved		ns
		CWL=7	Reserved		Reserved		ns
	CL=8	CWL=5	Reserved		Reserved		ns
		CWL=6	1.875	< 2.5	1.875	< 2.5	ns
		CWL=7	Reserved		Reserved		ns
	CL=9	CWL=5	Reserved		Reserved		ns
		CWL=6	Reserved		Reserved		ns
		CWL=7	1.5	< 1.875	Reserved		ns
	CL=10	CWL=5	Reserved		Reserved		ns
		CWL=6	Reserved		Reserved		ns
		CWL=7	1.5	< 1.875	1.5	< 1.875	ns
Supported CL			5,6,7,8,9,(10)		5,6,8,10		nCK
Supported CWL			5,6,7		5,6,7		nCK

表 6-366 速度码 1066

Speed Bin			DDR3(L)-1066		DDR3(L)-1066		Units
CL-nRCD-nRP			7-7-7		8-8-8		
Parameter			Min.	Max.	Min.	Max.	
tAA			13.125	20	15	20	ns
tRCD			13.125	-	15	-	ns
tRP			13.125	-	15	-	ns
tRAS			37.5	9xtREFI	37.5	9xtREFI	ns
tRC			50.625	-	52.5	-	ns
tCK (Avg)	CL=5	CWL=5	3.0	3.3	3.0	3.3	ns
		CWL=6	Reserved		Reserved		ns
	CL=6	CWL=5	2.5	3.3	2.5	3.3	ns
		CWL=6	Reserved		Reserved		ns
	CL=7	CWL=5	Reserved		Reserved		ns
		CWL=6	1.875	< 2.5	Reserved		ns
	CL=8	CWL=5	Reserved		Reserved		ns
		CWL=6	1.875	< 2.5	1.875	< 2.5	ns
Supported CL			5,6,7,8		5,6,8		nCK
Supported CWL			5,6		5,6		nCK

注 1: CL 设置和 CWL 设置是影响 tCK (AVG) .MIN 和 tCK(AVG).MAX 的条件。在选择 tCK(AVG)时, 需要

满足两个要求：CL 设置的要求和 CWL 设置的要求；

注 2: $t_{CK(AVG).MIN}$ 限制：由于 CAS 延迟不是纯粹的模拟数据和选通输出由 DLL 同步，可能无法保证所有可能的中频。在计算 $CL[nCK]=t_{AA}[ns]/t_{CK(AVG)}[ns]$ 时，应用程序使用下一个较小的 JEDEC 标准 $t_{CK(AVG)}$ 值（3.0、2.5、1.875、1.5、1.25、1.07 或 0.938ns），四舍五入到下一个“支持的 CL”，其中 $t_{CK(AVG)}=3.0ns$ 仅应用于 CL=5 的计算。

注 3: $t_{CK(AVG).MAX}$ 限制：计算 $t_{CK(AVG)}=t_{AA}.MAX/CL$ ，并将得到 $t_{CK(AVG)}$ 四舍五入到下一个有效速度区间（即 3.3ns 或 2.5ns 或 1.875ns 或 1.5ns 或 1.25ns 或 1.07ns 或 0.938ns）。这个结果是 $t_{CK(AVG)}.MAX$ 对应于已选择的 CL。

注 4: 不允许使用“保留”设置。用户必须编程一个不同的值。

注 5: 可选设置允许行业中的某些设备支持此设置，但这不是强制性功能。如果支持此设置以及如何支持此设置，请参阅供应商的数据表和/或 DIMM SPD 信息。

注 6: 任何 DDR3-1066 速度也支持在较低频率下的功能操作，这些频率不受生产测试的约束，但经过设计/特性验证。

注 7: 任何 DDR3-1333 速度也支持在较低频率下的功能操作，这些频率不受生产测试的约束，但经过设计/特性验证。

注 8: 任何 DDR3-1600 速度也支持在较低频率下的功能操作，这些频率不受生产测试的约束，但经过设计/特性验证。

注 9: 任何 DDR3-1866 速度也支持在较低频率下的功能操作，这些频率不受生产测试的约束，但经过设计/特性验证。

注 10: 对于支持可选降速到 CL=7 和 CL=9 的设备， $t_{AA}/t_{RCD}/t_{RPmin}$ 必须是 13.125ns。SPD 设置必须编程一类匹配。

注 12: 如果 DRAM 以低于 800MT/s 的数据速率运行，则适用 DDR3 800 AC 时序。

注 13: 有关 CL5 支持，请参阅 DIMM SPD 信息。DRAM 需要支持 CL5。CL5 在 SPD 编码中不是强制性的。

注 14: 对于支持可选降速的 CL=11,CL=9,CK=7 的设备， $t_{AA}/t_{RCD}/t_{RPmin}$ 必须为 13.125ns。SPD 设置必须编程匹配。如支持 DDR3-1866(13-13-13-13)设备应在 SPD 字节中为 t_{AAmin} （字节 16）、 t_{RCDmin} （字节 18）和 t_{RPmin} （字节 20）编程 13.125ns。一里 t_{RP} （字节 20）被编程为 13.125ns， t_{RCmin} （字节 21，23）也应相应地被编程。例如 47.125ns($t_{RASmin}+t_{RPmin}=34ns+13.125ns$)。

表 6-37 速度码相关的时序参数

参数	符号	1066		1333		单位
		最小	最大	最小	最大	
时钟时间						
最小时钟周期时间（DLL 关闭模式）	tCK(DLL_OFF)	8	-	8	-	ns
平均时钟周期	tCK(avg)	参考速度码				ps
平均高脉冲宽度	tCH(avg)	0.47	0.53	0.47	0.53	tCK(avg)
平均低脉冲宽度	tCL(avg)	0.47	0.53	0.47	0.53	tCK(avg)

参数	符号	1066		1333		单位
		最小	最大	最小	最大	
绝对时钟周期	tCK(abs)	最小： tCK(avg)min+tJIT(per)min 最大： tCK(avg)max+tJIT(per)max				
时钟高脉冲绝对值	tCH(abs)	0.43	-	0.43	-	tCK(avg)
时钟低脉冲绝对值	tCL(abs)	0.43	-	0.43	-	tCK(avg)
时钟周期抖动	tJIT(per)	-90	90	-80	80	ps
在 DLL 锁周期期间的时钟周期抖动	tJIT(per,lck)	-80	80	-70	70	ps
周期期间的抖动	tJIT(cc)	180		160		
在 DLL 锁周期期间的周期期间抖动	tJIT(cc,lck)	160		140		
占空比抖动	tJIT(duty)	-	-	-	-	ps
N=13,14,...49,50 周期时的累积误差	tERR (nper)	tERR(nper)min= (1+0.68ln(n))*tJIT(per)min tERR(nper)max= (1+0.68ln(n))*tJIT(per)max				ps
数据时序						
DQS,DQS#到 DQ 偏斜， 每组， 每次访问	tDQSQ	-	150	-	125	ps
与 DQS、 DQS#相匹配的 DQ 输出保持时间	tQH	0.38	-	0.38	-	tCK(avg)
与 CK、 CK#相匹配的 DQ 低阻抗时间	tLZ(ZQ)	-600	300	-500	250	ps
与 CK、 CK#相匹配的 DQ 高阻抗时间	tHZ(ZQ)	-	300	-	250	ps
参考 Vih(ac)/Vil(ac)电平的	tDS(base)	40	-	-	-	ps

参数	符号	1066		1333		单位
		最小	最大	最小	最大	
DQS、DQS#的数据建立时间	DDR3L-1066(AC160)					
	tDS(base) DDR3L-1066(AC135)	90	-	45	-	ps
参考 Vih(dc)/Vil(dc)电平的 DQS、DQS#的数据保持时间	tDH(base) DC90	110	-	75	-	ps
每个输入的 DQ 和 DM 输入脉 冲宽度	tDIPW	490	-	400	-	ps
数据对齐时序						
DQS、DQS#差分读取前导码	tRPRE	0.9	注 19	0.9	注 19	tCK(avg)
DQS、DQS#差分读取后同步码	tRPST	0.3	注 11	0.3	注 11	tCK(avg)
DQS、DQS#差分输出高电平时间	tQSH	0.38	-	0.4	-	tCK(avg)
DQS、DQS#差分输出低电平时间	tQSL	0.38	-	0.4	-	tCK(avg)
DQS、DQS#差分写前导码	tWPRE	0.9	-	0.9	-	tCK(avg)
DQS、DQS#差分写后同步码	tWPST	0.3	-	0.3	-	tCK(avg)
从 CK、CK#上升沿到 DQS、DQS# 上升沿输出访问时间	tDQSCK	-300	300	-255	255	ps
DQS、DQS#低阻抗时间（参考 RL+BL/2）	tLZ(DQS)	-600	300	-500	250	ps
DQS、DQS#高阻抗时间（参考 RL+BL/2）	tHZ(DQS)	-	300	-	250	ps
DQS、DQS#差分输入低脉冲宽	tDQSL	0.45	0.55	0.45	0.55	tCK(avg)

参数	符号	1066		1333		单位
		最小	最大	最小	最大	
度						
DQS、DQS#差分输入高脉冲宽度	tDQSH	0.45	0.55	0.45	0.55	tCK(avg)
DQS、DQS#差上升沿到 CK、CK#上升沿	tDQSS	-0.25	0.25	-0.25	0.25	tCK(avg)
DQS、DQS#下降沿建立时间到 CK、CK#上升沿	tDSS	0.2	-	0.2	-	tCK(avg)
从 CK、CK#上升沿到 QS#下降沿保持时间	tDSH	0.2	-	0.2	-	tCK(avg)
命令和地址时序						
DLL 锁时间	tDLLK	512	-	512	-	nCK
内部读命令到预充电命令延迟	tRTP	tRTPmin:max(4nCK,7.5ns) tRTPmax:-				
内部写传输到内部读命令的延迟	tWTR	tWTRmin:max(4nCK,7.5ns) tWTRmax:-				
写恢复时间	tWR	15	-	15	-	ns
模式寄存器设置命令周期时间	tMRD	4	-	4	-	nCK
模式寄存器设置命令更新	tMOD	tMODmin:max(12nCK,15ns) tMODmax:-				
激活到内部读或写延迟时间	tRCD	参考“速度码”				
预充电命令周期	tRP					
激活到激活或预充电命令周期	tRC					
激活到预充电命令周期	tRAS					
CAS#到 CAS#命令延迟	tCCD	4	-	4	-	nCK

参数	符号	1066		1333		单位
		最小	最大	最小	最大	
自动预充电写恢复+预充电时间	tDAL(min)	WR+roundup(tRP/tCK(avg))				nCK
多用途寄存器恢复时间	tMPRR	1	-	1	-	nCK
1KB 页大小激活到激活命令周期	tRRD	tRRDmin:max(4nCK,7.5ns)		tRRDmin:max(4nCK,6ns)		
2KB 页大小激活到激活命令周期	tRRD	tRRDmin:max(4nCK,10ns)		tRRDmin:max(4nCK,7.5ns)		
1KB 页大小四个激活窗口	tFAW	37.5	-	30	-	ns
2KB 页大小四个激活窗口	tFAW	50	-	45	-	ns
参考 Vih(ac)/Vil(ac)电平, 命令和地址建立时间到 CK、CK#	tIS(BASE)DDR3L(AC160)	140	-	80	-	ps
	tIS(BASE)DDR3L(AC135)	290	-	205	-	ps
	tIS(BASE)DDR3L(AC125)	-	-	-	-	ps
参考 Vih(dc)/Vil(dc)电平, 命令和地址保持时间到 CK、CK#	tIH(BASE)DDR3L DC90	210	-	150	-	ps
每个输入的控制和地址输入脉冲宽度	tIPW	780	-	620	-	ps
校正时序						
上电和复位校正时间	tZQINIT	tZQINITmin:max(512tCK,640ns) tZQINITmax:-				
正常操作全校正时间	tZQOPER	tZQOPERmin:max(256tCK,320ns) tZQOPERmax:-				

参数	符号	1066		1333		单位
		最小	最大	最小	最大	
正常操作短校正时间	tZQCS	tZQCSmin:max(64tCK,80ns) tZQCSmax:-				
复位时序						
从 CKE 高电平到有效命令退出复位	tXPR	tXPRmin:max(5nCK,tRFC(min))+10ns) tXPRmax:-				
自刷新时序						
非 DLL 锁时退出自刷新到命令时间	tXS	tXSmin:max(5nCK,tRFC(min))+10ns) tXSmax:-				
DLL 锁时退出自刷新到命令时间	tXSDLL	tXSDLLmax:tDLL(min) tXSDLLmax:-				nCK
从自刷新到退出时间的最小 CKE 低电平宽度	tCKESR	tCKESRmin:tCKE(min)+1nCK tCKESRmax:-				
自刷新进入(SRE)或低功耗进入(PDE)后有效时钟需要	tCKSRE	tCKSREmin:max(5nCK,10ns) tCKSREmax:-				
自刷新退出(SRX) 或低功耗退出(PDX)或复位退出前有效时钟需要	tCKSRX	tCKSRXmin:max(5nCK,10ns) tCKSRXmax:-				
低功耗时序						
DLL 打开时退出低功耗到任何有效的命令；DLL 冻结时退出预充电低功耗到命令需要 DLL 锁	tXP	tXPmin:max(3nCK,7.5ns) tXPmax:-		tXPmin:max(3nCK,6ns) tXPmax:-		
DLL 冻结时退出预充电低功耗到需要 DLL 锁的命令	tXPDLL	tXPDLLmin:max(10nCK,24ns)tXPDLLmax.: -				
CKE 最小脉冲宽度	tCKE	tCKEmin.:max(3nCK,5.625ns) tCKEmax.: -				

参数	符号	1066		1333		单位
		最小	最大	最小	最大	
命令传递禁用延迟	tCPDED	tCPDEDmin.: 1 tCPDEDmax.: -				nCK
低功耗进入和退出时间	tPD	tPDmin : tCKE(min) tPDmax : 9*tREFI				
激活命令到低功耗进入时间	tACTPDEN	tACTPDENmin.: 1 tACTPDENmax.: -				nCK
PRE 或 PERA 命令到低功耗进入时间	tPRPDEN	tPRPDENmin.: 1 tPRPDENmax.: -				nCK
RD/RDA 命令到低功耗进入时间	tRDPDEN	tRDPDENmin:RL+4+1 tRDPDENmax:-				nCK
WR 命令到低功耗进入时间 (BL8OTF,BL8MRS,BC4OTF)	tWRPDEN	tWRPDENmin:WL+4+(tWR/tCK(avg)) tWRPDENmax:-				nCK
WRA 命令到低功耗进入时间 (BL8OTF,BL8MRS,BC4OTF)	tWRAPDEN	tWRAPDENmin:WL+4+WR+1) tWRAPDENmax:-				nCK
WR 命令到低功耗进入时间 (BC4MRS)	tWRPDEN	tWRAPDENmin:WL+2+(tWR/tCK(avg)) tWRPDENmax:-				nCK
WRA 命令到低功耗进入时间 (BC4MRS)	tWRAPDEN	tWRAPDENmin:WL+2+WR+1) tWRAPDENmax:-				nCK
REF 命令到低功耗进入时序	tREFPDEN	tREFPDENmin:1 tREFPDENmax:-				nCK
MRS 命令到低功耗进入时间	tMRSPDEN	tMRSPDENmin:tMOD(min) tMRSPDENmax:-				
ODT 时序						
ODT 打开延迟	ODTLon	WL-2=CWL+AL-2				nCK
ODT 关闭延迟	ODTLoff	WL-2=CWL+AL-2				nCK
没有写命令或写命令与 BC4 ODT 时高电平时间	ODTH4	ODTH4min: 4 ODTH4max:-				nCK

参数	符号	1066		1333		单位
		最小	最大	最小	最大	
没有写命令与 BL8 ODT 时高电平时间	ODTH8	ODTH8min: 6 ODTH8max:-				nCK
异步 RTT 打开延迟 (DLL 冻结时低功耗)	tAONPD	2	8.5	2	8.5	ns
异步 RTT 关闭延迟 (DLL 冻结时低功耗)	tAOFPD	2	8.5	2	8.5	ns
RTT 打开	tAON	-300	300	-250	250	ps
从 ODTL 关才参考到 RTT_Nom 和 RTT_WR 关才时间	tAOF	0.3	0.7	0.3	0.7	tCK(avg)
RTT 动态改变偏斜	tADC	0.3	0.7	0.3	0.7	tCK(avg)
写入均衡时序						
编程写入均衡时第一个 DQS/DQS#上升沿	tWLMRD	40	-	40	-	nCK
编程写入均衡时 DQS/DQS#延迟	tWLDQSEN	25	-	25	-	nCK
从 CK,CK#上升沿交叉点到 DQS, DQS#上升沿交叉点的写入均衡时建立时间	tWLS	245	-	195	-	ps
从 DQS, DQS#上升沿交叉点到 CK,CK#上升沿交叉点的写入均衡时保持时间	tWLH	245	-	195	-	ps
写入均衡时输出延迟	tWLO	0	7.5	0	9	ns
写入均衡输出错误	tWLOE	0	2	0	2	ns

表 6-378 速度码相关的时序参数 (1600/1866)

参数	符号	1600		1866		单位
		最小	最大	最小	最大	

参数	符号	1600		1866		
		最小	最大	最小	最大	单位
时钟时间						
最小时钟周期时间（DLL 关闭模式）	tCK(DLL_OFF)	8	-	8	-	ns
平均时钟周期	tCK(avg)	参考速度码				ps
平均高脉冲宽度	tCH(avg)	0.47	0.53	0.47	0.53	tCK(avg)
平均低脉冲宽度	tCL(avg)	0.47	0.53	0.47	0.53	tCK(avg)
绝对时钟周期	tCK(abs)	最小： tCK(avg)min+tJIT(per)min 最大： tCK(avg)max+tJIT(per)max				
时钟高脉冲绝对值	tCH(abs)	0.43	-	0.43	-	tCK(avg)
时钟低脉冲绝对值	tCL(abs)	0.43	-	0.43	-	tCK(avg)
时钟周期抖动	tJIT(per)	-70	70	-60	60	ps
在 DLL 锁周期期间的时钟周期抖动	tJIT(per,lck)	-60	60	-50	50	ps
周期期间的抖动	tJIT(cc)	140		120		
在 DLL 锁周期期间的周期期间抖动	tJIT(cc,lck)	120		100		
占空比抖动	tJIT(duty)	-	-	-	-	ps
N=13,14,...49,50 周期时的累积误差	tERR（nper）	tERR(nper)min= (1+0.68ln(n))*tJIT(per)min tERR(nper)max= (1+0.68ln(n))*tJIT(per)max				ps
数据时序						
DQS,DQS#到 DQ 偏斜，每组，每次访问	tDQSQ	-	100	-	85	ps

参数	符号	1600		1866		单位
		最小	最大	最小	最大	
与 DQS、DQS#相匹配的 DQ 输出保持时间	tQH	0.38	-	0.38	-	tCK(avg)
与 CK、CK#相匹配的 DQ 低阻抗时间	tLZ(ZQ)	-450	225	-390	195	ps
与 CK、CK#相匹配的 DQ 高阻抗时间	tHZ(ZQ)	-	225	-	195	ps
参考 Vih(ac)/Vil(ac)电平的 DQS、DQS#的数据建立时间	tDS(base) DDR3L-1600(AC135),DDR3L-1866(AC130)	25	-	70	-	ps
参考 Vih(dc)/Vil(dc)电平的 DQS、DQS#的数据保持时间	tDH(base) DC100	45	-	70	-	ps
	tDH(base) DC90 DDR3L-1600(SR=1V/ns),DDR3L-1866(SR=2V/ns)	55	-	75	-	ps
每个输入的 DQ 和 DM 输入脉冲宽度	tDIPW	360	-	320	-	ps
数据对齐时序						
DQS、DQS#差分读取前导码	tRPRE	0.9	注 19	0.9	注 19	tCK(avg)
DQS、DQS#差分读取后同步码	tRPST	0.3	注 11	0.3	注 11	tCK(avg)
DQS、DQS#差分输出高电平时间	tQSH	0.4	-	0.4	-	tCK(avg)
DQS、DQS#差分输出低电平时间	tQSL	0.4	-	0.4	-	tCK(avg)

参数	符号	1600		1866		单位
		最小	最大	最小	最大	
DQS、DQS#差分写前导码	tWPRE	0.9	-	0.9	-	tCK(avg)
DQS、DQS#差分写后同步码	tWPST	0.3	-	0.3	-	tCK(avg)
从 CK、CK#上升沿到 DQS、DQS#上升沿输出访问时间	tDQSCK	-255	255	-195	195	ps
DQS、DQS#低阻抗时间（参考 RL+BL/2）	tLZ(DQS)	-450	255	-390	195	ps
DQS、DQS#高阻抗时间（参考 RL+BL/2）	tHZ(DQS)	-	255	-	195	ps
DQS、DQS#差分输入低脉冲宽度	tDQSL	0.45	0.55	0.45	0.55	tCK(avg)
DQS、DQS#差分输入高脉冲宽度	tDQSH	0.45	0.55	0.45	0.55	tCK(avg)
DQS、DQS#差上升沿到 CK、CK#上升沿	tDQSS	-0.27	0.27	-0.27	0.27	tCK(avg)
DQS、DQS#下降沿建立时间到 CK、CK#上升沿	tDSS	0.18	-	0.18	-	tCK(avg)
从 CK、CK#上升沿到 QS#下降沿保持时间	tDSH	0.18	-	0.18	-	tCK(avg)
命令和地址时序						
DLL 锁时间	tDLLK	512	-	512	-	nCK
内部读命令到预充电命令延迟	tRTP	tRTPmin:max(4nCK,7.5ns) tRTPmax:-				
内部写传输到内部读命令的延迟	tWTR	tWTRmin:max(4nCK,7.5ns) tWTRmax:-				
写恢复时间	tWR	15	-	15	-	ns

参数	符号	1600		1866		单位
		最小	最大	最小	最大	
模式寄存器设置命令周期时间	tMRD	4	-	4	-	nCK
模式寄存器设置命令更新	tMOD	tMODmin:max(12nCK,15ns) tMODmax:-				
激活到内部读或写延迟时间	tRCD	参考“速度码”				
预充电命令周期	tRP					
激活到激活或预充电命令周期	tRC					
激活到预充电命令周期	tRAS					
CAS#到 CAS#命令延迟	tCCD	4	-	4	-	nCK
自动预充电写恢复+预充电时间	tDAL(min)	WR+roundup(tRP/tCK(avg))				nCK
多用途寄存器恢复时间	tMPRR	1	-	1	-	nCK
1KB 页大小激活到激活命令周期	tRRD	tRRDmin:max(4nCK,6ns) tRRDmax:-				
2KB 页大小激活到激活命令周期	tRRD	tRRDmin:max(4nCK,7.5ns) tRRDmax:-				
1KB 页大小四个激活窗口	tFAW	30	-	27	-	ns
2KB 页大小四个激活窗口	tFAW	40	-	35	-	ns
参考 Vih(ac)/Vil(ac)电平, 命令和地址建立时间到 CK、CK#	tIS(BASE) DDR3L(AC160)	60	-	-	-	ps
	tIS(BASE) DDR3L(AC135)	185	-	65	-	ps
	tIS(BASE) DDR3L(AC12	-	-	150	-	ps

参数	符号	1600		1866		
		最小	最大	最小	最大	单位
	5)					
参考 Vih(dc)/Vil(dc)电平，命令和地址保持时间到 CK、CK#	tIH(BASE)DDR3L DC90	130	-	110	-	ps
每个输入的控制和地址输入脉冲宽度	tIPW	560	-	535	-	ps
校正时序						
上电和复位校正时间	tZQINIT	tZQINITmin:max(512tCK,640ns) tZQINITmax:-				
正常操作全校正时间	tZQOPER	tZQOPERmin:max(256tCK,320ns) tZQOPERmax:-				
正常操作短校正时间	tZQCS	tZQCSmin:max(64tCK,80ns) tZQCSmax:-				
复位时序						
从 CKE 高电平到有效命令退出复位	tXPR	tXPRmin:max(5nCK,tRFC(min)+10ns) tXPRmax:-				
自刷新时序						
非 DLL 锁时退出自刷新到命令时间	tXS	tXSmin:max(5nCK,tRFC(min)+10ns) tXSmax:-				
DLL 锁时退出自刷新到命令时间	tXSDLL	tXSDLLmax:tDLL(min) tXSDLLmax:-				nCK
从自刷新到退出时间的最小 CKE 低电平宽度	tCKESR	tCKESRmin:tCKE(min)+1nCK tCKESRmax:-				
自刷新进入(SRE)或低功耗进入（PDE）后有效时钟需要	tCKSRE	tCKSREmin:max(5nCK,10ns) tCKSREmax:-				

参数	符号	1600		1866		单位
		最小	最大	最小	最大	
自刷新退出（SRX）或低功耗退出（PDX）或复位退出前有效时钟需要	tCKSRX	tCKSRXmin:max(5nCK,10ns) tCKSRXmax:-				
低功耗时序						
DLL 打开时退出低功耗到任何有效的命令；DLL 冻结时退出预充电低功耗到命令需要 DLL 锁	tXP	tXPmin:max(3nCK,6ns) tXPmax:-				
DLL 冻结时退出预充电低功耗到需要 DLL 锁的命令	tXPDLL	tXPDLLmin:max(10nCK,24ns)tXPDLLmax.: -				
CKE 最小脉冲宽度	tCKE	tCKEmin.: max(3nCK ,5ns) tCKEmax.: -				
命令传递禁用延迟	tCPDED	tCPDEDmin.: 1 tCPDEDmax.: -				nCK
低功耗进入和退出时间	tPD	tPDmin : tCKE(min) tPDmax : 9*tREFI				
激活命令到低功耗进入时间	tACTPDEN	tACTPDENmin.: 1 tACTPDENmax.: -				nCK
PRE 或 PERA 命令到低功耗进入时间	tPRPDEN	tPRPDENmin.: 1 tPRPDENmax.: -				nCK
RD/RDA 命令到低功耗进入时间	tRDPDEN	tRDPDENmin:RL+4+1 tRDPDENmax:-				nCK
WR 命令到低功耗进入时间（BL8OTF,BL8MRS,BC4OTF）	tWRPDEN	tWRPDENmin:WL+4+(tWR/tCK(avg)) tWRPDENmax:-				nCK
WRA 命令到低功耗进入时间（BL8OTF,BL8MRS,BC4OTF）	tWRAPDEN	tWRAPDENmin:WL+4+WR+1) tWRAPDENmax:-				nCK
WR 命令到低功耗进入时间（BC4MRS）	tWRPDEN	tWRAPDENmin:WL+2+(tWR/tCK(avg)) tWRPDENmax:-				nCK
WRA 命令到低功耗进入时间（BC4MRS）	tWRAPDEN	tWRAPDENmin:WL+2+WR+1) tWRAPDENmax:-				nCK

参数	符号	1600		1866		单位
		最小	最大	最小	最大	
REF 命令到低功耗进入时序	tREFPDEN	tREFPDENmin:1 tREFPDENmax:-				nCK
MRS 命令到低功耗进入时间	tMRSPDEN	tMRSPDENmin:tMOD(min) tMRSPDENmax:-				
ODT 时序						
ODT 打开延迟	ODTLon	WL-2=CWL+AL-2				nCK
ODT 关闭延迟	ODTLoff	WL-2=CWL+AL-2				nCK
没有写命令或写命令与 BC4 ODT 时高电平时间	ODTH4	ODTH4min: 4 ODTH4max:-				nCK
没有写命令与 BL8 ODT 时高电 平时间	ODTH8	ODTH8min: 6 ODTH8max:-				nCK
异步 RTT 打开延迟（DLL 冻结 时低功耗）	tAONPD	2	8.5	2	8.5	ns
异步 RTT 关闭延迟（DLL 冻结 时低功耗）	tAOFPD	2	8.5	2	8.5	ns
RTT 打开	tAON	-225	225	-195	195	ps
从 ODTL 关才参考到 RTT_Nom 和 RTT_WR 关才时间	tAOF	0.3	0.7	0.3	0.7	tCK(avg)
RTT 动态改变偏斜	tADC	0.3	0.7	0.3	0.7	tCK(avg)
写入均衡时序						
编程写入均衡时第一个 DQS/DQS#上升沿	tWLMRD	40	-	40	-	nCK
编程写入均衡时 DQS/DQS#延 迟	tWLDQSEN	25	-	25	-	nCK

参数	符号	1600		1866		单位
		最小	最大	最小	最大	
从 CK,CK#上升沿交叉点到 DQS, DQS#上升沿交叉点的写入均衡时建立时间	tWLS	165	-	140	-	ps
从 DQS, DQS#上升沿交叉点到 CK,CK#上升沿交叉点的写入均衡时保持时间	tWLH	165	-	140	-	ps
写入均衡时输出延迟	tWLO	0	7.5	0	7.5	ns
写入均衡输出错误	tWLOE	0	2	0	2	ns

注释：

注 1：单位 Tck(avg)表示运行中输入时钟的实际 Tck(avg)。单位 Nck 表示输入时钟的一个时钟周期，对实际时钟边沿进行计数。比如 Tmrd=4[Nck]表示。如果在 Tm 处发送了一个模式寄存器集命令，则即使(Tm+4-Tm)为 $4 \times \text{Tck}(\text{avg}) + \text{Terr}(4\text{per}), \text{min}$ ，也可以在 Tm+4 处发送另一个模式发送表集命令。

注 2：这些参数由命令/地址信号（CKE、CS、RAS、CAS、WE、ODT、BA0、A0、A1 等）传输边沿到其各自的时钟信号（CK、CK#）交叉处测量的。规格值不受施加的时钟抖动量的影响（即 Tjit(per),Tjit(cc)等），因为设置和保持与锁存命令/地址的时钟信号交叉有关。也就是说，无论是否存在时钟抖动，都应该满足这些参数。

注 3：这些参数是从穿过其相应时钟信号的数据同步信号（DQS(L/U)、DQS#(L/U)交叉点到它相应时钟信号（CK、CK#）交叉点测量的。规格值不受施加的时钟抖动量的影响（即 Tjit(per),Tjit(cc)等），因为这些值与时钟信号交叉有关。也就是说，无论是否存在时钟抖动，都应该满足这些参数。

注 4：这些参数是从数据信号（DM(L/U),DQ(L/U)1）等传输边沿到它相应的数据同步信号（DQS(L/U),DQS#(L/U)）交叉点。

注 5：这些参数，DDR3L SDRAM 设置支持 $\text{tnPARAM}[\text{Nck}] = \text{RU}\{\text{T param}[\text{ns}]/\text{tCK}(\text{avg})[\text{ns}]\}$ ，也就是在时钟周期内，假定所有输入时钟抖动规格是满意的。

注 6：当设备在输入时钟抖动的情况下运行时，该参数需要根据输入时钟的实际 Terr(mper)行为进行降额，其中 $2 \leq m \leq 12$ 。（输出降额与 SDRAM 输入时钟有关。）

注 7：当设备在输入时钟抖动的情况下运行时，该参数需要根据输入时钟的实际 Tjit(per)动作进行降额。（输出降额与 SDRAM 输入时钟有关。）

时序参数注释：

注 1：实际值取决于待定的测量水平定义。

注 2：需要锁定 DLL 的命令有：READ（和 RAP）是同步 ODT 命令。

注 3：最大值取决于系统。

注 4：WR 在模式寄存器中编程。

注 5：值必须向上舍入到下一个更高的整数值。

注 6：除了需要满足刷新间隔 tREFI 外，没有最大循环时间限制。

注 7：关于 RTT 在时间 tAON 上定义，请参阅“时序参数”。

注 8：RTT 关闭时间 tAOF 的定义见“时序参数”。

注 9: t_{WR} 以 ns 为单位定义, 为了计算 t_{WRPDEN} , 需要将 t_{WR}/t_{CK} 四舍五入到下一个整数。

注 10: WR 的时钟周期在 MRO 中编程。

注 11: 最大读取后同步码由左侧的 $t_{DQSCK}(\min)$ 加 $t_{QSH}(\min)$ 和右侧的 $t_{HZ}(DQS)_{\max}$ 限定。

注 12: 输出定时降额与 $SDRAM$ 输入时钟有关。当设备在输入时钟抖动的情况下运行时, 此参数需要 TBD 降额。

注 13: 值仅对 $RON34$ 有效。

注 14: 单端信号参数。

注 15: t_{REFI} 取决于 T_{OPER} 。

注 16: $tIS(\text{base})$ 和 $tIH(\text{base})$ 值适用于 $1V/ns$ CMD/ADD 单端转换速率和 $2V/ns$ CK 、 CK 差分转换速率。注意 DQ 和 DM 信号, $VREF(DC)=VREFDQ(DC)$ 。对于除 $RESET$ 之外的仅输入引脚, $VREF(DC)=VREFCA(DC)$ 。

注 17: $tDS(\text{base})$ 和 $tDH(\text{base})$ 值分别适用于 $1V/ns$ DQ 单端转换速率和 $2V/ns$ DQS 、 DQS 差分转换速率。注意 DQ 和 DM 信号, $VREF(DC)=VREFDQ(DC)$ 。对于除 $RESET$ 之外的仅输入引脚, $VREF(DC)=VREFCA(DC)$ 。

注 18: 内部写入传输启动的定义如下:

对于 $BL8$ (由 MRS 实时固定): WL 后 4 个时钟周期的上升时钟沿。对于 $BC4(\text{动态})$: WL 后 4 个时钟周期的上升时钟沿。

对于 $BC4$ (由 MRS 固定): WL 后 2 个时钟周期的上升时钟沿。

注 19: 最大前导码由左侧的 $tLZ(DQS)_{\max}$ 和右侧的 $tDQSCK(\max)$ 约束。

注 20: CKE 允许在行激活、预充电、自动充电或刷新等操作进行时发送为低电平, 但在完成这些操作之前, 不会应用低功耗 IDD 规范。

注 21: 虽然一旦满足 $tREFPDEN(\min)$, 就允许在 $REFRESH$ 命令后将 CKE 发送为低, 但在某些情况下, 还需要额外的时间, 如 $tXPDLL(\min)$ 。

注 22: 定义在 MPR 读取结束和 MRS 重新加载 MPR 或禁用 MPR 功能之间。

注 23: 假设“输出驱动器电压和温度灵敏度”和“ ODT 电压和温度敏感性”表中规定的最大灵敏度, 一个 $ZQCS$ 命令可以在 $64nCK$ 内有效地校正所有速度箱的 RON 和 RTT 阻抗误差的最小 0.5% ($ZQCorrection$)。 $ZQCS$ 命令之间的适当间隔可以从这些表和其他特定于应用程序的参数中确定。

例如一种计算 $ZQCS$ 命令之间间隔的方法, 该方法给定了 $SDRAM$ 在应用中受到温度 ($Tdriftrate$) 和电压 ($Vdrifrates$) 敏感度。间隔可能通过以下公式定义: $ZQ \text{ 校正}/[(TSens \times Tdriftrate)+(VSens \times Vdriftrate)]$, 其中 $TSens=\max(dRTTdT, dRONdTM)$ 和 $VSens=\max(dRTTdV, dRONdVM)$ 。

例如 $TSens=1.5\%/C$, $VSens=0.15\%/mV$, $Tdriftrate=1C/sec$, $Vdriftrate=15mV/sec$, 则 $ZQCS$ 命令之间的间隔计算为 $0.5/[(1.5 \times 1)+(0.15 \times 15)]=0.133 \sim 128ms$ 。

注 24: n =从 13 个循环到 50 个循环。此行定义了 38 个参数。

注 25: $nCH(\text{abs})$ 是 CK 从一个上升沿到下一个下降沿的绝对瞬时高脉冲宽度。

注 26: $tCL(\text{abs})$ 是 CK 从一个下降沿到下一个上升沿的绝对瞬时低脉冲宽度。

注 27: 通过增加额外的 $100ps$ 降额来适应 $150mV$ 的较低替代阈值, 并再增加 $25ps$ 以考虑较早的参考点 $[(175mV-150mV)/1V/ns]$, $tIS(\text{base})$ 规范调整了 $tIS(\text{base})$ $AC150$ 规范。

对于所有输入信号, 所需的总 tIS (建立时间) 和 tIH (保持时间) 是通过将数据表 $tIS(\text{base})$ 和 $tIH(\text{base})$ 值分别与增量 tIS 和增量 tIH 降客值相加来计算的。

示例: $tIS(\text{总建立时间})=tIS(\text{base})+\text{增量}tIS$

上升信号的建立 (tIS) 标称转换速率定义为 $Vref(dc)$ 的最后一个交叉点和 $VIH(ac)$ 的第一个交叉点之间的转换速率。下降信号的设置。如果实际信号早于“ $Vref(dc)$ 到 ac 区域”之间的任何标称转换速率线, 则从 ac 电平到 dc 电平的信号切线的转换速率用于降额值。

上升信号的保持 (t_{IH}) 标称转换速率定义为 $V_{IL}(dc)_{max}$ 的最后一个交叉点和 $V_{ref}(dc)$ 的第一个交叉点之间的转换速率。下降信号的保持 (t_{IH}) 标称转换速率定义为 $V_{IH}(dc)_{min}$ 的最后一个交叉点和 $V_{ref}(dc)$ 的第一个交叉点之间的转换速率。如果实际信号总是晚于“dc到 $V_{ref}(dc)$ 区域”之间的标称转换速率线, 则使用标称转换速率作为降额值。如果实际信号早于“dc到 $V_{ref}(dc)$ 区域”之间的任何位置的标称转换速率线, 则从dc电平到 $V_{ref}(dc)$ 电平的信号切线的转换速率用于降额值。为了实现有效的转换, 输入信号必须在一段时间 t_{VAC} 内保持高于/低于 $V_{IH}/V_{IL}(ac)$ 。尽管对于慢转换速率, 总设置时间可能是负的(即, 在上升时钟转换时, 有效的输入信号将不会达到 $V_{IH}/V_{IL}(ac)$), 但仍然需要有效输入信号来完成转换并达到 $V_{IH}/V_{IL}(ac)$ 。

表 6-39 ADD/CMD 建立和保持基值 1V/ns

符号	参考电压	800	1066	1333	1600	1866	单位	备注
$t_{IS}(base)AC160$	$V_{IH}/V_{IL}(ac)$	215	140	80	60	-	ps	1
$t_{IS}(base)AC135$	$V_{IH}/V_{IL}(ac)$	365	290	205	185	65	ps	1,2
$t_{IS}(base)AC125$	$V_{IH}/V_{IL}(ac)$	-	-	-	-	150	ps	1,3
$t_{IH}(base)DC90$	$V_{IH}/V_{IL}(ac)$	285	210	150	130	110	ps	1

注 1: (AC/DC 参考 1V/ns 地址/命令转换速率和 2V/ns 差分 CK-CK# 转换速率。

注 2: 通过为 DDR3L-800/1066 增加额外的 125ps 或为 DDR3L-1333/1600 增加 100ps 的降额, 以适应 135mV 的较低替代阈值, 并为较早的参考点 $[(160mV-135mV)/1V/ns]$ 增加额外的 25ps, 从 $t_{IS}(base)AC160$ 规范调整了 $t_{IS}(base)AC135$ 规范。

注 3: $t_{IS}(base)AC125$ 规格是从 $t_{IS}(base)AC135$ 调整而来的, 为 DDR3L-1866 降额增加了额外的 75ps, 以适应 135mV 的较低交替阈值, 并增加了 10ps, 以考虑较早的参考点 $[(135mV-125mV)/1V/ns]$ 。

表 6-40 DDR3L-1866 t_{IS}/t_{IH} 降额值-AC/DC 基于 AC125 阈值

		DDR3L Alternate AC135 Threshold -> $V_{IH}(AC)=V_{REF}(DC)+125\text{ mV}$, $V_{IL}(AC)=V_{REF}(DC)-125\text{ mV}$															
		CK, $\overline{CK}$ Differential Slew Rate															
		4.0 V/ns		3.0 V/ns		2.0 V/ns		1.8 V/ns		1.6 V/ns		1.4 V/ns		1.2 V/ns		1.0 V/ns	
		Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}
CMD/ADD Slew Rate (V/ns)	2	63	45	63	45	63	45	71	53	79	61	87	69	95	79	103	95
	1.5	42	30	42	30	42	30	50	38	58	46	66	54	74	64	82	80
	1	0	0	0	0	0	0	8	8	16	16	24	24	32	34	40	50
	0.9	3	-3	3	-3	3	-3	11	5	19	13	27	21	35	31	43	47
	0.8	6	-8	6	-8	6	-8	14	1	22	9	30	17	38	27	46	43
	0.7	10	-13	10	-13	10	-13	18	-5	26	3	34	11	42	21	50	37
	0.6	16	-20	16	-20	16	-20	24	-12	32	4	40	-4	48	14	56	30
	0.5	15	-30	15	-30	15	-30	23	-22	31	-14	39	-6	47	4	55	20
	0.4	13	-45	13	-45	13	-45	21	-37	29	-29	37	-21	45	-11	53	5

表 6-41 ADD/CMD 转换所需的时间 t_{VAC} 高于 $V_{IH}(ac)$ {低于 $V_{IL}(ac)$ }

Slew Rate [V/ns]	DDR3				DDR3L				Unit
	800/1066/1333/1600		1866/2133		800/1066/1333/1600		1866/2133		
	175mV [ps]	150mV[ps]	135mV [ps]	125mV [ps]	160 mV [ps]	135 mV [ps]	135 mV [ps]	125 mV [ps]	
> 2.0	75	175	168	173	200	213	200	205	ps
2.0	57	170	168	173	200	213	200	205	ps
1.5	50	167	145	152	173	190	178	184	ps
1.0	38	130	100	110	120	145	133	143	ps
0.9	34	113	85	96	102	130	118	129	ps
0.8	29	93	66	79	80	111	99	111	ps
0.7	22	66	42	56	51	87	75	89	ps
0.6	note	30	10	27	13	55	43	59	ps
0.5	note	note	note	note	Note	10	Note	18	ps
<0.5	note	note	note	note	Note	10	Note	18	ps

注 1: 上升输入信号应等于或大于 $V_{IH}(ac)$ 电平, 下降输入信号应小于或等于 $V_{IL}(ac)$ 电平时。

对于所有输入信号, 所需的总 t_{DS} (建立时间) 和 t_{DH} (保持时间) 是通过将数据表 $t_{DH}(base)$ 值分别与增量 t_{DS} 和增量 t_{DH} 降额值相加来计算的。

示例: $t_{DS}(\text{总建立时间}) = t_{DS}(base) + \text{增量 } t_{DS}$

上升信号的建立 (t_{DS}) 标称转换速率定义为 $V_{ref}(dc)$ 的最后一个交叉点和 $V_{IH}(ac)_{min}$ 的第一个交叉点之间的转换速率。下降信号的建立 (t_{DS}) 标称转换速率定义为 $V_{ref}(dc)$ 的最后一个交叉点和 $V_{IH}(ac)_{max}$ 的第一个交叉点之间的转换速率。如果实际信号总是早于“ $V_{ref}(dc)$ 到 ac 区域”之间的任何标称转换速率线, 则从 ac 电平到 dc 电平的信号切线的转换速率用于降额值。

上升信号的保持 (t_{DH}) 标称转换率定义为 $V_{IL}(dc)_{max}$ 的最后一个交叉点和 $V_{ref}(dc)$ 的第一个交叉点之间的转换速率。下降信号的保持 (t_{DH}) 标称转换速率定义为 $V_{IH}(dc)_{min}$ 的最后一个交叉点和 $V_{ref}(dc)$ 的第一个交叉点之间的转换速率。如果实际信号总是晚于“直流电平到 $V_{ref}(dc)$ 区域”之间的标称转换速率线, 则使用标称转换速率作为降额值。如果实际信号早于“ dc 到 $V_{ref}(dc)$ 区域”之间的任何位置的标称转换速率线, 则从 dc 电平到 $V_{ref}(dc)$ 电平的信号切线的转换速率用于降额值。

为了实现有效的转换, 输入信号必须在一段时间 t_{VAC} 内保持高于/低于 $V_{IH}/V_{IL}(ac)$ 。

尽管对于慢转换速率, 总建立时间可能是负的 (即, 在上升时钟转换时, 有效的输入信号将不会达到 $V_{IH}/V_{IL}(ac)$), 但仍然需要有效的输入信号来完成转换并达到 $V_{IH}/V_{IL}(ac)$ 。

对于下表所列值之间转换速率, 可以通过线性插值获得降额值。

这些值通常不需要进行生产测试。它们通过设计和表征进行了验证。

表 6-42 降额值 DDR3L-800/1066 tDS/tDH-基于 AC/DC 的 AC160 阈值

		DDR3L AC160 Threshold -> VIH(AC)=VREF(DC)+160mV, VIL(AC)=VREF(DC)-160mV															
		DQS, $\overline{DQS}$ Differential Slew Rate															
		4.0 V/ns		3.0 V/ns		2.0 V/ns		1.8 V/ns		1.6 V/ns		1.4 V/ns		1.2 V/ns		1.0 V/ns	
		Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}
DQ Slew Rate (V/ns)	2	80	45	80	45	80	45	-	-	-	-	-	-	-	-	-	-
	1.5	53	30	53	30	53	30	61	38	-	-	-	-	-	-	-	-
	1	0	0	0	0	0	0	8	8	16	16	-	-	-	-	-	-
	0.9	-	-	-1	-3	-1	-3	7	5	15	13	23	21	-	-	-	-
	0.8	-	-	-	-	-3	-8	5	1	13	9	21	17	29	27	-	-
	0.7	-	-	-	-	-	-	3	-5	11	3	19	11	27	21	35	37
	0.6	-	-	-	-	-	-	-	-	8	-4	16	4	24	14	32	30
	0.5	-	-	-	-	-	-	-	-	-	-	4	-6	12	4	20	20
	0.4	-	-	-	-	-	-	-	-	-	-	-	-	-8	-11	0	5

表 6-43 降额值 DDR3L-800/1066/1333/1600 tDS/tDH-基于 AC/DC 的 AC135 阈值

		DDR3L Alternate AC135 Threshold -> VIH(AC)=VREF(DC)+135mV, VIL(AC)=VREF(DC)-135mV															
		DQS, $\overline{DQS}$ Differential Slew Rate															
		4.0 V/ns		3.0 V/ns		2.0 V/ns		1.8 V/ns		1.6 V/ns		1.4 V/ns		1.2 V/ns		1.0 V/ns	
		Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}
DQ Slew Rate (V/ns)	2	45	68	45	68	45	-	-	-	-	-	-	-	-	-	-	-
	1.5	45	30	45	30	45	30	53	38	-	-	-	-	-	-	-	-
	1	0	0	0	0	0	0	8	8	16	16	-	-	-	-	-	-
	0.9	-	-	2	-3	2	-3	10	5	18	13	26	21	-	-	-	-
	0.8	-	-	-	-	3	-8	11	1	19	9	27	17	35	27	-	-
	0.7	-	-	-	-	-	-	14	-5	22	3	30	11	38	21	46	37
	0.6	-	-	-	-	-	-	-	-	25	-4	33	4	41	14	49	30
	0.5	-	-	-	-	-	-	-	-	-	-	29	-6	37	4	45	20
	0.4	-	-	-	-	-	-	-	-	-	-	-	-	30	-11	38	5

表 6-44 降额值 DDR3L-1866 tDS/tDH-基于 AC/DC 的 AC130 阈值

		DDR3L Alternate AC130 Threshold -> VIH(AC)=VREF(DC)+130mV, VIL(AC)=VREF(DC)-130mV																							
		DQS, $\overline{DQS}$ Differential Slew Rate																							
		8.0 V/ns		7.0 V/ns		6.0 V/ns		5.0 V/ns		4.0 V/ns		3.0 V/ns		2.0 V/ns		1.8 V/ns		1.6 V/ns		1.4 V/ns		1.2 V/ns		1.0 V/ns	
		Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}	Δt_{DS}	Δt_{DH}
DQ Slew Rate (V/ns)	4	33	23	33	23	33	23	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	3.5	28	19	28	19	28	19	28	19	-	-		-	-	-	-	-	-	-	-	-	-	-	-	-
	3	22	15	22	15	22	15	22	15	22	15		-	-	-	-	-	-	-	-	-	-	-	-	-
	2.5	-	-	13	9	13	9	13	9	13	9	13	9	-	-	-	-	-	-	-	-	-	-	-	-
	2	-	-	-	-	0	0	0	0	0	0	0	0	0	0	-	-	-	-	-	-	-	-	-	-
	1.5	-	-	-	-	-	-	-22	-15	-22	-15	-22	-15	-22	-15	-14	-7	-	-	-	-	-	-	-	-
	1	-	-	-	-	-	-	-	-	-65	-45	-65	-45	-65	-45	-57	-37	-49	-29	-	-	-	-	-	-
	0.9	-	-	-	-	-	-	-	-	-	-	-62	-48	-62	-48	-54	-40	-46	-32	-38	-24	-	-	-	-
	0.8	-	-	-	-	-	-	-	-	-	-	-	-	-	-61	-53	-53	-45	-45	-37	-37	-29	-29	-19	-
	0.7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-49	-50	-41	-42	-33	-34	-25	-24	-17
0.6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-37	-49	-29	-41	-21	-31	-13	-15	
0.5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-31	-51	-23	-41	-15	-25	
0.4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-28	-56	-20	-40	

表 6-45 DQ 传输所需要时间 tVAC 高于 VIH(ac){VIL(ac)以下}

Slew Rate [V/ns]	DDR3					DDR3L			Unit
	800/1066	800/1066/ 1333/1600	800/1066/ 1333/1600	1866	2133	800/1066	800/1066/ 1333/1600	1866/2133	
	175mV [ps]	150mV[ps]	135mV [ps]	135mV [ps]	135mV [ps]	160mV [ps]	135mV [ps]	130mV [ps]	
> 2.0	75	105	113	93	73	165	113	95	ps
2.0	57	105	113	93	73	165	113	95	ps
1.5	50	80	90	70	50	138	90	73	ps
1.0	38	30	45	25	5	85	45	30	ps
0.9	34	13	30	note	note	67	30	16	ps
0.8	29	note	11	note	note	45	11	Note	ps
0.7	note	note	note	-	-	16	Note	-	ps
0.6	note	note	note	-	-	Note	Note	-	ps
0.5	note	note	note	-	-	Note	Note	-	ps
<0.5	note	note	note	-	-	Note	Note	-	ps

注 1: 上升输入信号应等于或大于 VIH(ac)电平, 下降输入信号应大于或等于低于 VIL (ac) 水平。

7 功能描述

7.1 概述

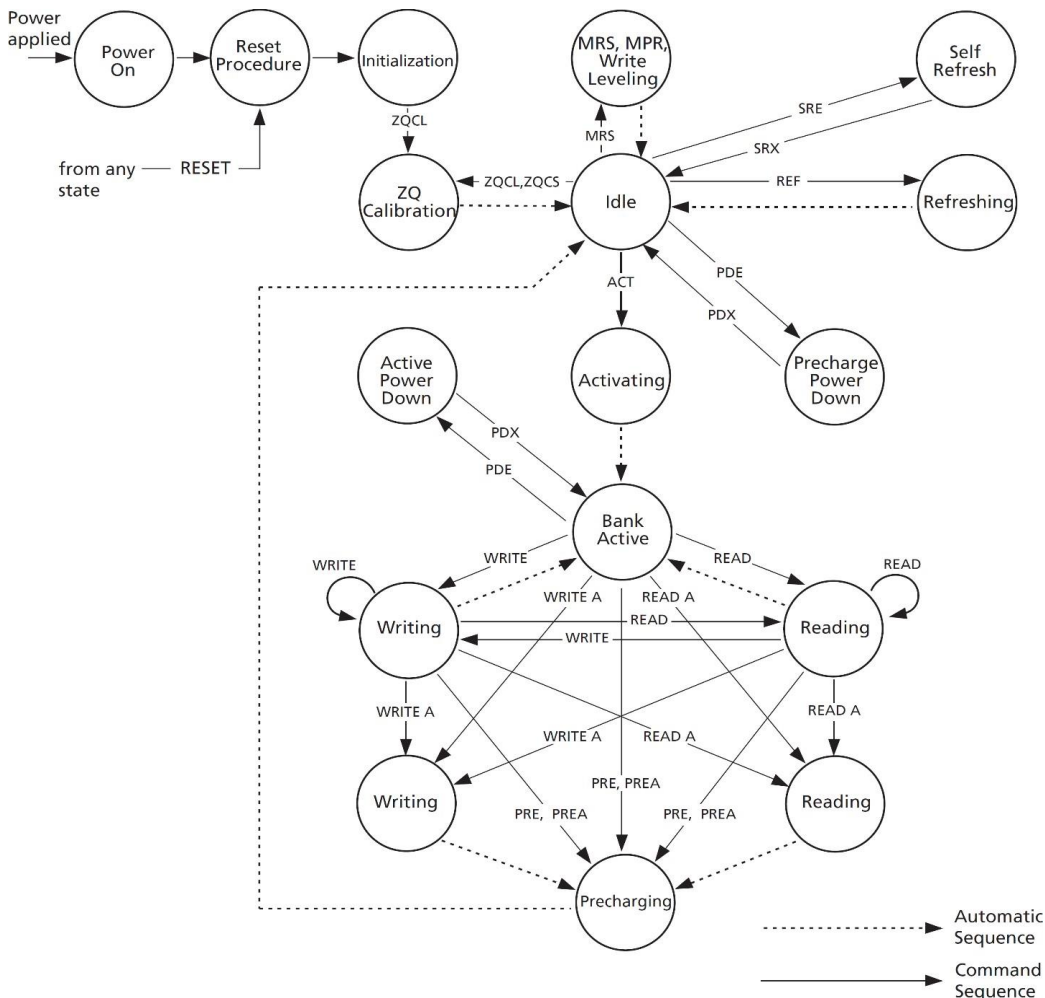
DDR3 (L) SDRAM B-Die是一种高速动态随机存取存储器，内部配置为8-bank DRAM。DDR3 (L) SDRAM采用8n预取架构，实现高速运行。8n预取架构与一个接口相结合，该接口设计为在I/O引脚处每个时钟周期传输两个数据字。DDR3 (L) SDRAM的单次读写操作包括在内部DRAM核心进行一次8n位宽的预取，4个时钟周期数据传输，以及在I/O引脚进行两次相应的n位宽的半时钟周期数据传输。

对DDR3 (L) SDRAM的读取和写入操作都是突发的，从选定的位置开始，并在编程序列中持续8个突发长度或4个“斩波”突发。操作从发送活跃命令开始，然后发送“读取”或“写入”命令。活跃命令的地址位用于选择要激活的bank和行。读取或写入命令的地址位用于选择突发操作的起始列位置，A10确定是否要发出自动预充电命令，如果在模式寄存器中启用“斩波”突发模式，则可以选择BC4或BL8模式（通过A12）。

DDR3 (L) SDRAM必须先上电并按预先设定的方式初始化，才能正常工作。下面的章节提供了详细的信息，包括设备复位和初始化、寄存器定义、命令描述和设备操作。

7.2 功能描述

7.2.1 简化状态图



7.2.1.1 状态图命令定义

缩写	功能	缩写	功能	缩写	功能
ACT	激活	Read	RD, RDS4, RDS8	PED	进入低功耗
PRE	预充电	Read A	RDA, RDAS4, RDAS8	PDX	退出低功耗
PREA	预充电所有 bank	Write	WR,WRS4,WRS8	SRE	自刷新进入
MRS	模式寄存器设置	Write A	WRA,WRAS4,WRAS8	SRX	退出自刷新
REF	刷新	RESET#	启动 RESET 过程	MPR	多用途寄存器
ZQCL	ZQ 长校准	ZQCS	ZQ 短校准	-	-

7.2.2 RESET 和初始化规则

7.2.2.1 POWER UP 和初始化顺序

POWER UP和初始化需要以下顺序：

1、上电(RESET#建议保持在 $0.2 \times VDD$ 以下，其他输入未定义)。RESET需要维持电平稳定至少200 μs 的时间。在去断言(min. time 10ns)之前，CKE随时被拉到“Low”状态。300mV到VDDmin之间的电源电压斜坡时间必须不大于200ms;且在坡降期间， $VDD > VDDQ$ 且 $(VDD - VDDQ) < 0.3V$ 。

- VDD 和 VDDQ 由单个功率转换器输出和驱动
- 除 VDD、VDDQ、VSS、VSSQ 外的所有引脚的电压电平必须一边小于等于 VDDQ 和 VDD，另一边大于等于 VSSQ 和 VSS。此外，一旦功率斜坡完成，VTT 最大限制为 0.95V，并且 Vref 跟踪 VDDQ/2。

或

- 在 VDDQ 之前或同时应用 VDD，不得有任何坡度反转。
- 在 VTT 和 Vref 之前或同时应用 VDDQ，不得有任何斜率反转。
- 除 VDD、VDDQ、VSS、VSSQ 外的所有引脚的电压电平必须一边小于等于 VDDQ 和 VDD，另一边大于等于 VSSQ 和 VSS。

2、当RESET#被解除断言后，再等待500秒，直到CKE激活。在此期间，DRAM将开始内部状态初始化;这将独立于外部时钟完成。

3、时钟(CK, C, K#)需要启动并稳定至少10ns或5tCK(更大)才能CKE激活。由于CKE是一个同步信号，相应的设置时间到时钟(tIS)必须满足。此外，在CKE激活之前，必须发送NOP或取消选择命令(使用tIS设置时

钟时间)。一旦CKE在Reset后发送“High”，CKE需要持续发送“High”，直到初始化序列完成，包括tDLLK和tZQinit过期。

4、DDR3 DRAM将保持其片上终端在高阻抗状态下，只要断言了RESET#。此外，DRAM在RESET#解除断言后，将其片上终端保持在高阻抗状态，直到CKE发送为HIGH。在CKE发送HIGH之前，ODT输入信号可能一直处于未定义状态，直到tIS。当CKE发送为HIGH时，ODT输入信号可以静态地保持在LOW或HIGH。如果RTT_NOM在MR1中启用，ODT输入信号必须静态保持LOW。在所有情况下，ODT输入信号保持静态，直到上电初始化序列完成，包括tDLLK和tZQinit到期。

5、CKE发送高后，等待复位CKE退出时间tXPR最小值，再发出第一个MRS命令加载模式寄存器。[$t_{XPR} = \max(t_{XS}, 5t_{CK})$]

6、发出MRS命令以加载带有所有应用程序设置的MR2。(要发出MR2的MRS命令，向BA0和BA2提供“Low”，向BA1提供“High”)

7、发出MRS命令以加载带有所有应用程序设置的MR3。(为MR3发出MRS指令，向BA2提供“Low”，向BA0和BA1提供“High”)

8、发出MRS命令以加载MR1并启用所有应用程序设置和DLL。(要发出“DLL Enable”命令，将“Low”提供给A0，将“High”提供给BA0，将“Low”提供给BA1和BA2)

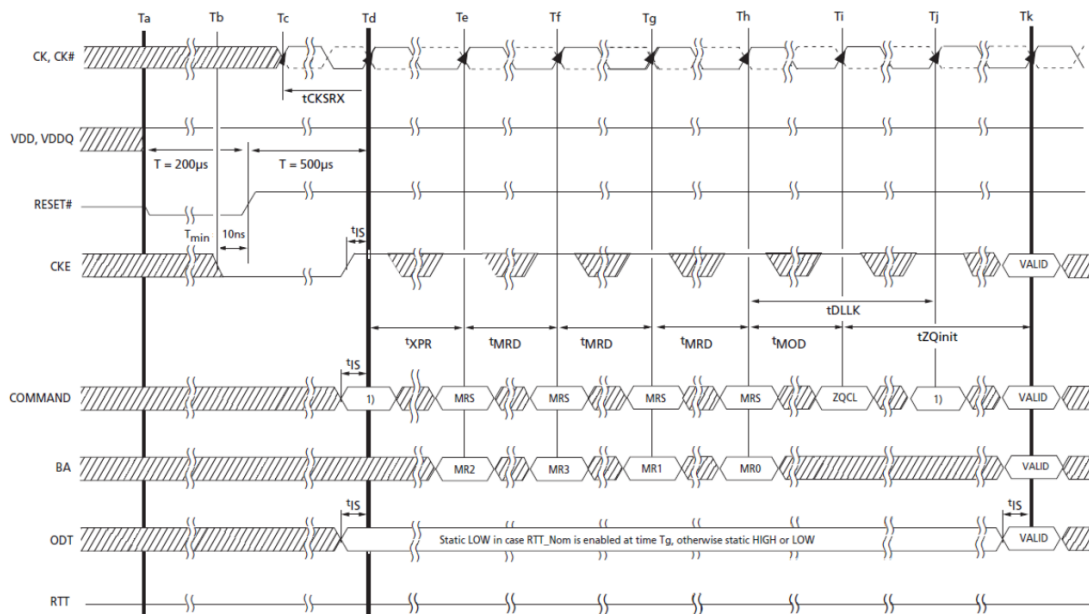
9、发出MRS命令加载MR0与所有应用程序设置和“DLL重置”。(要发出DLL复位命令，将“High”提供给A8，将“Low”提供给BA0-BA2)

10、发出ZQCL命令，启动ZQ校准。

11、等待tDLLK和tZQinit完成。

12、DDR3(L) SDRAM现在可以正常工作了

7.2.2.2 上电斜坡时的复位和初始化顺序



NOTE 1. From time point "Td" until "Tk" NOP or DES commands must be applied between MRS and ZQCL commands.

TIME BREAK DON'T CARE

图 7-1 上电斜坡时的复位和初始化顺序

7.2.2.3 在稳定电源下的复位程序

在无电源中断初始化时RESET需要以下顺序。

- 1、当需要复位时，断言RESET低于 $0.2 \times VDD$ (所有其他输入可能未定义)。RESET需要保持至少100ns。在RESET解除断言之前(min. time 10ns)，CKE被拉到“Low”。
- 2、按照开机初始化顺序步骤2至步骤11进行操作。
- 3、重置序列现在完成。DDR3 SDRAM可以正常工作。

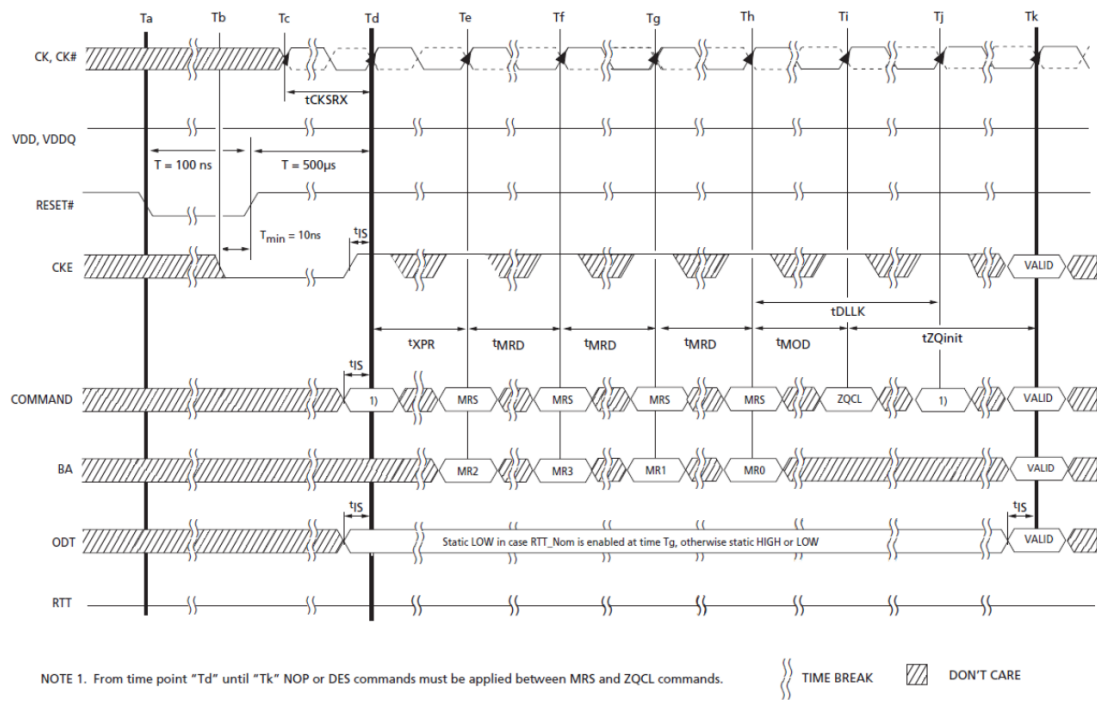


图 7-2 电源稳定状态下的复位程序

7.2.2.4 DDR3L 与 DDR3 之间 VDDQ/VDDQ 电压开关

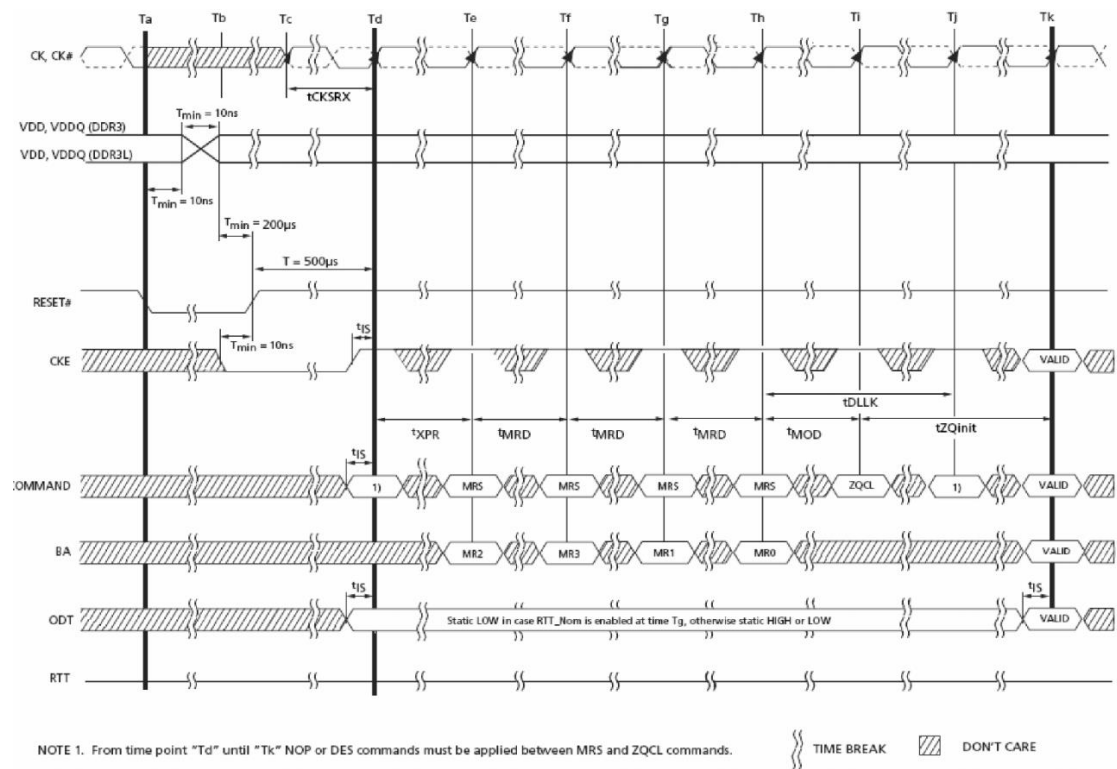


图 7-3 DDR3L 与 DDR3 之间 VDDQ/VDDQ 电压开关

7.2.3 地址分区

表 7-1 地址分区

配置	512Mb × 8	256Mb × 16
分区编号	8	8
分区地址	BA0-BA2	BA0-BA2
自充电	A10/AP	A10 /AP
行地址	A0-A15	A0-A14
列地址	A0-A9	A0-A9
BC 开关在运行	A12/BC#	A12/BC#
页面大小	1 kb	2 kb

tREFI	$T_c \leq 85^{\circ}\text{C}$:7.8 μs , $85^{\circ}\text{C} < T_c \leq 95^{\circ}\text{C}$:3.9 μs $95^{\circ}\text{C} < T_c \leq 125^{\circ}\text{C}$:1.95 μs
tRFC	260ns

7.2.4 DDR3 SDRAM 命令描述和操作

表 7-2 命令真值表

Function	Symbol	CKE		CS#	RAS#	CAS#	WE#	BA [2:0]	A15-A13	A12	A10/AP	A[11,9:0]	Notes
		Prev. Cycle	Next Cycle										
Mode Register Set	MRS	H	H	L	L	L	L	BA	OP Code				
Refresh	REF	H	H	L	L	L	H	V	V	V	V	V	
Self Refresh Entry	SRE	H	L	L	L	L	H	V	V	V	V	V	7,9,12
Self Refresh Exit	SRX	L	H	H	X	X	X	X	X	X	X	X	7,8,9,12
		L	H	L	H	H	H	V	V	V	V	V	
Single Bank Precharge	PRE	H	H	L	L	H	L	BA	V	V	L	V	
Precharge all Banks	PREA	H	H	L	L	H	L	V	V	V	H	V	
Bank Activate	ACT	H	H	L	L	H	H	BA	Row Address (RA)				
Write (Fixed BL8 or BC4)	WR	H	H	L	H	L	L	BA	RFU	V	L	CA	
Write (BC4, on the Fly)	WRS4	H	H	L	H	L	L	BA	RFU	L	L	CA	
Write (BL8, on the Fly)	WRS8	H	H	L	H	L	L	BA	RFU	H	L	CA	
Write with Auto Precharge	WRA	H	H	L	H	L	L	BA	RFU	V	H	CA	

Function	Symb ol	CKE		CS#	RA S#	CAS #	WE#	BA [2:0]	A1 5	A1 2	A1 0	A[11, 9:0]	Note s
(Fixed BL8 or BC4)													
Write with Auto Precharge (BC4, on the Fly)	WRAS 4	H	H	L	H	L	L	BA	RF U	L	H	CA	
Write with Auto Precharge (BL8, on the Fly)	WRAS 8	H	H	L	H	L	L	BA	RF U	H	H	CA	
Read (Fixed BL8 or BC4)	RD	H	H	L	H	L	H	BA	RF U	V	L	CA	
Read (BC4, on the Fly)	RDS4	H	H	L	H	L	H	BA	RF U	L	L	CA	
Read (BL8, on the Fly)	RDS8	H	H	L	H	L	H	BA	RF U	H	L	CA	
Read with Auto Precharge (Fixed BL8 or BC4)	RDA H		H	L	H	L	H	BA	RF U	V	H	CA	
Read with Auto Precharge (BC4, on the Fly)	RDAS 4	H	H	L	H	L	H	BA	RF U	L	H	CA	
Read with Auto Precharge (BL8, on the Fly)	RDAS 8	H	H	L	H	L	H	BA	RF U	H	H	CA	
No Operation	NOP	H	H	L	H	H	H	V	V	V	V	V	10
Device Deselected	DES	H	H	H	X	X	X	X	X	X	X	X	11
Power Down Entry	PDE	H	L	L	H	H	H	V	V	V	V	V	6,12
		H	L	H	X	X	X	X	X	X	X	X	
Power Down Exit	PDX	L	H	L	H	H	H	V	V	V	V	V	6,12
		L	H	H	X	X	X	X	X	X	X	X	
ZQ Calibration Long	ZQCL	H	H	L	H	H	L	X	X	X	H	X	

Function	Symbol	CKE		CS#	RAS#	CAS#	WE#	BA[2:0]	A15	A14	A13	A[11,9:0]	Notes
ZQ Calibration Short	ZQCS	H	H	L	H	H	L	X	X	X	L	X	

注 1：所有 DDR3 SDRAM 命令都由时钟上升沿的 CS、RAS、CAS、WE 和 CKE 状态定义。BA、RA 和 CA 的 MSB 依赖于设备密度和配置。

注 2：RESET 是低使能命令，仅用于异步复位，因此在任何功能期间必须保持高。

注 3：bank 地址(BA)决定在哪个 bank 进行操作。对于(E)，BA 选择一个(扩展)模式寄存器。

注 4：“V”表示“H 或 L(但定义的逻辑电平)”，“X”表示“定义或未定义(如浮动)逻辑电平”。

注 5：突发读写不能终止或中断，固定/动态 BL 将由 MRS. NOTE6 定义。关机模式不执行任何刷新操作。

注 6：ODT 的状态不影响该表中描述的状态。自刷新时，ODT 功能不可用。NOTE8。自刷新退出是异步的。

注 7：自刷新时需要维护 VREF (VrefDQ 和 VrefCA)。

注 8：当 DDR3 SDRAM 处于空闲或等待状态时，需要使用无操作命令。无操作命令(NOP)的目的是防止 DDR3 SDRAM 在操作之间发送任何不需要的命令。无操作命令不会终止一个仍在执行的先前操作，例如突发读或写周期。

注 9：取消选择命令的作用与无操作命令相同。

注 10：有关 CKE 转换的更多细节，请参阅 CKE 真值表。

7.2.5 CKE 真值表

表 7-3 CKE 真值表

Current State	CKE		Command (N) RAS#,CAS#,WE#,CS#	Action (N)	Notes
	Prev. Cycle (N-1)	Current Cycle (N)			
Power-Down	L	L	X	Maintain Power-Down	14,15
	L	H	DESELECT or NOP	Power-Down Exit	11,14
Self-Refresh	L	L	X	Maintain Self-Refresh	15,16
	L	H	DESELECT or NOP	Self-Refresh Exit	8,12,16

Bank(s) Active	H	L	DESELECT or NOP	Active Power-Down Entry	11,13,14
Reading	H	L	DESELECT or NOP	Power-Down Entry	11,13,14,17
Writing	H	L	DESELECT or NOP	Power-Down Entry	11,13,14,17
Precharging	H	L	DESELECT or NOP	Power-Down Entry	11,13,14,17
Refreshing	H	L	DESELECT or NOP	Precharge Power-Down Entry	11
All Banks Idle	H	L	DESELECT or NOP	Precharge Power-Down Entry	11,13,14,18
	H	L	REFRESH	Self-Refresh	9,13,18

注 1: CKE (N) 为时钟沿 N 处 CKE 的逻辑状态; CKE (N-1) 为 CKE 在前一个时钟边的状态。

注 2: 当前状态定义为时钟边 N 之前的 DDR3 SDRAM 的状态。

注 3: COMMAND (N) 是在时钟沿 N 处发送的命令, ACTION (N) 是 COMMAND (N) 的结果, ODT 不包括在这里。

注 4: 所有未显示的状态和顺序都是非法的或保留的, 除非在本文档的其他地方明确描述。

注 5: ODT 的状态不影响该表中描述的状态。自刷新时, ODT 功能不可用。

注 6: CKE 必须在 tCKEmin 连续正时钟沿上保持相同的值。在 tCKEmin 时钟所需的整个时间内, CKE 必须保持在有效输入电平。因此, 在任何 CKE 转换之后, CKE 在 tIS + tCKEmin + tIH 时间段内可能不会从其有效水平过渡。

注 7: DESELECT 和 NOP 在命令真值表中定义。

注 8: 在自刷新退出时, 必须对 tXS 期间发生的每个时钟沿发出 DESELECT 或 NOP 命令。只有在满足 tXSDLL 之后, 才能发出读取或 ODT 命令。

注 9: 自刷新模式只能从 “All Banks Idle” 状态进入。

注 10: 必须是命令真值表中定义的合法命令。

注 11: 有效的低功耗进入和退出命令只有 NOP 和 DESELECT。

注 12: 有效的自刷新退出命令只有 NOP 和 DESELECT。

注 13: “读” 和 “写” 操作中不能输入 “自刷新”。

注 14: 低功耗不做任何刷新操作。

注 15: “X” 表示自刷新和低功耗中的 “不关心” (包括在 VREF 周围浮动)。这也适用于 Address 引脚。

注 16: 自刷新过程中需要维护 VREF (Vref_DQ 和 Vref_CA)。

注 17: 如果在读、写或预充命令结束时所有 bank 都关闭, 则输入预充低功耗, 否则输入 Active 低功耗。

注 18: “空闲状态” 的定义是: 所有 bank 处于关闭状态 (满足 tRP、tDAL 等), 没有正在进行的数据突发, CKE 高, 并且满足先前操作的所有定时 (tMRD、tMOD、tRFC、tZQinit、tZQoper、tZQCS 等), 以及所有自刷新退出和 Power-Down 退出参数 (tXS、tXP、tXPDLL 等)。

No operation (NOP) 命令用于指示所选 DDR3 SDRAM 执行 NOP 操作 (如: CS#低、RAS#、CAS#、WE#高)。这样可

以防止不需要的命令在空闲或等待期间被发送。正在进行的操作不受影响。

7.2.6 取消选择命令

取消选择功能(CS HIGH)可以防止 DDR3 SDRAM 执行新的命令。DDR3 SDRAM 被有效取消选择。已经进行的操作不受影响。

7.2.7 DLL-关闭模式

将 MR1 位 A0 设为“1”，进入 DDR3 dII 关断模式;这将禁用 DLL 以进行后续操作，直到 A0 位被设置回“0”。DLL 控制的 MR1 A0 位可以在初始化期间或之后切换。

下面列出的 dII 关断模式操作是 DDR3 的可选功能。dII 关断模式的最高时钟频率由参数 tCKDLL_OFF 指定。除了需要满足刷新间隔(tREFI)之外，没有最低频率限制。

由于时延计数器和时间限制，MR0 只支持一个 CAS 时延(CL)值，MR2 只支持一个 CAS 写时延(CWL)值。dII 关断模式只需要同时支持 CL=6 和 CWL=6 的设置。

dII 关断模式会影响读数据时钟到数据选通信号关系(tDQSCK)，但不会影响数据选通信号到数据关系(tDQSQ, tQH)。需要特别注意的是，要将读取数据对齐到控制器时域。

与 DLL-on 模式相比，tDQSCK 在读取命令后从时钟上升沿(AL+CL)周期开始，dII 关断模式的 tDQSCK 在读取命令后从时钟上升沿(AL+CL-1)周期开始。另一个区别是，与 tCK 相比，tDQSCK 可能并不小(甚至可能大于 tCK)，tDQSCKmin 和 tDQSCKmax 之间的差异明显大于 DLL-on 模式。

DLL-off 模式 READ 操作的时序关系如下图所示(CL=6, BL=8)。

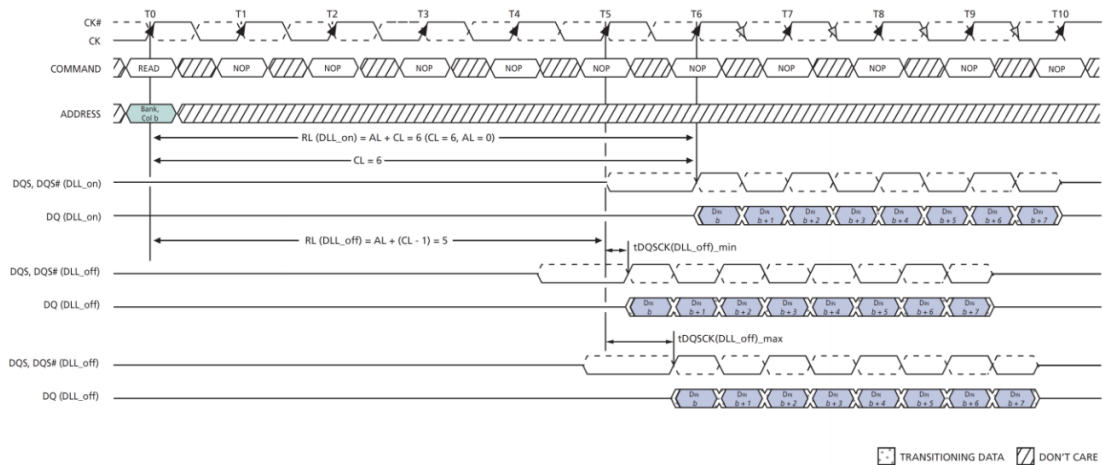


图 7-4 DLL-off 模式 READ 定时操作

注 1: 这里用 tDQSCK 表示 DQS,DQS#和 DQ 有简化图; DLL_off 将以同样的方式影响两个时序，并且有 DQ 和 DQS 之间的偏差，DQS#信号仍将是 tDQSQ。

7.2.8 DLL 开/关切换过程

将 MR1 位 A0 设为“1”，进入 DDR3 DLL-off 模式;这将禁用 DLL 以进行后续操作，直到 A0 位被设置回“0”。

7.2.9 DLL “开” 到 DLL “关” 过程

要从 DLL“打开”切换到 DLL“关闭”，需要在以下程序中概述的自刷新期间更改频率：

1. 从空闲状态开始(所有 bank 预充电，所有定时完成，并且 dram 片上终止电阻 RTT 必须在 MRS 到 MR1 之前处于高阻抗状态以禁用 DLL)。
2. 将 MR1 位 A0 设置为“1”以禁用 DLL。
3. 等待 tMOD。
4. 进入自刷新模式;等待，直到(tCKSRE)满意。
5. 改变频率，在指导中配合“输入时钟频率改变”一节。
6. 等待 DRAM 输入至少有一个稳定的时钟(tCKSRX)可用。
7. 从自刷新退出命令开始,CKE 必须连续发送 HIGH,直到满足任何 MRS 命令的所有 tMOD 计时。此外，当进入自刷新模式时，如果在模式寄存器中启用了任何 ODT 特性，则 ODT 信号必须连续地发送为 LOW，直到满足来自任何 MRS 命令的所有 tMOD 时序。当进入自刷新模式时，如果两个 ODT 特征都在模式寄存器中被禁用，则 ODT 信号可以发送为 LOW 或 HIGH。
8. 等待 tXS，然后用适当的值设置模式寄存器(特别是可能需要更新 CL、CWL 和 WR)。ZQCL 命令也可以在 tXS 之后发出。
9. 等待 tMOD，然后 DRAM 准备好接受下一个命令。

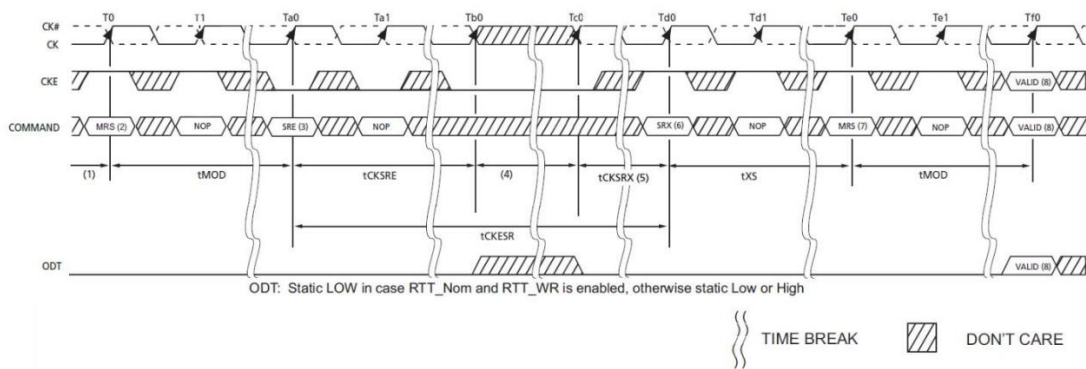


图 7-5 DLL 开关顺序从 DLL 开到 DLL-off

- 注 1: 从 IDLE 状态开始，RTT 在 HI-Z 状态。
- 注 2: 通过设置 MR1 bit0 A0 为 1 来禁用 DLL。
- 注 3: 进入 SR。
- 注 4: 改变频率。
- 注 5: 时钟必须稳定 tCKSRX。
- 注 6: 退出 SR。
- 注 7: 更新模式寄存器与 DLL 关闭参数设置。
- 注 8: 任何有效的命令。

7.2.10 DLL “关闭” 到 DLL “打开” 过程

在自刷新期间，从 DLL“关闭”切换到 DLL“打开”(需要更改频率):

1. 从空闲状态开始(所有 bank 预充电，所有时间完成，dram 片上终止电阻(RTT)必须在自刷新模式进入之前处于高阻抗状态)。
2. 进入自刷新模式，等待直到 tCKSRE 满意。
3. 更改频率，在指导中带“输入时钟频率更改”一节。
4. 等待直到 DRAM 输入至少(tCKSRX)有稳定可用。
5. 从自刷新退出命令开始，CKE 必须连续发送 HIGH，直到 tDLLK 时间从后续 DLL 重置命令得到满足。此外，当进入自刷新模式时，如果在模式寄存器中启用了任何 ODT 特性。ODT 信号必须连续地发送为 LOW，直到后续 DLL 重置命令的 tDLLK 时序得到满足。当进入自刷新模式时，如果在模式寄存器中禁用两个 ODT 特征，则可以将 ODT 信号发送为 LOW 或 HIGH。
6. 等待 tXS，然后将 MR1 Bit A0 设置为“0”，使能 DLL。
7. 等待 tMRD，然后将 MR0 位 A8 设置为“1”以启动 DLL 重置。
8. 等待 tMRD，然后用适当的值设置模式寄存器(特别是可能需要更新 CL、CWL 和 WR)。在 tMOD 满足任何正在进行的 MRS 命令之后，ZQCL 命令也可以在 tDLLK 期间或之后发出。
9. 等待 tMOD，然后 DRAM 为下一个命令做好准备(记住在 DLL 重置之后等待 tDLLK，然后再应用需要锁定 DLL 的命令!)。此外，如果发出了 ZQCL 命令，也要等待 tZQoper。

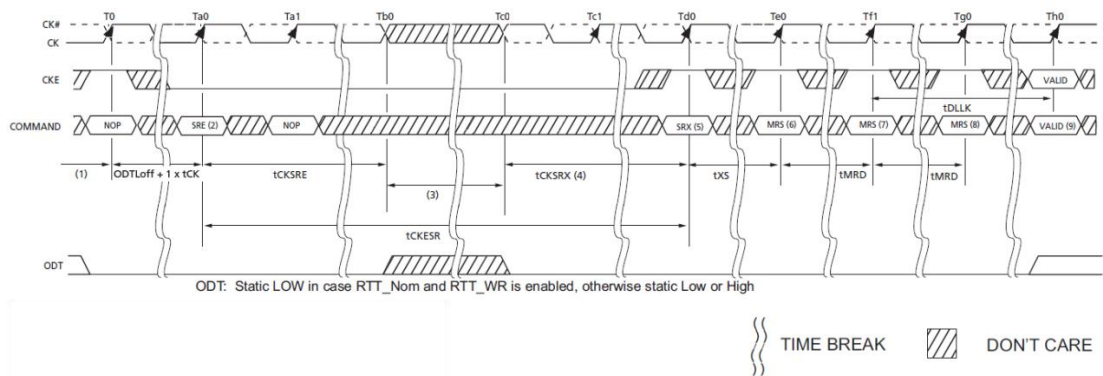


图 7-6 DLL 切换顺序从 DLL-off 到 DLL-on

- 注 1: 从 IDLE 状态开始。
- 注 2: 进入 SR。
- 注 3: 改变频率。
- 注 4: 时钟必须稳定 tCKSRX。
- 注 5: 退出 SR。
- 注 6: 通过 MR1 A0=0 设置 DLL 打开。
- 注 7: 更新模式寄存器。
- 注 8: 任何有效的命令。

7.2.11 输入时钟频率改变

一旦 DDR3 SDRAM 初始化，DDR3 SDRAM 要求时钟在几乎所有正常操作状态下都保持“稳定”。这意味

着一旦设置好时钟频率，并且要处于“稳定状态”，除了时钟抖动和 SSC(扩频时钟)规范允许的情况外，时钟周期不允许偏离。

输入时钟频率可以在两种情况下从一个稳定的时钟频率切换到另一个稳定的时钟频率:(1)自刷新模式和(2)预充电低功耗模式。在这两种模式之外，修改时钟频率是违法的。

对于第一种情况，一旦 DDR3 SDRAM 被成功地置于自刷新模式并且 t_{CKSRE} 已经满足，时钟的状态就变成了“不在乎”。一旦不关心，改变时钟频率是允许的，只要新的时钟频率在 t_{CKSRX} 之前是稳定的。当进入和退出自刷新模式时，唯一的目的是更改时钟频率。DDR3 SDRAM 输入时钟频率只允许在特定速度等级规定的最小和最大工作频率范围内改变。

第二种情况是 DDR3 SDRAM 处于预充 Power-Down 模式(快速退出模式或慢速退出模式)。如果 RTT_Nom 特性在进入预充低功耗模式之前在模式寄存器中启用，ODT 信号必须连续发送为 LOW，以确保 RTT 处于关闭状态。如果 RTT_Nom 功能在进入预充低功耗模式之前在模式寄存器中被禁用，RTT 将保持在关闭状态。在这种情况下，ODT 信号可以发送为 LOW 或 HIGH。在 CKE 转到 LOW 之后，时钟频率必须发生最小的 t_{CKSRE} 才可以改变。DDR3 SDRAM 输入时钟频率只允许在特定速度等级规定的最小和最大工作频率范围内改变。在输入时钟频率变化期间，ODT 和 CKE 必须保持在稳定的 LOW 电平。一旦输入时钟频率改变，在预充 Power Down 退出之前，必须向 DRAM t_{CKSRX} 提供稳定的新时钟;在预充 Power Down 退出并且 t_{XP} 已经过期后，DLL 必须通过 MRS 复位。根据新的时钟频率，可能需要发出额外的 MRS 命令来适当地设置 WR、CL 和 CWL，使 CKE 持续发送为高。在 DLL 重锁期间，ODT 必须保持 LOW，CKE 必须保持 HIGH。在 DLL 锁定时间之后，DRAM 准备以新的时钟频率工作。

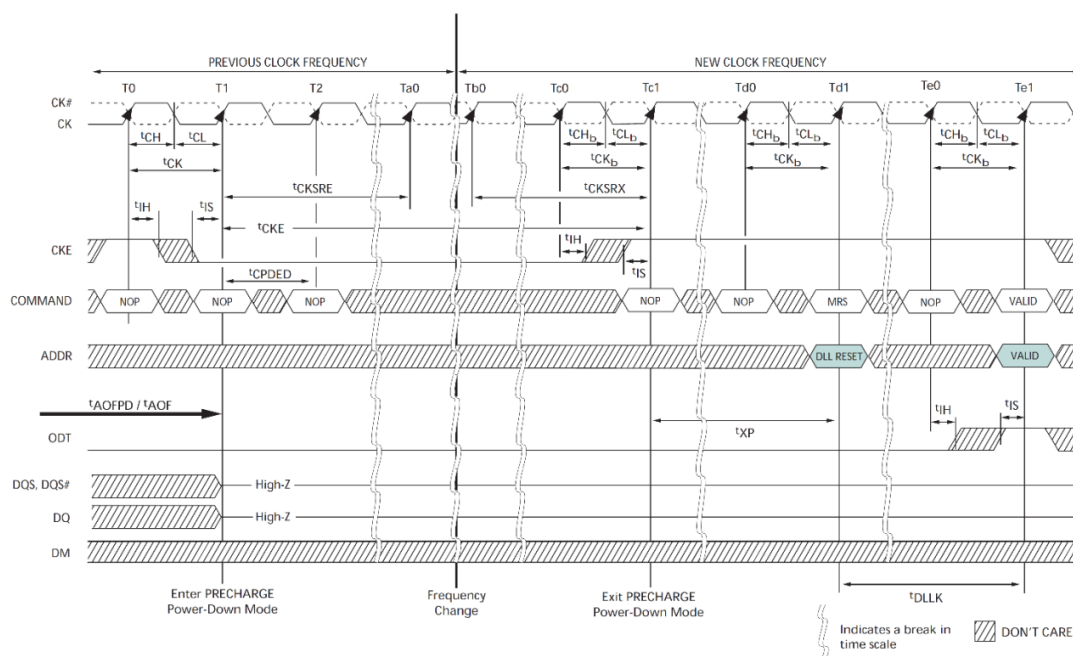


图 7-7 预充低功耗时改变频率

注 1: 适用于慢速 EXIT 和快速 EXIT 预充低功耗

注 2: t_{AOFPD} 和 t_{AOF} 必须满足，并在 T1 之前输出 High-Z;具体要求参见 ODT 定时部分

注 3: 如果 RTT_NOM 特性在进入预充低功耗模式之前在模式寄存器中启用，ODT 信号必须连续发送为

LOW，以确保 RTT 处于关闭状态。如果 RTT_NOM 特性在进入预充低功耗模式之前在模式寄存器中被禁用，RTT 将保持在关闭状态。在这种情况下，ODT 信号可以发送为 LOW 或 HIGH。

7.2.12 写水平

为了更好的信号完整性，DDR3 存储器采用按拓扑飞行的方式存储命令、地址、控制信号和时钟。逐行拓扑从减少存根数量和存根长度方面有好处，但在其他方面，会导致内存上每个 DRAM 的时钟和选通信号之间的飞行时间偏差。这使得控制器难以维护 tDQSS、tDSS 和 tDSH 规范。因此，控制器应该在 DDR3 SDRAM 中支持“写均衡”来补偿倾斜。

内存控制器可以使用“写均衡”功能和 DDR3 SDRAM 的反馈来调整

DQS - DQS# 与 CK - CK# 的关系。调平所涉及的内存控制器必须具有可调性

DQS - DQS 上的延迟设置，使 DQS - DQS# 的上升沿与 DRAM 引脚上的时钟的上升沿对齐。

DRAM 通过 DQ 总线异步反馈 DQS - DQS 上升沿采样的 CK - CK#。

控制器重复延迟 DQS - DQS#，直到检测到从 0 到 1 的过渡。通过此练习建立的 DQS - DQS 延迟将确保 tDQSS 规范。除 tDQSS 外，还需要满足 tDSS 和 tDSH 规范。实现这一目标的一种方法是将应用程序中的实际 tDQSS 与 DQS - DQS 信号上的适当占空比和抖动相结合。根据应用中的实际 tDQSS, tDQSL 和 tDQSH 的实际值可能必须优于“交流时序参数”一节中提供的绝对限值，以满足 tDSS 和 tDSH 规范。该方案的时序概念图如下图所示。

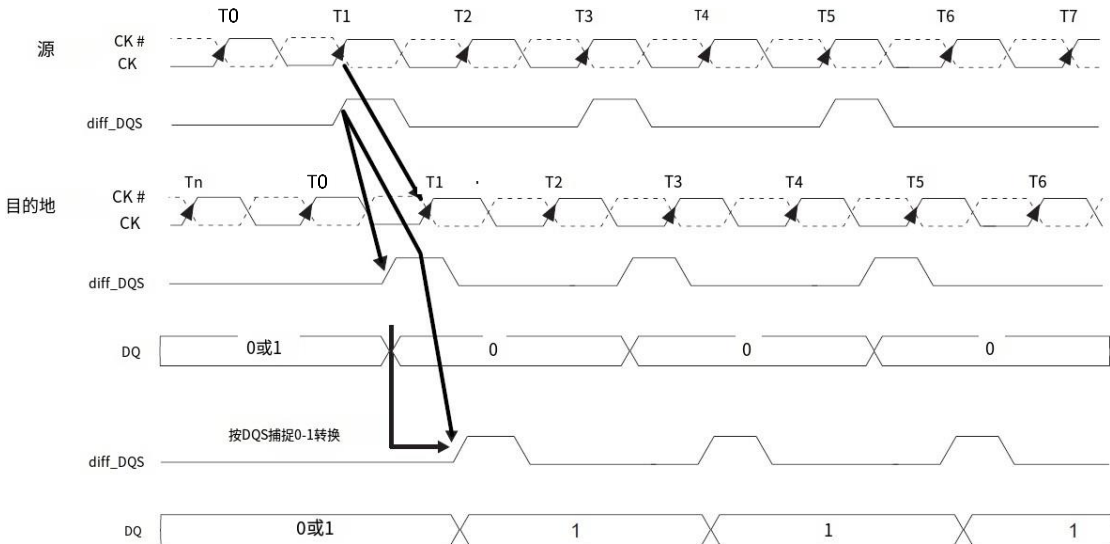


图 7-8 写平准概念

调平模式时由控制器驱动 DQS, DQS# 必须由 DRAM 根据填充的秩来确定。同样，由 DRAM 驱动的 DQ 总线也必须在控制器处终止。

一个或多个数据位应该跨 DRAM 配置 x8 将电平反馈传递到控制器。因此，应该能够为每个字节通道提供单独的反馈机制。较高的数据位应该提供较高 diff_DQS (diff_UDQS) 到时钟关系的反馈，而较低的数据位将指示较低的 diff_DQS (diff_LDQS) 到时钟关系。

7.2.13 在该模式中用于写均衡和 DRAM 终止功能的 DRAM 设置

MR1 中的 A7 设为“高”，DRAM 进入写调平模式，调平完成后，MR1 中的 A7 设为“低”，DRAM 退出写调平模式。注意，在写调平模式下，只有 DQS、DQS#终止被激活和去激活，而不是像正常操作一样通过 ODT 引脚。

7.2.14 MR 设置涉及调平过程

功能	MR1	启用	禁用
写均衡启用	A7	1	0
输出缓冲模式(Qoff)	A12	0	1

在调平模式下的 DRAM 终止功能

在 DRAM 的 ODT 引脚	DQS, DQS#终止	DQS 终止
De-asserted	关	关
Asserted	开	关

注 1:在写入均衡模式下，其输出缓冲区被禁用(MR1[bit7]=1, MR1[bit12]=1)，所有 RTT_Nom 设置都是允许的;在使能输出缓冲区的写均衡模式下(MR1[bit7]=1, MR1[bit12]=0)，只允许 RTT_Nom 设置 RZQ/2、RZQ/4 和 RZQ/6。

7.2.15 过程描述

内存控制器通过将 MR1 的第 7 位设置为 1 来启动所有 dram 的均衡模式。进入写调平模式后，DQ 引脚处于未定义驱动模式。在写调平模式下，只允许 NOP 或 Deselect 命令。以及 MRS 命令退出写均衡模式。由于控制器一次电平一个秩，因此必须通过将 MR1 位 A12 设置为 1 来禁用其他秩的输出。控制器可以在 tMOD (DRAM 准备好接受 ODT 信号的时间)之后断言 ODT。

在 tWLDQSEN 延迟后，控制器可能会将 DQS 驱动为低，(DQS)高，此时 DRAM 已对这些信号应用片上终止。经过 tDQSL 和 tWLMRD 控制器提供了一个单一的 DQS,(DQS)边缘

它被 DRAM 用来采样从控制器驱动的 CK - (CK)。tWLMRD(max)定时与控制器相关。

DRAM 以 DQS 上升沿采样 CK - (CK)状态，并在 tWLO 定时后异步反馈所有 DQ 位。定义了 tWLOE 的 DQ 输出不确定性，以允许 DQ 位不匹配;这些 DQs 不需要读选通信号(DQS, (DQS))。控制器采样传入 DQ 和

决定增加或减少 DQS -(DQS)延迟设置，并在一段时间后启动下一个 DQS, (DQS)脉冲，这取决于控制器。

一旦检测到 0 到 1 的转换，控制器锁定 DQS -(DQS)

对设备实现延时设置和写均衡。下图描述了整个 Write 调平过程的时序图和参数。

7.2.16 写均衡时序详细信息

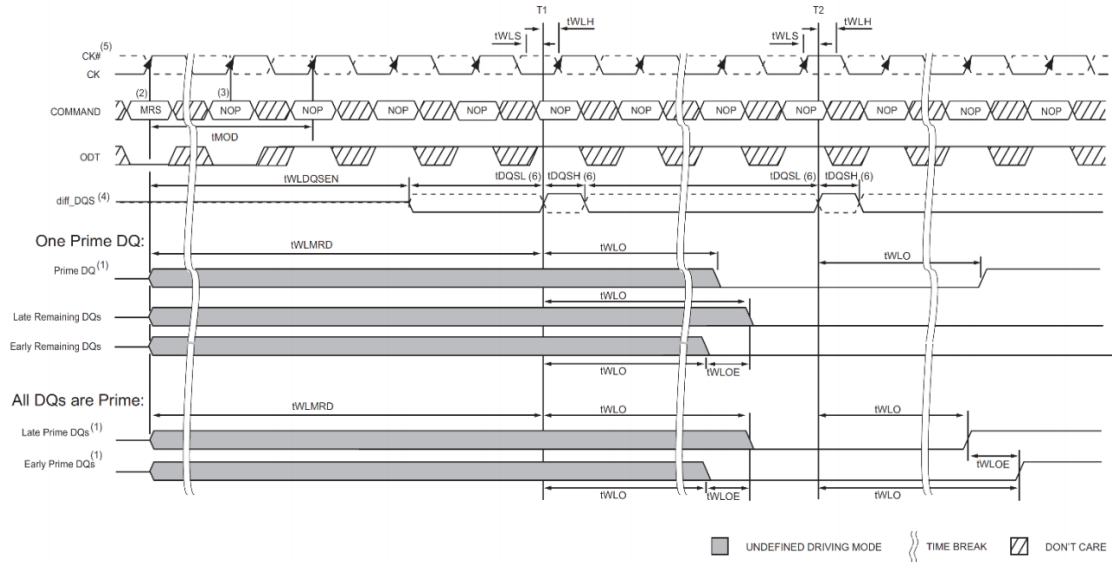


图 7-9 DQS-DQS#捕捉 CK-CK#在 T1 时低，CK-CK#在 T2 时高

注 1: DRAM 可以择在主要 DQ 或所有 DQ 上驱动电平反馈。如果只在一个 DQ 上驱动反馈，则其余 DQ 必须被驱动为低电平，如图所示，并在整个调平过程中保持在此状态。

注 2: MRS: 加载 MR1 进入写均衡模式。

注 3: NOP:NOP 或取消选择。

注 4: diff_DQS 是差分数据对齐 (DQS,DQS#)。定时参考点为过零点。DQS 用实线表示，DQS#用虚线表示。

注 5: CK,CK#: CK 用实线暗线表示，CK#用虚线表示。

注 6: DQS,DQS#: 需要满足常规写的最小脉冲宽度要求 tDQSH(min)和 tDQSL(min); 最大脉冲宽度则取决于系统。

7.2.17 写均衡模式退出

退出“写均衡模式”的顺序如下:

1. 在最后一个上升的选通信号边缘(见~T0)-之后，停止驱动选通信号信号(见~Tc0)。注意:从现在开始，DQ 引脚处于未定义驱动模式，并且将保持未定义状态，直到各自的 MR 命令(Te1) tMOD 之后。
2. 驱动 ODT 引脚低电平(tIS 必须满足)并保持低电平(见 Tb0)。
3. RTT 关断后，通过 MRS 命令禁用 Write Level Mode(见 Tc2)。
4. 在满足 tMOD (Te1)-之后，可以发送任何有效的命令。(MR 命令可在 tMRD (Td1)-之后发出。

7.2.18 写均衡退出时序详细信息

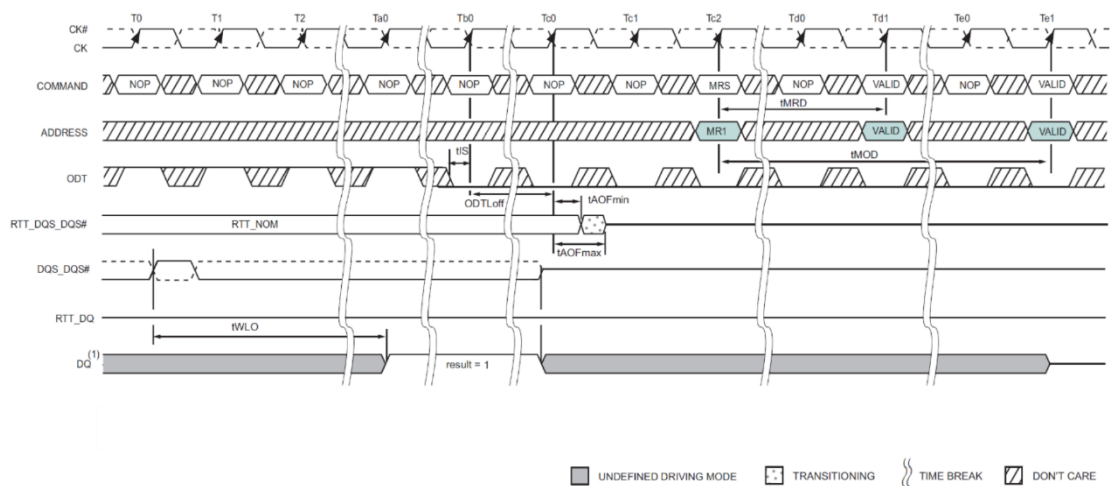


图 7-10 写均衡退出定时详细信息

7.2.19 扩展温度使用

DDR3 SDRAM 可选扩展温度范围 0°C~ +125°C, Tc。因此, SRT 和 ASR 选项必须最少使用。扩展温度范围的 DRAM 必须在机箱温度高于+85° C(且不超过+95° C)时以 2X(双刷新)外部刷新, 在温度高于+95° C(且不超过+125° C)时以 4X 刷新。外部刷新要求是通过将刷新周期从 64ms 减少到 32ms 或 16ms 来实现的。但是, 自刷新模式需要 ASR 或 SRT 来支持扩展温度。因此, ASR 或 SRT 必须在 Tc 高于+85° C 时启用, 或者在外壳温度等于或低于外壳温度之前不能使用自刷新+ 85° C。

7.2.20 模式寄存器描述

Field	Bits	描述
ASR	MR2 (A6)	自动自刷新(ASR) 启用后, DDR3 SDRAM 会自动为所有支持的工作温度值提供自刷新电源管理功能。如果不启用, SRT 位必须编程为在随后的自刷新操作期间指示 TOPER。 0 = Manual SR Reference (SRT) 1 = ASR enable
SRT	MR2 (A7)	自刷新温度(SRT)范围 如果 ASR = 0, 则必须将 SRT 位编程为在随后的自刷新操作中指示 TOPER。当 ASR = 1 时, “SRT 位”必须设置为 0。0 =正常工作温度范围 1 =扩展工作温度范围

7.2.20.1 自动自刷新模式-ASR 模式

DDR3 SDRAM 为应用提供了自动刷新模式(ASR)。设置 MR2 位 A6=1, MR2 位 A7=0, 使能 ASR 模式。DRAM 将在正常或扩展温度范围内管理自刷新条目。在这种模式下, 当 DRAM 工作温度发生变化时, DRAM 还将管理自刷新功耗, 在低温时降低, 在高温时升高。如果 DRAM 不支持 ASR 选项, 则 MR2 位 A6 必须设置为

0。如果 ASR 选项未启用(MR2 位 A6=0)，则 SRT 位(MR2 位 A7)必须手动编程为自刷新操作所需的工作温度范围。支持 ASR 选项并不自动意味着支持扩展温度范围。

7.2.20.2 自刷新温度范围-SRT

SRT 仅适用于支持扩展温度范围的设备。如果 ASR=0，则必须对自刷新温度(SRT)范围位进行编程，以保证正确的自刷新操作。如果 SRT=0，则 DRAM 将在正常温度范围内为自刷新操作设置适当的刷新率。如果 SRT=1，那么 DRAM 将设置一个适当的(可能不同的)刷新率，以允许在正常温度范围或扩展温度范围中进行自刷新操作。SRT 位的数值会影响自刷新功耗，具体请参考 IDD 表。

7.2.20.3 自刷新温度范围-SRT

MR2A[6]	MR2A[7]	自刷新操作	自刷新模式允许工作温度范围
0	0	适用于正常温度范围的自刷新速率	正常的
0	1	自刷新适用于正常温度范围。 DRAM 必须支持扩展温度范围。SRT 位的数值会影响自刷新功耗，具体请参考 IDD 表。	正常和扩展
1	0	使能 ASR(支持 ASR 和正常温度范围的设备)。自刷新功耗取决于温度。	正常的
1	0	使能 ASR(适用于支持 ASR 和扩展温度范围的设备)。自刷新功耗取决于温度。	正常和扩展
1	1	非法	

7.2.21 ACTIVE 命令

ACTIVE 命令用于打开(或激活)特定 bank 中的一行，以供后续访问。BA0-BA2 输入上的值选择 bank，A0-A14 输入上提供的地址选择行。这些行对访问保持活动(或打开)状态，直到向该 bank 发出预充电命令。PRECHARGE 命令必须在同一 bank 的另一行打开之前发出。

7.2.22 PRECHARGE 命令

PRECHARGE 命令用于取消指定 bank 的开放行或所有 bank 的开放行。在 PRECHARGE 命令发出后，bank (s)将在指定时间(tRP)可用于后续的行激活，但并发自动预充的情况除外，在这种情况下，只要不中断当前 bank 的数据传输并且不违反任何其他时间参数，就允许向另一个 bank 发送 READ 或 WRITE 命令。一旦 bank 被预充，它就处于空闲状态，必须在向该 bank 发出任何 READ 或 WRITE 命令之前激活它。如果该 bank (空

闲 bank)中没有开放行，或者先前打开的行已经在预充过程中，则允许 PRECHARGE 命令。然而，预充电期限将由最后一次向 bank 发出的 PRECHARGE 命令决定。

7.3 寄存器定义

7.3.1 模式寄存器 MR0

7.3.1.1 模式寄存器的编程

为了应用的灵活性，DDR3 SDRAM 提供了四个模式寄存器，作为用户定义的变量，可以对各种功能、特性和模式进行编程，并且必须通过模式寄存器集(MRS)命令对它们进行编程。由于模式寄存器(/MR)的默认值没有定义，模式寄存器的内容必须完全初始化和/或重新初始化，即在上电和/或复位后写入以正常操作。此外，模式寄存器的内容可以通过在正常操作期间重新执行 MRS 命令来改变。当编程模式寄存器时，即使用户选择只修改 MRS 字段的一个子集，当发出 MRS 命令时，访问模式寄存器内的所有地址字段都必须重新定义。MRS 命令和 DLL Reset 不影响数组内容，这意味着这些命令可以在上电后的任何时间执行，而不会影响数组内容。

模式寄存器设置命令周期时间，tMRD 是完成对模式寄存器的写操作所需的时间，是两个 MRS 命令之间所需的最小时间，如下所示。

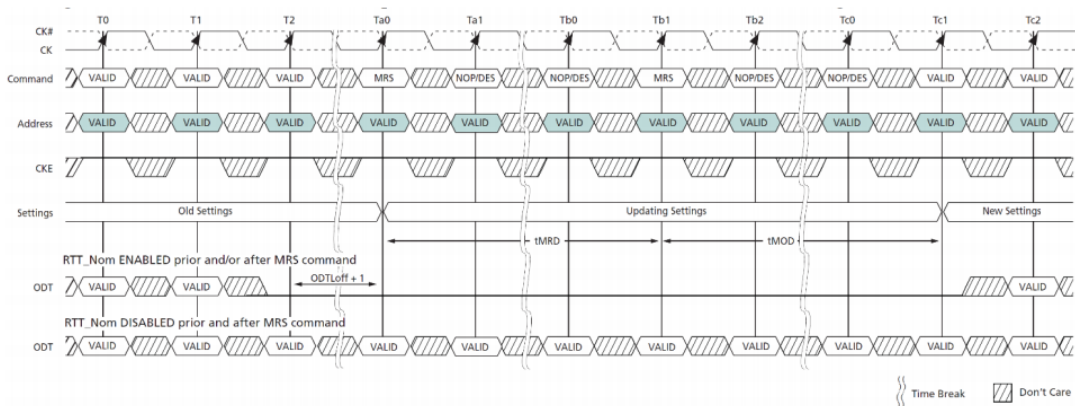


图 7-11 tMRD 时序

MRS 命令到非 MRS 命令延迟 tMOD，是 DRAM 更新除 DLL 重置外的特性所需的时间，是 MRS 命令到非 MRS 命令(不包括 NOP 和 DES)所需的最短时间，如下图所示。

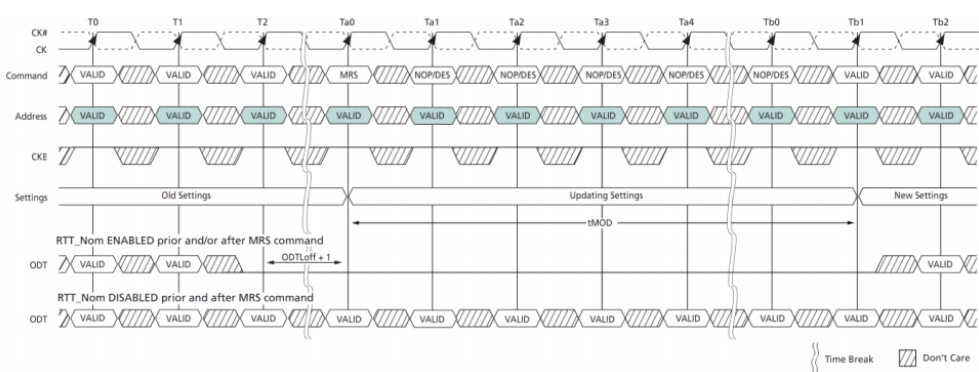


图 7-12 tMOD 定时

7.3.1.2 模式寄存器的编程（续）

在正常运行过程中，只要 DRAM 处于空闲状态，即在写入模式寄存器之前，所有的 bank 都处于满足 tRP 的预充状态，所有的数据突发都已完成，并且 CKE 很高，就可以使用相同的命令和时间要求来更改模式寄存器的内容。模式寄存器根据功能和/或模式划分为不同的字段。

7.3.1.3 寄存器 MR0

模式寄存器 MR0 存储用于控制 DDR3 SDRAM 的各种工作模式的数据。它控制突发长度、读取突发类型、CAS 延迟、测试模式、DLL 复位、WR 和预充电低功耗的 DLL 控制，其中包括各种供应商特定的选项，使 DDR3 SDRAM 对各种应用程序有用。的模式寄存器是由主张写低 CS#，RAS#，CAS#，WE#，BA0，BA1 和 BA2 而控制地址引脚状态如下图所示。

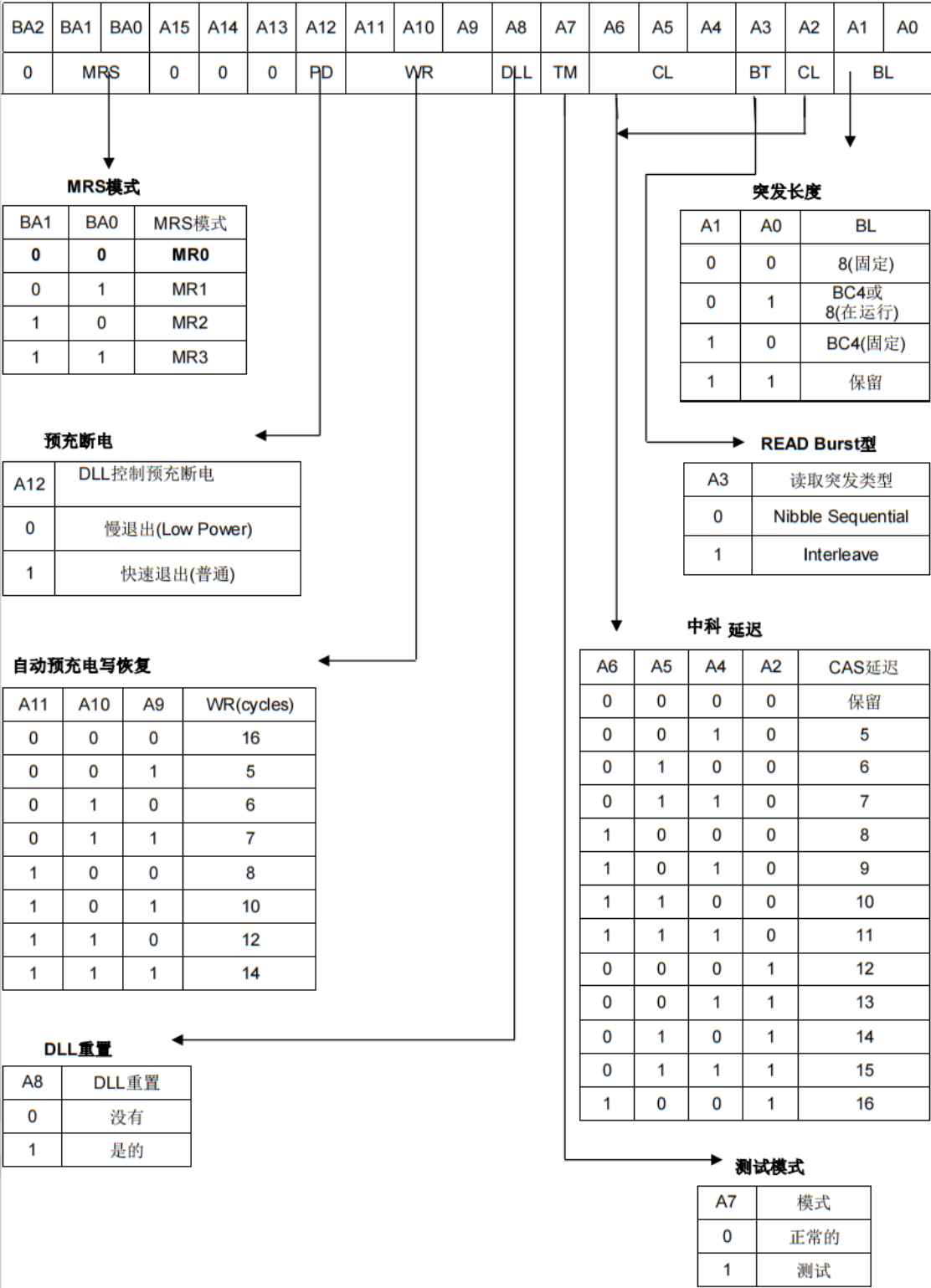


图 7-13 MR0 定义

注 1: BA2 和 A13~A15 是 RFU, 在 MRS 期间必须编程为 0。

注 2: WR(自动充电写恢复)min 在时钟周期内的计算方法是将 tWR(以 ns 为单位)除以 tCK(以 ns 为单位), 然后四舍五入到下一个整数:WRmin[cycles] = Roundup(tWR[ns] / tCK[ns])。模式寄存器中的 WR 值必须编程为等于或大于 WRmin。编程的 WR 值与 tRP 一起用于确定 tDAL。

注 3: 该表仅显示给定 Cas 延迟的编码。有关实际支持的 Cas 延迟, 请参阅每个频率的 speedbin 表。

注 4: 该表仅显示了 Write Recovery 的编码。实际的 Write recovery 计时请参考 AC 计时表。

7.3.1.4 突发长度 (BL), 类型和顺序 (BT)

在给定突发内的访问可被编程为顺序或交错顺序。如上图 MRO 定义中所示, 通过位 A3 选择突发类型。一个突发内的访问顺序由突发长度、突发类型和起始列地址决定。突发长度由位 A0-A1 定义。突发长度选项包括固定 BC4, 固定 BL8, 并允许 BC4 或 BL8 被选择与通过 A12/BC 的读或写命令的发送一致。

突发长度	阅读写	起始列地址 (A2,A1,A0)	突发类型:顺序(十进制) A3 = 0	突发类型:交错(十进制) A3 = 1	请注意
4 chop	读	(0, 0, 0)	0, 1, 2, 3, t, t, t, t	0、1、2、3、t、t、t、t	1、2、3
		(0, 0, 1)	1,2,3,0,t,t,t,t	1、0、3、2、t、t、t、t	
		(0,1,0)	2,3,0,1,t,t,t,t	2、3、0、1、t、t、t、t	
		(0, 1, 1)	3,0,1,2,t,t,t,t	3、2、1、0、t、t、t、t	
		(1,0,0)	4,5,6,7,t,t,t,t	4 5 6 7 t t t t	
		(1,0, - 1)	5,6,7,4,t,t,t,t	5、4、7、6、t、t、t、t	
		(1, - 1, 0)	6, 7, 4, 5, t, t, t, t	6, 7, 4, 5, t, t, t, t	
		(1, 1, 1)	7, 4, 5, 6, t, t, t, t	7、6、5、4、t、t、t、t	
	写	(0 V, V)	0,1,2,3,x,x,x,x	0、1、2、3、x、x、x、x x	1、2、4、5
		(1, V, V)	4 5 6 7 x x x x	4、5、6、7、x、x、x、x x	2
8	读	(0, 0, 0)	0,1, 2, 3, 4, 5, 6, 7	0、1、2、3、4、5、6、7	
		(0, 0, 1)	1,2,3,0,5,6,7,4	1、0、3、2、5、4、7、6	
		(0,1,0)	2、3、0、1、6、7、4、5	2,3,0,1,6,7,4,5	
		(0, 1, 1)	3,0,1,2,7,4,5,6	3,2,1,0,7,6,5,4	
		(1,0,0)	4、5、6、7、0、1、2、	4、5、6、7、0、1、2、	

突发长度	阅读写	起始列地址 (A2,A1,A0)	突发类型:顺序(十进制)A3 = 0	突发型:交错(十进制)A3 = 1	请注意
			3	3	
		(1,0, - 1)	5、 6、 7、 4、 1、 2、 3、 0	5、 4、 7、 6、 1、 0、 3、 2	
		(1, - 1, 0)	6,7,4,5,2,3,0,1	6、 7、 4、 5、 2、 3、 0、 1	
		(1, 1, 1)	7,4,5,6,3,0,1,2	7、 6、 5、 4、 3、 2、 1、 0	
	写	(V, V V)	0、 1、 2、 3、 4、 5、 6、 7	0,1,2,3,4,5,6,7	2、 4

注 1：如果 MR0 设置将突发长度固定为 4，则内部写操作比 BL8 模式早两个时钟周期开始。这意味着 tWR 和 tWTR 的起点将被两个时钟拉进来。在通过 A12/BC 实时选择突发长度的情况下，内部写操作在同一时间点开始，就像 8 个突发写操作一样。这意味着在动态控制期间，tWR 和 tWTR 的起点不会被两个时钟拉入。

注 2：0~7 位数字是 CA[2:0]的值，它使该位在突发期间成为第一个读取。

注 3：T:数据和选通信号器的输出驱动器是高阻抗的。

注 4：V:有效的逻辑电平(0 或 1)，但各自的缓冲输入忽略输入引脚上的电平。

注 5：X: 不重要。

7.3.1.5 CAS 延迟（CL）

CAS 延迟由 MR0(位 A9~A11)定义，如 MR0 定义图所示。CAS 延迟是以时钟周期为单位的内部 Read 命令和第一个输出数据位的可用性之间的延迟。DDR3 SDRAM 不支持任何半时钟延迟。总体读延迟(RL)定义为加性延迟(AL) + CAS 延迟(CL);RL = AL + CL。

7.3.1.6 测试模式（TM）

正常工作模式由 MR0 (bit7=0)选择,所有其他位设置为 MR0 定义图中所示的所需值。将 A7 位编程为“1”，将 DDR3 SDRAM 置于仅由 DRAM 制造商使用且不应使用的测试模式。如果 A7=1，则没有任何操作或功能得到保证。

7.3.1.7 DLL 重置（DLL）

DLL 重置位是自清除的，这意味着它在 DLL 重置功能发出后返回到'0'的值。一旦启用了 DLL，就应该应用后续的 DLL 重置。在使用 DLL 的功能(即 Read 命令或 ODT 同步操作)之前，必须满足 tDLLK。

7.3.1.8 写恢复 (WR)

可编程的 WR 值 MR0(A9、A10 和 A11 位)与 tRP 一起用于自动预充电功能，以确定时钟周期内的 tDAL WR(自动预充电的写恢复)min，通过 $tWR(ns)$ 除以 $tCK(ns)$ 并舍入到下一个整数来计算:WRmin[cycles] = Roundup($tWR[ns]/tCK[ns]$)。WR 必须被配置为等于或大于 tWR(最小)。

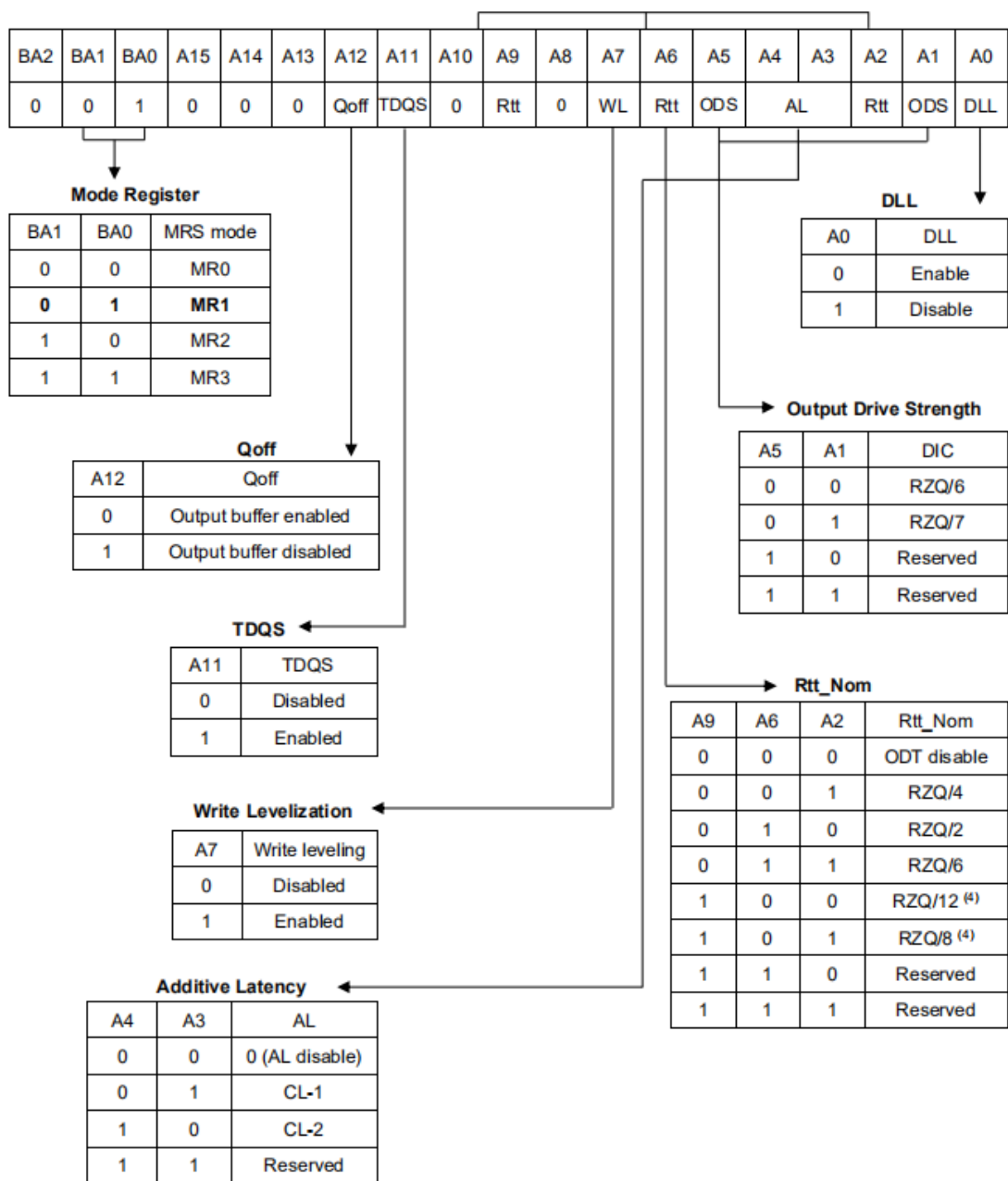
7.3.1.9 预充 PD DLL (PD)

MR0(位 A12)用于选择在预充低功耗模式下的 DLL 使用情况。当 MR0 (A12=0)或“慢退出”时，DLL 在进入预充电低功耗后被冻结(为了潜在的节能)，并且在退出时需要在下一个有效命令之前满足 tXPDLL。当 MR0 (A12=1)或“快速退出”时，DLL 在进入预充低功耗后保持，在退出低功耗时需要在下一个有效命令之前满足 tXP。

7.3.2 模式寄存器 MR1

模式寄存器 MR1 存储用于启用或禁用 DLL，输出强度，Rtt_Nom 阻抗，附加延迟，WRITE 均衡启用和 Qoff 的数据。模式寄存器 1 是通过在 CS、RAS、CAS 上断言低，在 BA0 上断言高，在 BA1 和 BA2 上断言低，同时根据下图控制地址引脚的状态来编写的。

7.3.2.1 MR1 定义



注 1: BA2 和 A8、A10、A13 ~ A15 为 RFU, MRS 时必须编程为 0。

注 2: 输出使能- DQs, DQSs, DQS#s,

注 3: RZQ = 240

注 4: 在 MR1[bit12]=1 的写均衡模式(MR1[bit7] =1)下，允许所有 RTT_Nom 设置;在 MR1[bit12]=0 的“写均衡模式(MR1[bit7] = 1)”中，只允许 RZQ/2、RZQ/4 和 RZQ/6 的 RTT_Nom 设置。

注 5: 如果在写过程中使用 RTT_Nom，则只允许使用 RZQ/2、RZQ/4 和 RZQ/6。

7.3.2.2 DLL 启用/禁用 (DLL)

正常操作必须启用 DLL。在上电初始化期间，以及在禁用 DLL 后恢复正常操作时，需要启用 DLL。正常运行(DLL-on)时，MR1 (A0=0)，DLL 在进入自刷新操作时自动禁用，在退出自刷新操作时自动重新启用。任何时候 DLL 被启用并随后被重置，在发出读取或同步 ODT 命令之前，必须发生 tDLLK 时钟周期，以允许内

部时钟与外部时钟同步。未能等待同步发生可能会导致违反 tDQSCK、tAON 或 tAOF 参数。在 tDLLK 期间，CKE 必须持续发送高电平。DDR3 SDRAM 不需要 DLL 进行任何写操作，除非 RTT_WR 被启用，并且 DLL 需要正确的 ODT 操作。有关在 dII 关断模式下禁用 DLL 操作的详细信息。

在 dII 关断模式下不支持直接 ODT 特性。在 dII 关断模式下，必须通过连续发送 ODT 引脚低电平和/或通过模式寄存器设置命令将 RTT_Nom 位 MR1{A9,A6,A2}编程为{0,0,0}来禁用片上终止电阻。

在 dII 关闭模式下不支持动态 ODT 特性。用户必须使用 MRS 命令设置 Rtt_WR, MR2 {A10, A9}={0,0}，对外禁用动态 ODT 功能。

7.3.2.3 输出驱动阻抗控制（ODS）

DDR3 SDRAM 器件的输出驱动阻抗由 MR1(位 A1 和位 A5)选择，如图 MR1 定义图所示。

7.3.2.4 ODT Rtt 值（Rtt）

DDR3 SDRAM 能够提供两种不同的终止值(Rtt_Nom 和 Rtt_WR)。标称终止值 Rtt_Nom 在 MR1 中可编程。一个单独的值(Rtt_WR)可以在 MR2 中可编程，以便在写入过程中启用 ODT 时启用唯一的 Rtt 值。即使禁用了 Rtt_Nom，也可以在写过程中应用 Rtt_WR 值。

7.3.2.5 附加延迟（AL）

支持附加延迟(AL)操作,使命令和数据总线在 DDR3 SDRAM 中高效地获得可持续带宽。在此操作中,DDR3 SDRAM 允许在活动命令之后立即发出读或写命令(带或不带自动预充)。在设备内部发出命令之前，该命令将保持附件延迟(AL)的时间。读延迟(RL)由 AL 和 CAS 延迟(CL)寄存器设置的总和控制。写延迟(WL)由 AL 和 CAS 写延迟(CWL)寄存器设置的总和控制。AL 寄存器选项的摘要如下表所示。

表 7-4 附件延迟(AL)设置

A4	A3	AL
0	0	0, (AL , disable)
0	1	CL-1
1	0	CL-2
1	1	预留

7.3.2.6 写水平

为了更好的信号完整性，DDR3 内存模块对命令、地址、控制信号和时钟采用 fly-by 拓扑(当支路布线长度非常短时的一种菊花链拓扑)。fly-by 拓扑的好处是减少了存根的数量和长度，但在其他方面，会导致内存上每个 DRAM 的时钟和选通信号之间的 flight 时间偏差。这使得控制器难以维持 tDQSS、tDSS 和 tDSH 规范。

因此，控制器应该支持 DDR3 SDRAM 中的“写均衡”来补偿倾斜。

7.3.2.7 输出禁用 (Qoff)

DDR3 SDRAM 输出可以通过 MR1 (bit12)使能/禁用，如 MR1 定义所示。当启用此功能(A12=1)时，所有输出引脚(DQS, DQS, DQS 等)都与设备断开连接，以消除输出驱动器的任何负载。例如，在测量模块功率时，此功能可能很有用。为了正常工作，A12 应设为“0”。

TDQS, TDQS#

TDQS(终止数据选通信号)是 x8 DDR3 SDRAM 的一个特性，它提供了额外的终止电阻输出，在某些系统配置中可能很有用。

当通过模式寄存器使能时，将相同的终止电阻功能应用于应用于 TDQS,TDQS#引脚的 DQS, DQS#引脚。

与 DDR2 SDRAM 的 RDQS 功能不同，TDQS 只提供终端电阻功能。TDQS 不提供 RDQS 的数据选通信号功能。

TDQS 和 DM 功能共用一个引脚。当通过模式寄存器使能 TDQS 功能时，不支持 DM 功能。不使能 TDQS 功能时，只提供 DM 功能，不使用 TDQS 引脚。

TDQS 功能仅在 x8 DDR3 SDRAM 中可用，对于 x16 配置，必须通过 MR1 中的模式寄存器 A11=0 禁用。

TDQS, TDQS#功能矩阵

MR1 (A11)	Dm / TDQS	Nu / TDQS
0 (TDQS 禁用)	DM	Hi-Z
1(启用 TDQS)	TDQS	TDQS#

注 1：使能 TDQS 后，DM 功能关闭。

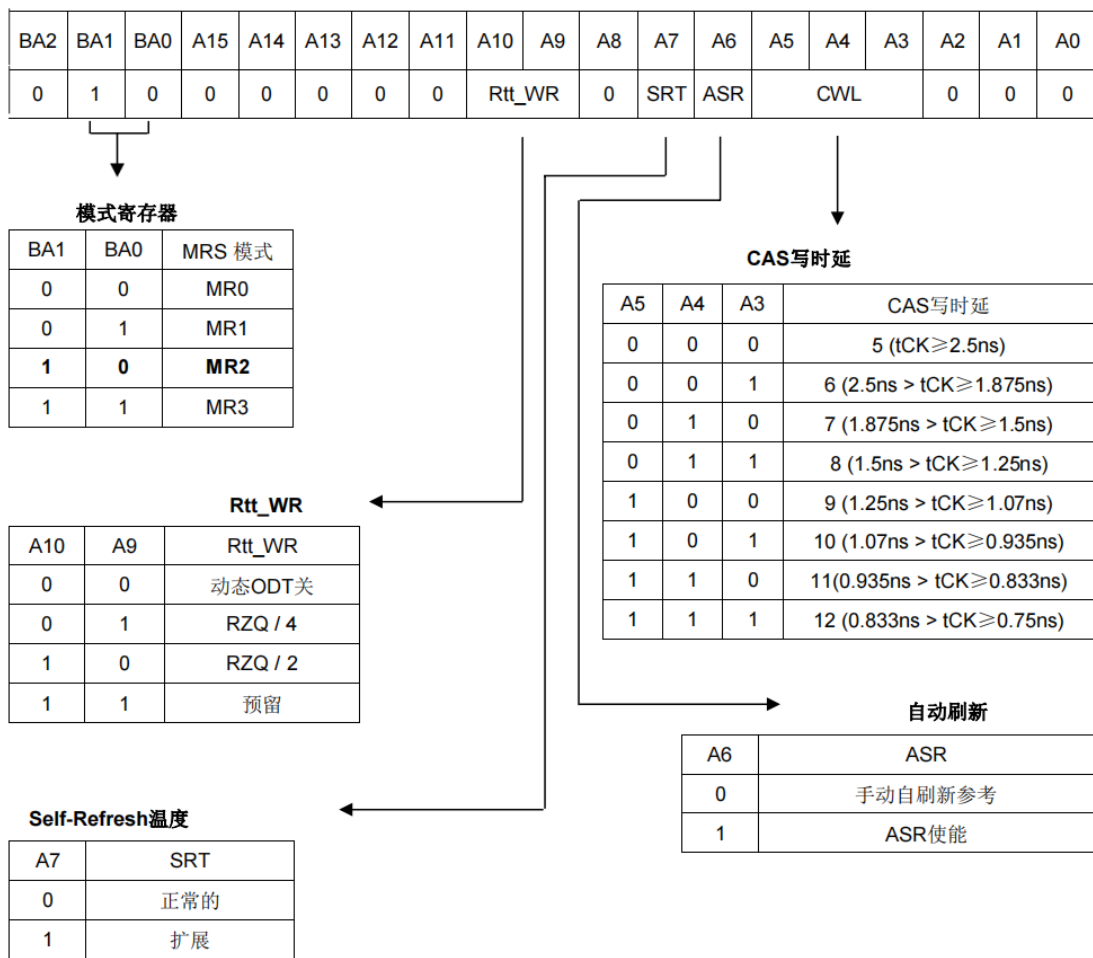
注 2：不使用时，可关闭 TDQS 功能，节省终端功耗。

注 3：TDQS 功能仅适用于 x8 的 DRAM，必须关闭 x16 的 DRAM。

7.3.3 模式寄存器 MR2

模式寄存器 MR2 存储用于控制刷新相关特征、Rtt_WR 阻抗和 CAS 写延迟的数据。模式寄存器 2 是通过断言 CS、RAS、CAS 为低，断言 BA1 为高，BA0 和 BA2 为低来编写的，同时根据下表控制地址引脚的状态。

7.3.3.1 MR2 定义



注 1: BA2、A5、A8、A11 ~ A13 为 RFU, MRS 时必须编程为 0。

注 2: 即使 Rtt_Nom 被禁用, Rtt_WR 值也可以在写过程中应用。在写均衡期间, 动态 ODT 不可用。

7.3.3.2 CAS 写时延 (CWL)

CAS 写延迟由 MR2 中显示的 MR2(位 A3-A5)定义。CAS 写延迟是以时钟周期为单位的内部写命令和第一个输入数据可用性之间的延迟。DDR3(L) DRAM 不支持半时钟延时。总体写延迟(WL)定义为加性延迟(AL) + CAS 写延迟(CWL); $WL = AL + CWL$ 。

7.3.3.3 自动自刷新 (ASR) 和自刷新温度 (SRT)

DDR3(L) SDRAM 必须在所有支持的温度下支持自刷新操作。需要在扩展温度范围内进行自刷新操作的应用必须使用 ASR 功能或对 SRT 位进行适当的编程。

DDR3(L) SDRAM 可选:用户应参阅 DRAM 供应商数据表和/或 DIMM SPD, 以确定 DDR3(L) SDRAM 设备是否支持本材料中提到的以下选项或要求。有关详细信息, 请参阅“扩展温度使用”。DDR3(L) dram 必须在所有支持的温度下支持自刷新操作。需要在扩展温度范围内进行自刷新操作的应用必须使用可选的 ASR 功能或对 SRT 位进行适当的编程。

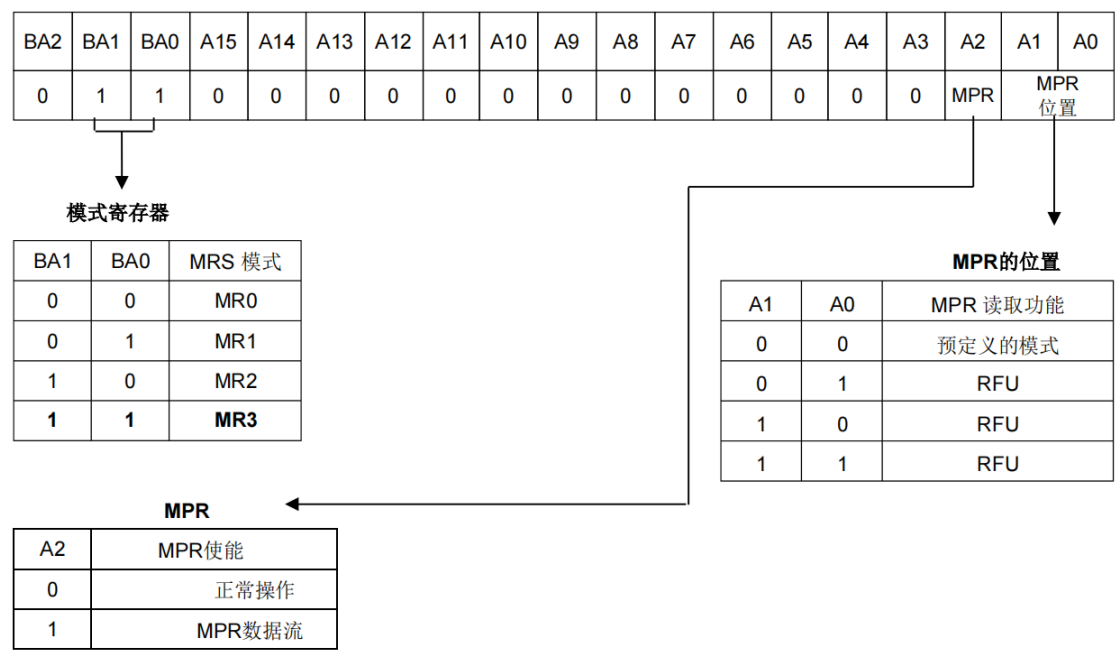
7.3.3.4 动态 ODT (Rtt_WR)

DDR3(L) SDRAM 引入了一个新特性“动态 ODT”。在某些应用情况下，为了进一步增强数据总线上的信号完整性，希望可以在不发出 MRS 命令的情况下改变 DDR3(L) SDRAM 的终止强度。MR2 寄存器位置 A9 和 A10 配置动态 ODT 设置。在 Write 调平模式下，只有 RTT_Nom 可用。有关动态 ODT 操作的详细信息，请参见“动态 ODT”。

7.3.4 模式寄存器 MR3

模式寄存器 MR3 控制多用途寄存器。模式寄存器 3 是通过判断低电平来写入的 $\overline{CS}$ ， $\overline{RAS}$ ， $\overline{CAS}$ ， $\overline{WE}$ ，在 BA1 和 BA0 上为高，并且在 BA2 上为低，同时根据下表控制地址引脚的状态。

7.3.4.1 MR3 定义

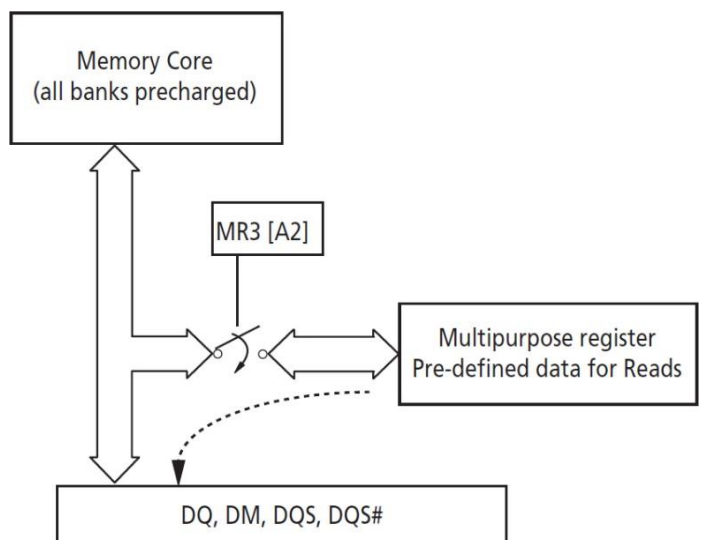


- 注 1: BA2, A3 - A15 是 RFU，在 MRS 期间必须编程为 0。
- 注 2: 将使用预定义的模式进行读同步。
- 注 3: 当 MPR 控制设置为正常运行时(MR3 A[2] = 0)，则忽略 MR3 A[1:0]。

7.3.4.2 多用途寄存器 (MPR)

多用途寄存器(MPR)功能用于读出预定义的系统时序校准位序列。为了使能 MPR，必须向 MR3 寄存器发出模式寄存器集(MRS)命令且 bitA2 = 1。在发出 MRS 命令之前，所有 bank 必须处于空闲状态(所有 bank 都预充电并满足 tRP)。一旦 MPR 被启用，任何后续的 RD 或 RDA 命令将被重定向到多用途寄存器。当 MPR 使能时，只允许 RD 或 RDA 命令，直到下一个 MRS 命令发出，MPR 被去使能(MR3 位 A2=0)。在 MPR 使能模式下，不允许低功耗模式、自刷新模式和任何其他非 rd /RDA 命令。MPR 使能模式下支持 RESET 功能。

多用途寄存器(MPR)功能用于读出预定义的系统时序校准位序列。



为了使能 MPR，必须向 MR3 寄存器发出 MODE 寄存器集(MRS)命令且 bitA2 = 1，如下表 1 所示。在发出 MRS 命令之前，所有分区必须处于空闲状态(所有分区都预充电并满足 tRP)。一旦 MPR 被启用，任何后续的 RD 或 RDA 命令将被重定向到多用途寄存器。当发出 RD 或 RDA 命令时，结果操作是在 MPR 使能时由 MR3 位 a[1:0]定义的。当 MPR 使能时，只有 RD 或 RDA 命令被允许，直到下一个 MRS 命令被发出，MPR 被禁用(MR3 位 A2 = 0)。注意，在 MPR 模式下，RDA 具有与 READ 命令相同的功能，这意味着 RDA 的自动预充电部分被忽略。在 MPR 使能模式下，不允许使用低功耗模式、自刷新模式和其他非 rd /RDA 命令。MPR 使能模式下支持 RESET 功能。

7.3.4.3 MPR MR3 寄存器定义

MR3A [2]	MR3A [1:0]	功能
MPR	MPR-Loc	
0 b	不重要(0b 或 1b)	正常运行，无 MPR 事务。 所有后续的读取都将来自 DRAM 阵列。所有后续写入将转到 DRAM 阵列。
1 b	使能 MPR 模式，以及 mr3a 定义的后续 RD/RDA 命令 [1:0]。	使能 MPR 模式，以及 mr3a 定义的后续 RD/RDA 命令 [1:0]。

MPR 功能描述

- 在读操作期间，通过所有 DQ 引脚的一个位宽逻辑接口。
- 发送读取在 x8 上。
- DQ[0]从 MPR 驱动信息。
- DQ[7:1]要么驱动与 DQ[0]相同的信息，要么驱动 0b。
- x16 上的 Register Read:

- DQL[0]和 DQU[0]从 MPR 驱动信息。
- DQL[7:1]和 DQU[7:1]要么驱动与 DQL[0]相同的信息，要么驱动 0b。
- 在读取所有 MPR 代理的多用途寄存器期间寻址:
- BA[2:0]:不用管
- A[1:0]: A[1:0]一定等于'00'b。nibble 中的数据读取爆发顺序是固定的
- A[2]:对于 BL=8, A[2]必须等于 0b, 爆发顺序固定为[0、1、2、3、4、5、6、7]。对于爆发斩 4 的情况, 爆发顺序在啃咬基数 A [2]=0b 上切换, 爆发顺序:0,1,2,3。A[2]=1b, 爆发顺序:4,5,6,7。
- A[9:3]:不用管
- A10/AP:不用管
- A12/BC:选择突发斩波模式, 如果在 MRO 内启用。
- A11、A13、A14...(如果有):不用管
- 寄存器读取期间的常规接口功能:
- 支持两个 Burst order, A2 和 A[1:0]=00b 切换。
- 支持读突发波折(通过 A12/BC 进行 MRS 和实时波折)
- 所有其他地址位(包括 A10 在内的剩余列地址位, 所有 bank 地址位)将被 DDR3 SDRAM 忽略。
- 常规读取延迟和交流计时适用。
- DLL 必须在 MPR 读取之前被锁定。

注 1:突发顺序位 0 分配给 LSB, 突发顺序位 7 分配给所选 MPR 代理的 MSB。

MR3A[2]	MR3 A (1:0)	功能	突发长度	读地址 A[2:0]	突发顺序和数据模式
1 b	00 b	读取系统校准的预定义模式	BL8	000 b	突发顺序 0,1,2,3,4,5,6,7 预定义数据模式 [0,1,0,1,1,0,1]
			BC4	000 b	Burst order 0、1、2、3 预定义数据模式[0,1,0,1]
			BC4	100 b	Burst order 4、5、6、7 预定义数据模式[0,1,0,1]
1 b	01 b	RFU	BL8	000 b	Burst order 0、1、2、3、4、5、6、7
			BC4	000 b	Burst order 0、1、2、3
			BC4	100 b	Burst order 4、5、6、7
1 b	10 b	RFU	BL8	000 b	Burst order 0、1、2、3、4、5、6、7

MR3A[2]	MR3 A (1:0)	功能	突发长度	读地址 A[2:0]	突发顺序和数据模式
			BC4	000 b	Burst order 0、1、2、3
			BC4	100 b	Burst order 4、5、6、7
1 b	11 b	RFU	BL8	000 b	Burst order 0、1、2、3、4、5、6、7
			BC4	000 b	Burst order 0、1、2、3
			BC4	100 b	Burst order 4、5、6、7

注 1:突发顺序位 0 分配给 LSB，突发顺序位 7 分配给所选 MPR 代理的 MSB。

8 应用建议

8.1 读操作

8.1.1 读突发操作

在 READ 或 WRITE 命令期间，DDR3 将在 READ 或 WRITE 期间使用地址 A12 动态支持 BC4 和 BL8(自动 PRECHARGE 可以启用或禁用)。

A12=0, BC4 (BC4 = burst chop, tCCD=4), A12=1, BL8

A12 将仅用于突发长度控制，而不是列地址。

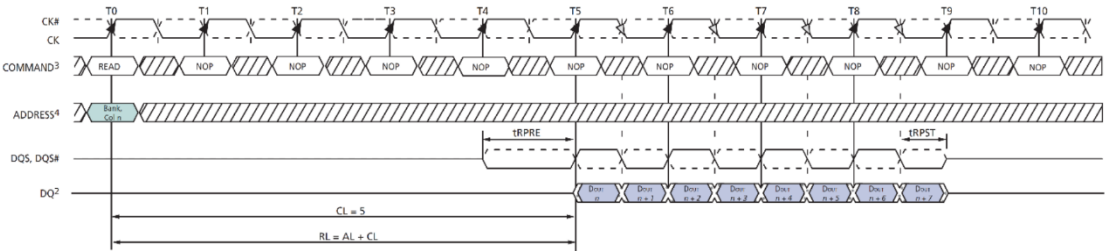


图 8-1 读取突发操作 RL=5 (AL=0, CL=5, BL=8)

- 注 1: BL8, RL=5,AL=0,CL=5。
- 注 2: Dout n=来自列 n 的数据输出。
- 注 3: 为了便于说明，显示了 NOP 命令；其他命令在这些时候可能是有效的。
- 注 4: 由 MR0[A1:0==00]或 MR0[A1:0==01]和 A12=1 激活的 BL8 设置。

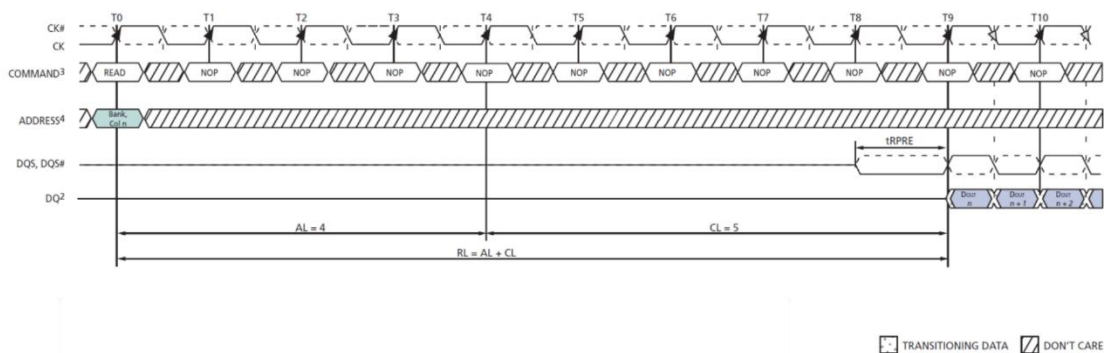


图 8-2 读突发操作 RL = 9 (AL=4, CL=5, BL=8)

- 注 1: BL8, RL=9,AL=(CL-1),CL=5。
- 注 2: Dout n=来自列 n 的数据输出。
- 注 3: 为了便于说明,显示了 NOP 命令;其他命令在这些时候可能是有效的。
- 注4: 由MR0[A1:0==00]或MR0[A1:0==01]和A12=1激活的BL8设置。

8.1.2 读时序定义

读定时如下图所示,在启用并锁定 DLL 时应用。数据选通信号上升边延参数:

- tDQSCK min/max 描述相对于 CK、CK 上升数据选通信号边的允许范围。
- tDQSCK 是一个上升的选通信号边相对于 CK,CK 的实际位置。
- tQSH 描述 DQS, DQS 差分输出高时间。
- tDQSQ 描述了相关 DQ 引脚的最新有效转换。
- tQH 描述了相关 DQ 引脚最早的无效转换。

数据选通信号下降边参数:

- tQSL 描述 DQS, DQS 差分输出低时间。
- tDQSQ 描述了相关 DQ 引脚的最新有效转换。
- tQH 描述了相关 DQ 引脚最早的无效转换。

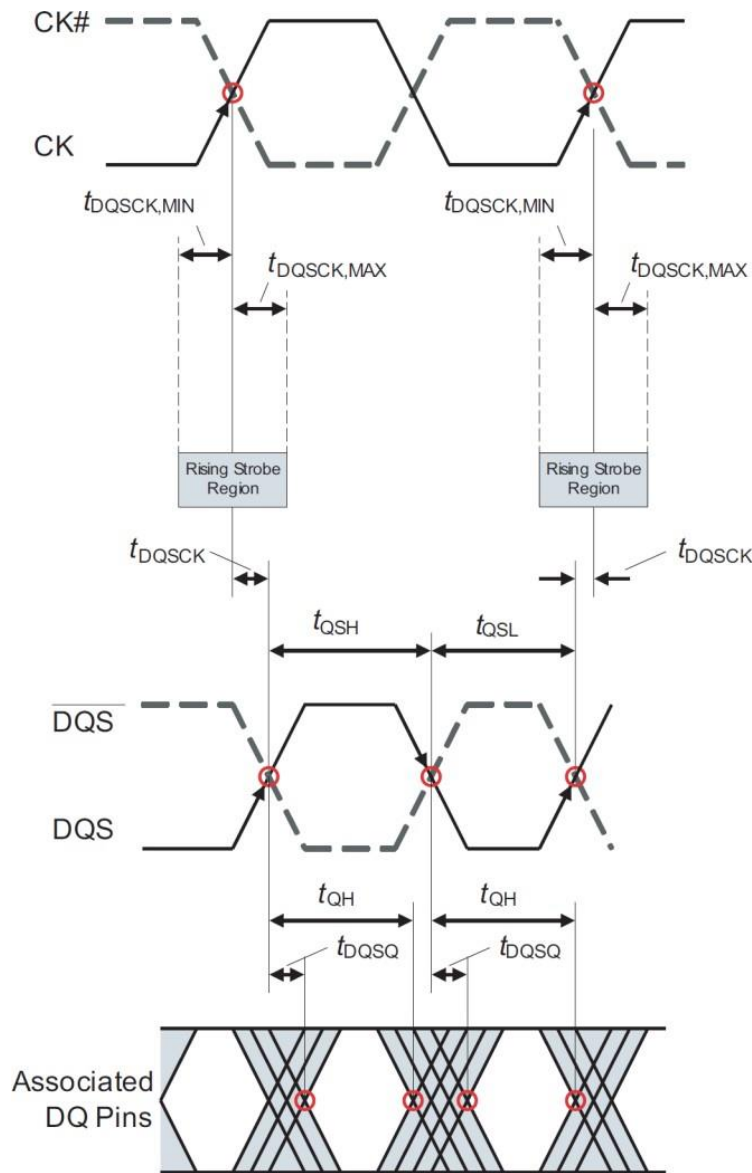


图 8-3 读时序定义

8.1.3 读时序，时钟与数据选通信号的关系

时钟与数据选通信号的关系如下图所示，在启用并锁定 DLL 时应用。

上升数据选通信号边缘参数:

- $t_{DQSCK\ min/max}$ 描述相对于 CK 和 CK 上升数据选通信号边的允许范围。
- t_{DQSCK} 是一个上升的选通信号边相对于 CK 和 CK 的实际位置。
- t_{QSH} 描述了数据选通信号高脉宽。

下降数据选通信号边参数:

- t_{QSL} 描述了数据选通信号低脉冲宽度。

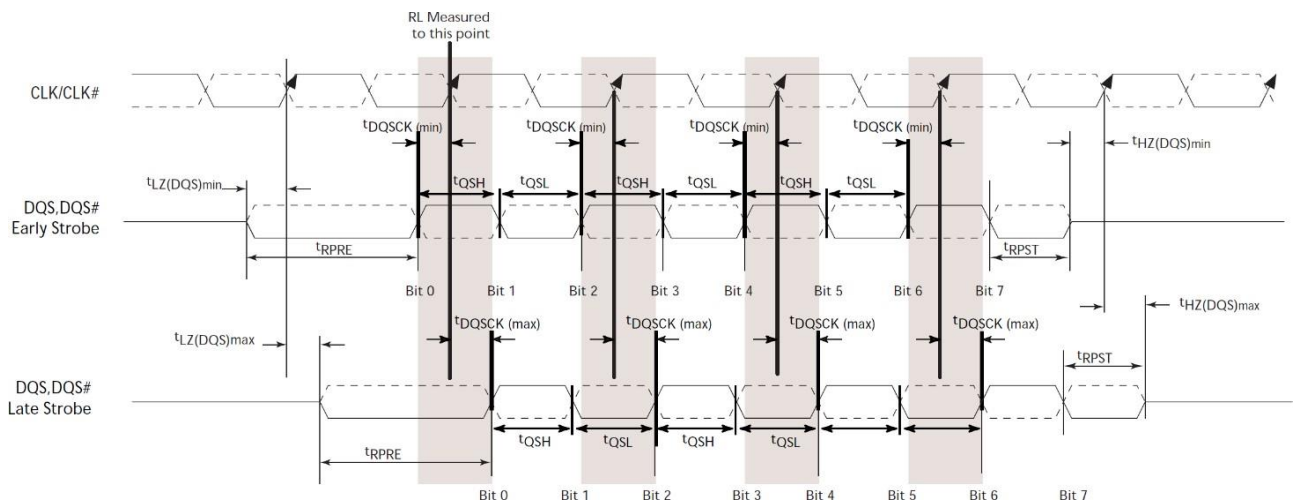


图 8-4 时钟与数据选通信号的关系

- 注 1: 在突发中, 上升的选通信号边缘不一定固定为总是在 $t_{DQSQ}(\text{最小})$ 或 $t_{DQSQ}(\text{最大})$ 。相反, 上升选通信号边可以在 $t_{DQSQ}(\text{最小})$ 和 $t_{DQSQ}(\text{最大})$ 之间变化。
- 注 2: DQS, DQS 差分输出高时间由 t_{QSH} 定义, DQS, DSQS 差分输出低时间由 t_{QSL} 定义。
- 注 3: 同样, $t_{LZ}(\text{DQS})\text{min}$ 和 $t_{HZ}(\text{DQS})\text{min}$ 与 $t_{DQSQ}\text{min}$ (早期选通信号情况)无关, $t_{LZ}(\text{DQS})\text{max}$ 和 $t_{HZ}(\text{DQS})\text{max}$ 与 $t_{DQSQ}\text{max}$ (后期选通信号情况)无关。
- 注 4: 读序的最小脉宽由 $t_{RPRE}(\text{min})$ 定义。
- 注 5: 最大读 postamble 由左侧的 $t_{DQSQ}(\text{min}) + t_{QSH}(\text{min})$ 和右侧的 $t_{HZ}(\text{DQS})\text{max}$ 绑定。
- 注 6: 读 postamble 的最小脉宽由 $t_{RPST}(\text{min})$ 定义。
- 注 7: 最大读时序由左边的 $t_{LZ}(\text{DQS})\text{min}$ 和右边的 $t_{DQSQ}(\text{max})$ 绑定。

8.1.4 读时序, 数据选通信号到数据的关系

数据选通信号到数据的关系如下图所示, 在 DLL 被启用和锁定时应用。

上升数据选通信号边参数:

- t_{DQSQ} 描述了相关 DQ 引脚的最新有效转换。
- t_{QH} 描述了相关 DQ 引脚最早的无效转换。

下降数据选通信号边参数:

- t_{DQSQ} 描述了相关 DQ 引脚的最新有效转换。
- t_{QH} 描述了相关 DQ 引脚最早的无效转换。
- $t_{DQSQ};\text{DQS}$ 的上升/下降边, 没有定义 t_{AC}

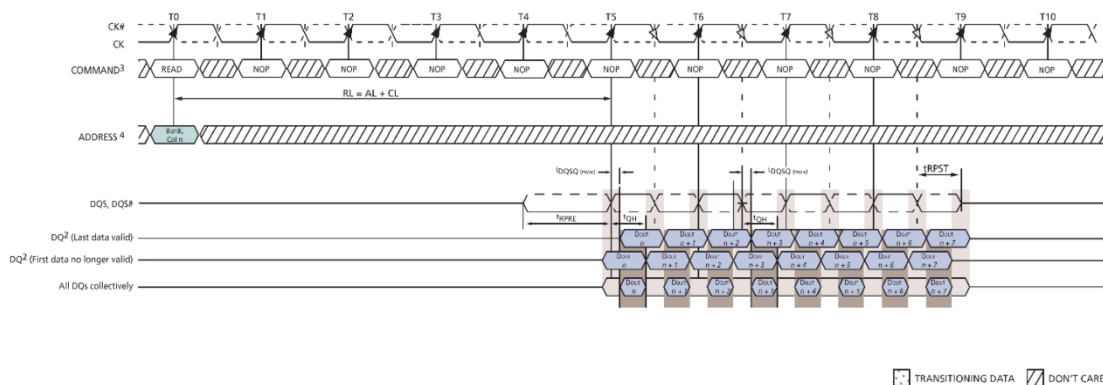


图 8-5 数据选通信号到数据的关系

注 1: BL8, RL=5,AL=0,CL=5。

注 2: Dout n=来自列 n 的数据输出。

注 3: 为了便于说明,显示了 NOP 命令;其他命令在这些时候可能是有效的。

注 4: 由 MR0[A1:0=00]或 MR0[A1:0=01]和 A12=1 激活的 BL8 设置。

注 5: 输出时序参考 VDDQ/2, 并开启 DLL 进行锁定。

注 6: tDQSQ 定义了 DQS、DQS#到 Data 之间的偏差,而没有定义 DQS、DQS#到 Clock 之间的偏差。

注 7: 早期数据转换可能并不总是发生在相同的 DQ。在一个突发中, DQ 的数据转换可以变化(或早或晚)。

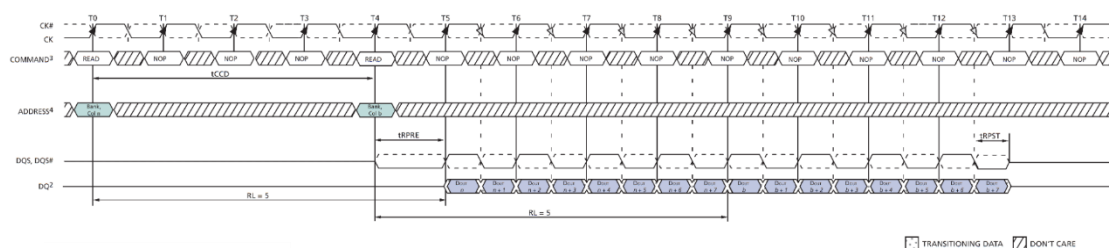


图 8-6 读 (BL8)到读 (BL8)

注 1: BL8, RL=5,AL=0,CL=5。

注 2: Dout n 或 b=来自列 n 或列 b 的数据输出。

注 3: 为了便于说明,显示了 NOP 命令;其他命令在这些时候可能是有效的。

注 4: 由 MR0[A1:0=00]或 MR0[A1:0=01]和 A12=1 在读命令期间在 T0 和 T4 时激活的 BL8 设置。

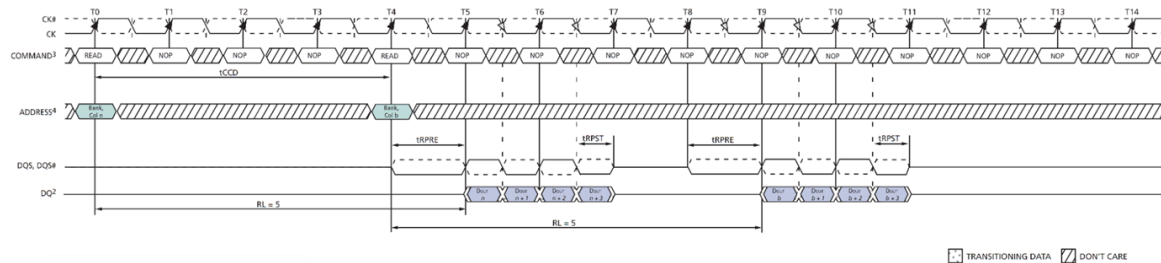


图 8-7 读 (BC4)到读 (BC4)

注 1: BC4, RL=5,AL=0,CL=5。

注 2: Dout n 或 b=来自列 n 或列 b 的数据输出。

注 3: 为了便于说明,显示了 NOP 命令;其他命令在这些时候可能是有效的。

注 4: 由 MR0[A1:0=10]或 MR0[A1:0=01]和 A12=0 在读命令期间在 T0 和 T4 时激活的 BC4 设置。

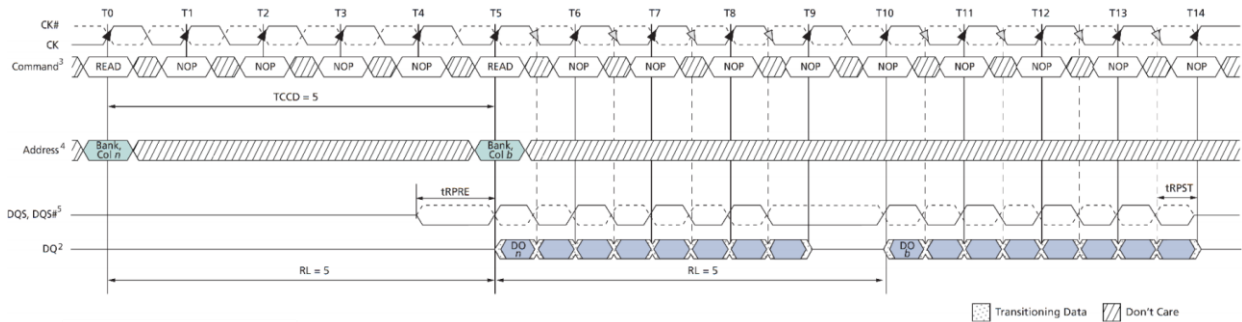


图 8-8 非连续读 (BL8)到读 (BL8)

- 注 1: BL8, RL=5,AL=0,CL=5,tCCD=5。
- 注 2: Dout n 或 b=来自列 n 或列 b 的数据输出。
- 注 3: 为了便于说明,显示了 NOP 命令; 其他命令在这些时候可能是有效的。
- 注 4: 由 MR0[A1:0=00]或 MR0[A1:0=01]和 A12=1 在读命令期间在 T0 和 T4 时激活的 BL8 设置。
- 注 5: DQS-DQS#保持在 T9 逻辑低。

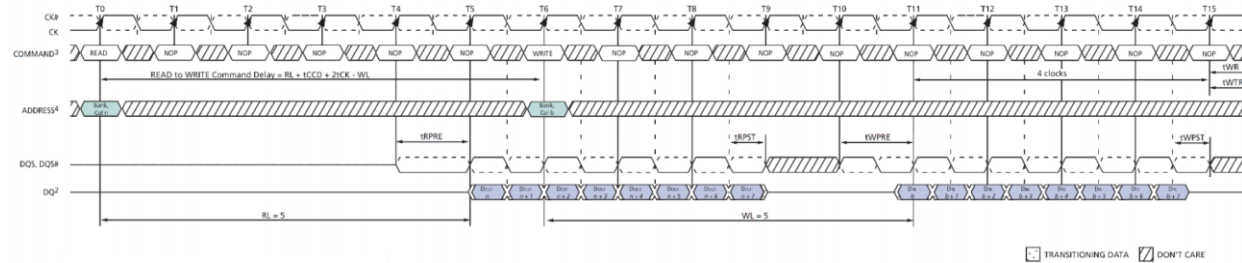


图 8-9 读(BL8)到写(BL8)

- 注 1: BL8, RL=5(AL=0,CL=5),WL=5(CWL=5,AL=0)。
- 注 2: Dout n =来自列 n 的数据输出, Din b=列 b 的数据输入。
- 注 3: 为了便于说明,显示了 NOP 命令; 其他命令在这些时候可能是有效的。
- 注 4: 由 MR0[A1:0=00]或 MR0[A1:0=01]和 A12=1 在读命令期间在 T0 和写命令期间 T6 时激活的 BL8 设置。

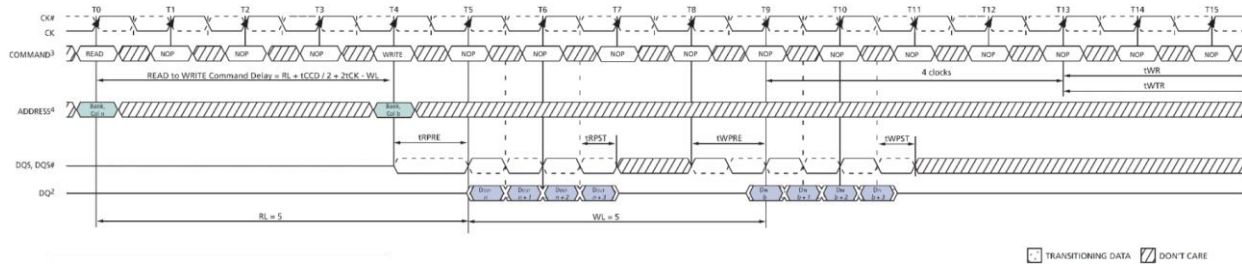


图 8-10 读 (BC4)到写 (BC4) OTF

- 注 1: BL8, RL=5(AL=0,CL=5),WL=5(CWL=5,AL=0)。
- 注 2: Dout n =来自列 n 的数据输出, Din b=列 b 的数据输入。
- 注 3: 为了便于说明,显示了 NOP 命令; 其他命令在这些时候可能是有效的。
- 注 4: 由 MR0[A1:0=00]或 MR0[A1:0=01]和 A12=1 在读命令期间在 T0 和写命令期间 T6 时激活的 BC4 设置。

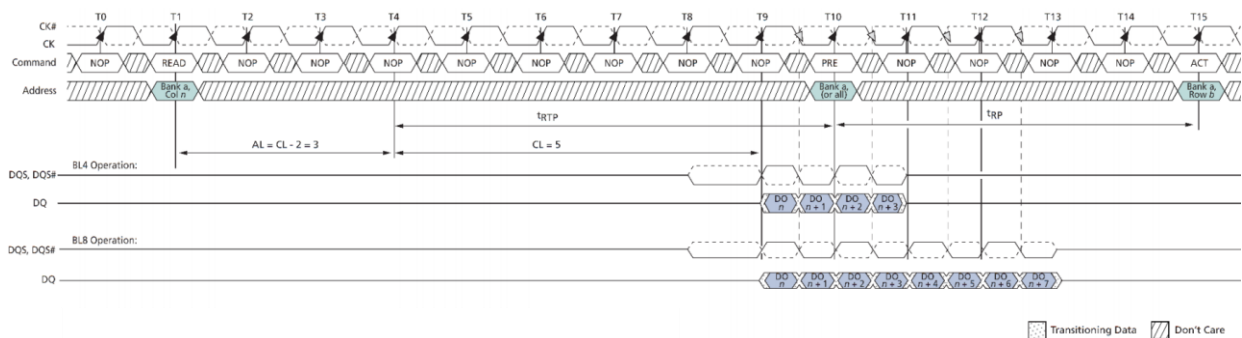


图 8-11 读到预充，RL = 8, AL = CL-2, CL = 5, tRTP = 6, tRP = 5

- 注 1: BL8, (AL=CL-2,CL=5)。
- 注 2: Dout n =来自列 n 的数据输出。
- 注 3: 为了便于说明，显示了 NOP 命令；其他命令在这些时候可能是有效的。
- 注 4: 本例假设为 tRAS.MIN,满足在预充命令时间（T10）和 tRC.MIN 满足下一个激活命令时间（T15）。

8.2 写操作

8.2.1 DDR3 突发操作

在 READ 或 WRITE 命令期间，DDR3 将在 READ 或 WRITE 期间使用地址 A12 动态支持 BC4 和 BL8(自动预充可以启用或禁用)。

A12=0, BC4 (BC4 = Burst Chop, tCCD=4) A12=1, BL8
A12 仅用于突发长度控制，而不是作为列地址。

8.2.2 写时许违例

通常，如果时间参数被违反，必须启动一个完整的重置/初始化过程，以确保 DRAM 正常工作。然而，对于某些轻微的违规，保证 DRAM 不会“挂起”并且错误仅限于该特定操作是可取的。

对于下面的内容，我们将假设写命令本身(包括 ODT 等)没有时间违规，并且它确实满足了下面没有提到的所有时间要求。

8.2.3 数据建立和保持时间违例

如果违反了与写突发相关的任何选通信号边的选通信号定时要求(tDS、tDH)，那么错误的数据可能会被写入由违规的 WRITE 寻址的内存位置。

随后从该位置读取可能会导致不可预测的读取数据，但是 DRAM 将正常工作。

8.2.4 选通信号到选通信号和选通信号到时钟违规

如果违反了与写突发相关的任何选通信号边的选通信号时序要求(tDQSH、tDQSL、tWPRE、tWPST)或选通信号到时钟时序要求(tDSS、tDSH、tDQSS)，则错误的数据可能会被写入由违规 WRITE 命令寻址的内存位置。随后从该位置读取可能会导致不可预测的读取数据，但是 DRAM 将正常工作。

8.2.5 写时序参数

例如，此图仅列举“属于”写入突发的选通信号边缘。这里没有显示实际的时序违规。对于一个有效的突发，需要满足突发每条边的所有时序参数(不仅仅是一条边-如图所示)。

8.2.6 写入时序定义

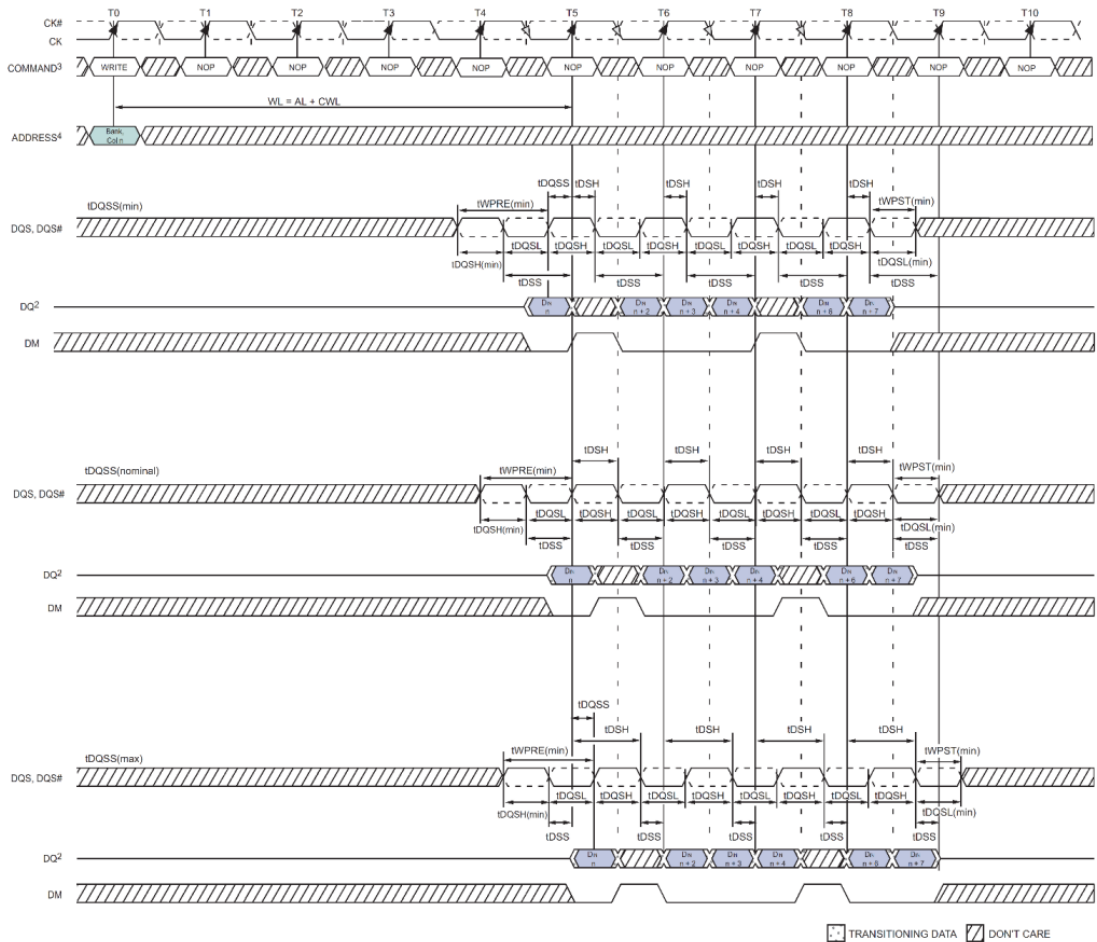


图 8-12 写时序定义

注 1: BL=8, WL=5 (AL=0,CWL=5)。

注 2: Din n= 来自列 n 的数据输入。

注 3: 为了便于说明，显示了 NOP 命令;其他命令在这些时候可能是有效的。

注 4: 在 T0 WRITE 命令时，由 MR0 [A1:0=00]或 MR0 [A1:0=01]和 A12 = 1 激活的 BL8 设置。

注 5: 在每个上升时钟沿必须满足 tDQSS。

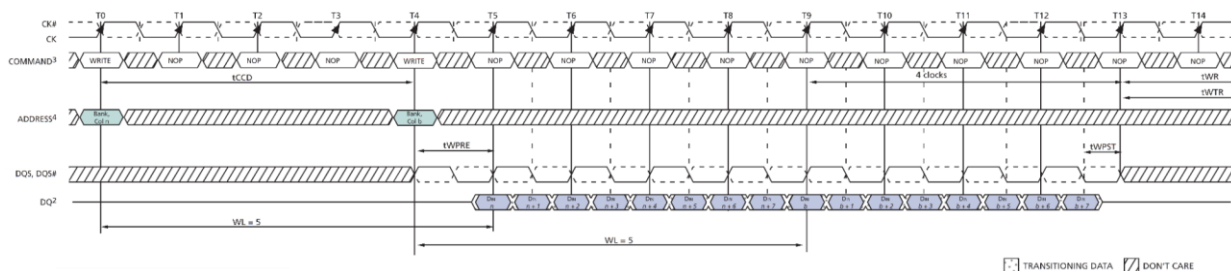


图 8-13 写 (BL8)到写 (BL8)

注 1: BL=8, WL=5 (AL=0,CWL=5)。

注 2: Din n 或 b = 来自列 n 或 b 列的数据输入。

注 3: 为了便于说明, 显示了 NOP 命令;其他命令在这些时候可能是有效的。

注 4: 在 WRITE 命令 T0 和 T4 时, 由 MR0 [A1:0=00]或 MR0 [A1:0=01]和 A12 = 1 激活的 BL8 设置。

注 5: 写恢复时间 (tWR) 和写时序参数 (tWTR) 是从 T13 显示的最后一次写数据之后的第一个上升时钟沿引用的。

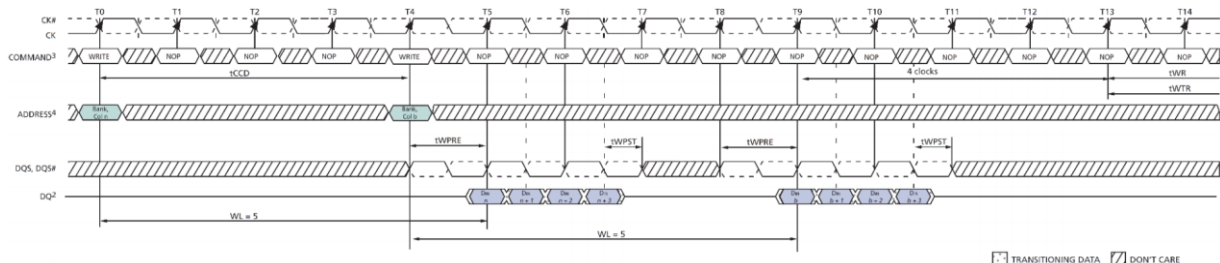


图 8-14 写 (BC4) 到写(BC4) OTF

注 1: BC4, WL=5 (AL=0,CWL=5)。

注 2: Din n 或 b = 来自列 n 或 b 列的数据输入。

注 3: 为了便于说明, 显示了 NOP 命令;其他命令在这些时候可能是有效的。

注 4: 在 WRITE 命令 T0 和 T4 期间时, 由 MR0 [A1:0=01]和 A12 = 0 激活的 BC4 设置。

注 5: 写恢复时间 (tWR) 和写时序参数 (tWTR) 是从 T13 的第一个上升时钟沿 (T9 的 4 个时钟) 引用的。

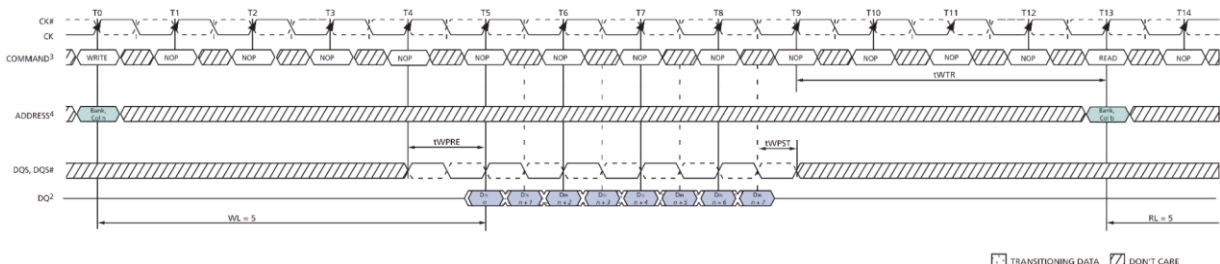


图 8-15 写 (BL8) 到读 (BC4/BL8) OTF

注 1: RL=5(CL=5,AL=0), WL=5 (AL=0,CWL=5)。

注 2: Din n = 来自列 n 的数据输入, Dout b = 来自列 b 的数据输出。

注 3: 为了便于说明, 显示了 NOP 命令;其他命令在这些时候可能是有效的。

注 4: 在 WRITE 命令 T0 期间时, 由 MR0 [A1:0=00]或 MR0 [A1:0=01]和 A12 = 1 激活的 BL8 设置。根据 MR0 [A1:0=01]和 T13 处的 A12 状态, T13 处的 READ 命令可能是 BC4 或 BL8。

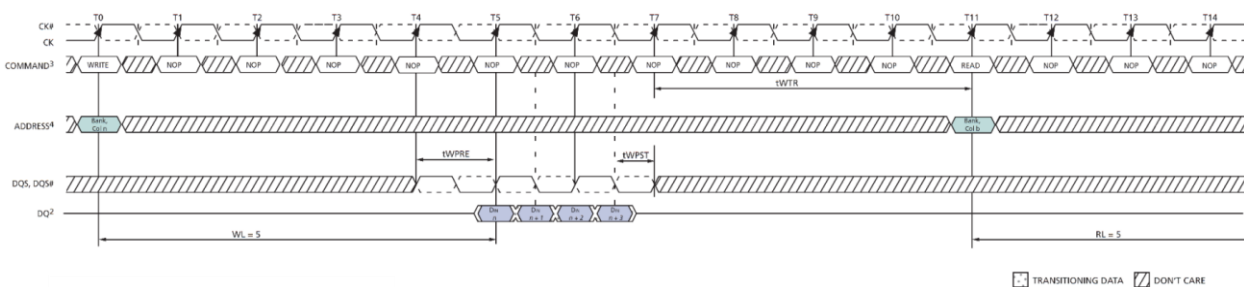


图 8-16 写 (BC4) 到读 (BC4)

- 注 1: $RL=5(CL=5,AL=0)$, $WL=5$ ($AL=0,CWL=5$)。
- 注 2: $Din\ n =$ 来自列 n 列的数据输入, $Dout\ b =$ 来自列 b 列的数据输出。
- 注 3: 为了便于说明, 显示了 NOP 命令;其他命令在这些时候可能是有效的。
- 注4: MRO激活的BC4设置[A1:0=10]

8.2.7 刷新命令

REF (Refresh command)是 DDR3 sdram 正常工作时使用的命令。这个命令不是持久化的, 所以每次需要刷新时都必须发出这个命令。DDR3 SDRAM 的刷新周期为 $tREFI$ 的平均周期间隔。当在上升沿上, 当(CS) (RAS) 和(CAS)保持低电平和(WE)保持高电平时的时候, 芯片进入一个刷新周期。在刷新命令可以应用之前, SDRAM 的所有组必须进行预充并空闲至少预充时间 $tRP(min)$ 。刷新寻址由内部刷新控制器生成。这使得地址位在刷新命令期间“不关心”。一个内部地址计数器在刷新周期中提供地址。一旦这个周期开始, 外部地址总线就不需要控制了。当刷新周期完成后, SDRAM 的所有组将处于预充(空闲)状态。除 NOP 和 DES 外, 刷新命令与下一个有效命令之间的延迟必须大于或等于最小刷新周期时间 $tRFC(min)$, 如下图所示。

一般来说, 每个 $tREFI$ 间隔都需要定期向 DDR3 SDRAM 发出 Refresh 命令。为了提高调度和任务之间切换的效率, 在绝对刷新间隔中提供了一定的灵活性。

DDR3 SDRAM 在运行过程中最多允许延迟 8 条刷新命令, 即在任何时间点上延迟的刷新命令总数不超过 8 条。如果连续延迟 8 条刷新命令, 则相邻刷新命令之间的最大时间间隔限制为 $9 \times tREFI$ 。最多可以提前发出 8 个额外的 Refresh 命令(“拉入”), 每一个都可以减少以后需要的常规 Refresh 命令的数量。请注意, 提前引入 8 个以上的刷新命令并不会进一步减少以后所需的常规刷新命令的数量, 因此两个周围刷新命令之间的最大间隔被限制为 $9 \times tREFI$ 。在进入自刷新模式之前, 必须执行所有延迟刷新命令。

8.2.8 自刷新进入/退出时序

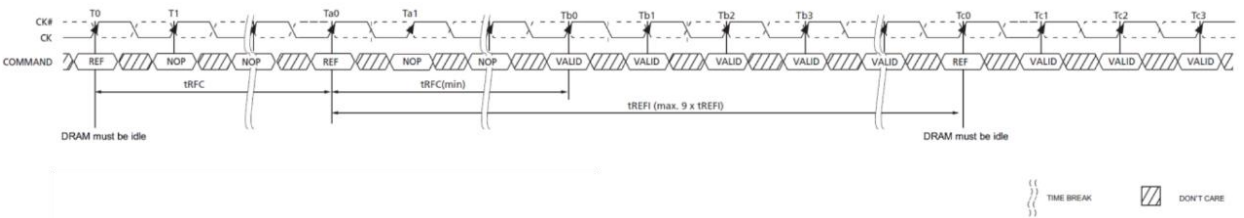


图 8-17 自刷新进入/退出时序

- 注 1: 刷新命令发送后只允许 NOP/DES 命令, 直到 $tRFC(min)$ 过期。
- 注 2: 两个 Refresh 命令之间的时间间隔可以扩展到最大 9 倍速 $tREFI$

8.2.9 延迟刷新命令 (示例)

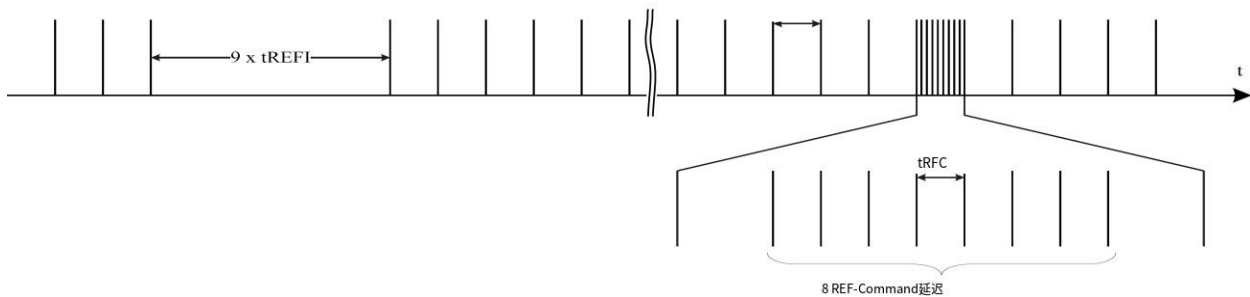


图 8-18 延迟刷新命令(示例)

8.2.10 拉入刷新命令（示例）

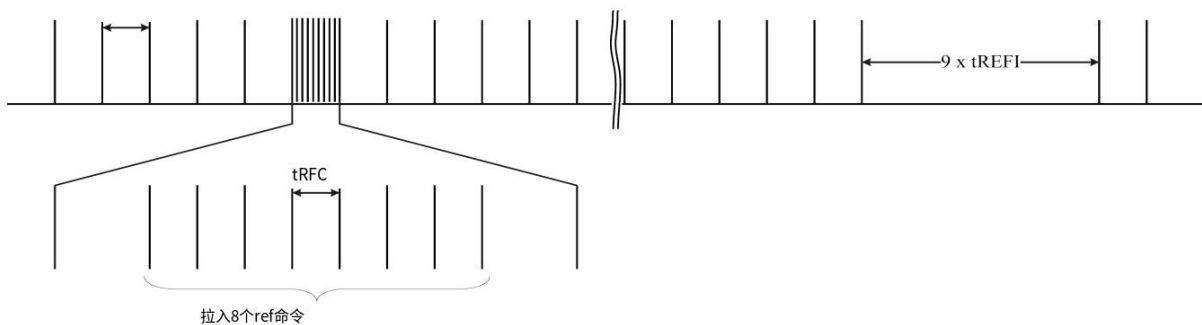


图 8-19 拉入 8 REF 刷新命令

8.2.11 自刷新操作

自刷新命令可以在系统复位低功耗的情况下，保留 DDR3(L) SDRAM 中的数据。在自刷新模式下，DDR3(L) SDRAM 保持数据不需要外部时钟。DDR3(L) SDRAM 器件有一个内置定时器来适应自刷新操作。自刷新

输入(SRE)命令的定义是，在上升沿处，将 $\overline{CS}$ ， $\overline{RAS}$ ， $\overline{CAS}$ ， $\overline{CKE}$ 保持低， $\overline{WE}$ 保持高时钟的。

在发出 self - refreshingentry 命令之前，DDR3(L) SDRAM 必须处于空闲状态，且所有 bank precharge 状态都满足 tRP。此外，在发出自刷新项命令之前，必须关闭片上终端阻抗，通过在自刷新项命令之前发送 ODT 引脚低“ODTL + 0.5tCK”或使用 MRS 到 MR1 命令。发送自刷新表项命令后，必须将 CKE 保持在低电平，使设备处于自刷新模式。在正常运行时(DLL on)，MR1 (A0=0)，DLL 在进入自刷新时自动禁用，在退出自刷新时自动启用(包括 DLL- reset)。

当 DDR3(L) SDRAM 进入自刷新模式时，除了 CKE 和 $\overline{RESET}$ 外，所有的外部控制信号都是“don't care”。为了使自刷新正常工作，所有电源和参考引脚(VDD、VDDQ、VSS、VSSQ、VRefCA 和 VRefDQ)必须处于有效电平。一旦 DRAM 进入自刷新模式后，在 tCKE 周期内至少初始化一个内部刷新命令。

时钟在自刷新过程中被内部关闭，以节省电力。DDR3(L) SDRAM 保持自刷新模式的最短时间为 tCKE。发送自刷新后，用户可以更改外部时钟频率或停止外部时钟 tCKSRE;但是，在设备退出自刷新模式之前，时钟必须重新启动并稳定 tCKSRX。

退出自刷新的过程需要一系列事件。首先，在 CKE 返回 HIGH 之前，时钟必须是稳定的。一旦发送了自刷新退出命令(SRX, CKE 变高和命令总线上的 NOP 或取消选择的组合)，必须满足至少 tXS 的延迟，然后才能

向设备发出不需要锁定 DLL 的有效命令，以允许正在进行的任何内部刷新。在应用需要锁定 DLL 的命令之前，必须满足至少 tXSDLL 和适用的 ZQCAL 功能要求的延迟。

在应用需要锁定 DLL 的命令之前，必须满足至少 tXSDLL 的延迟。根据系统环境和花费在自刷新上的时间，可能需要 ZQ 校准命令来补偿电压和温度漂移，如“ZQ 校准命令”中所述。要发出 ZQ 校准命令，必须满足适用的时序要求。

CKE 必须在整个自刷新退出期间保持 HIGH tXSDLL 才能正常运行，除非自刷新重新进入。DDR3(L) SDRAM 退出自刷新模式后，至少等待 tXS 周期，发出一次刷新命令(tRFC 的刷新周期)后，才能重新进入自刷新模式。在自刷新退出间隔 tXS 期间，必须在每个正时钟边发送 NOP 或取消选择命令。在 tXSDLL 期间必须关闭 ODT。

使用自刷新模式意味着，当 CKE 因退出自刷新模式而引发时，可能会错过内部定时刷新事件。在退出自刷新模式后，DDR3(L) SDRAM 在被放回自刷新模式之前至少需要一个额外的刷新命令。

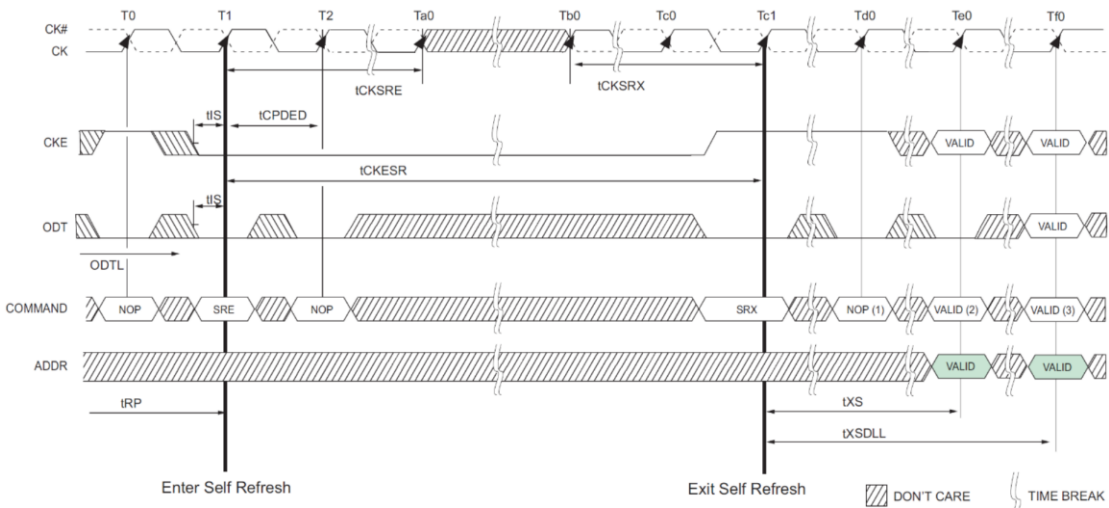


图 8-20 自刷新进入/退出时序

- 注 1：仅支持 NOP 或 DES 命令。
注 2：不需要锁定 DLL 的有效命令。
注 3：需要锁定 DLL 的有效命令。

8.3 低功耗模式

8.3.1 低功耗进入和退出

当 CKE 发送为低电平时，同步进入低功耗(与 NOP 或取消选择命令一起)。当模式寄存器设置命令、MPR 操作、ZQCAL 操作、DLL 锁定或读/写操作正在进行时，CKE 不允许转低。CKE 允许在任何其他操作(如行激活，预充或自动预充和刷新)进行时降低，但在完成这些操作之前不会应用低功耗 IDD 规格。

当低功耗进入最快的低功耗退出时间时，DLL 应该处于锁定状态。如果在低功耗进入时 DLL 没有被锁定，那么在退出低功耗模式后，必须对 DLL 进行复位，以便进行正确的读取操作和同步 ODT 操作。DRAM 设计提供所有交流和直流时序和电压规格，以及适当的 DLL 操作与任何 CKE 密集的操作，只要 DRAM 控制器符合 DRAM 规范。

在低功耗期间，如果在任何正在进行的命令完成后所有 bank 都关闭，设备将处于 precharge 预充电低功耗模式;如果在正在进行的命令完成后，任何 bank 是打开的，设备将处于 active 低功耗模式。

输入 Power-down 使输入和输出缓冲区失效，但不包括 CK、CK、ODT、CKE 和 RESET。为了保护 CKE 线路上的 DRAM 内部延迟以阻塞输入信号，在 CKE 断开和之后的几个周期中需要多个 NOP 或 Deselect 命令，此时间段定义为 tCPDED。CKE_low 将导致在 tCPDED 过期后命令和地址接收器去激活。

8.3.2 低功耗进入时序

表 8-1 低功耗进入定义

状态	MRS 位 A12	DLL	PD 退出	相关的参数
活跃的 (一个 bank 或更多)	不关心	开	快	tXP 到任何有效的命令。
预先充电 (所有 bank 预充电)	0	关	慢	tXP 到任何有效的命令。由于处于预充状态，这里的命令会是 ACT, AR, MRS/EMRS, PR, 或 PRA。 tXPDLL 用于需要 DLL 操作的命令,如 RD、RDA 或 ODT 控制线。
预先充电 (所有 bank 预充电)	1	开	快	tXP 到任何有效的命令。

此外，在进入预充低功耗(慢退出模式)时，DLL 被禁用，但 precharge 预充电低功耗(快速退出模式)active 低功耗时 DLL 保持开启。在低功耗模式下，DDR3 SDRAM 的输入端必须保持一个稳定的时钟信号，CKE 低，RESET 高，并且 ODT 应该处于有效状态，但所有其他输入信号都是“不关心”(如果 RESET 在低功耗期间变为低电平，则 DRAM 将退出 PD 模式并进入复位状态)。

必须保持 CKE 低，直到满足 tCKE。低功耗持续时间受设备 tREFI 的 9 倍限制。

当 CKE 发送为高电平时(连同 NOP 或 Deselect 命令一起)同步退出低功耗状态。CKE 高值必须保持到 tCKE 满足为止。在 CKE 变高后，可以在低功耗退出延迟、tXP 和/或 tXPDLL 情况下应用有效的、可执行的命令。低功耗退出延迟在本数据表的 AC 规格表中定义。

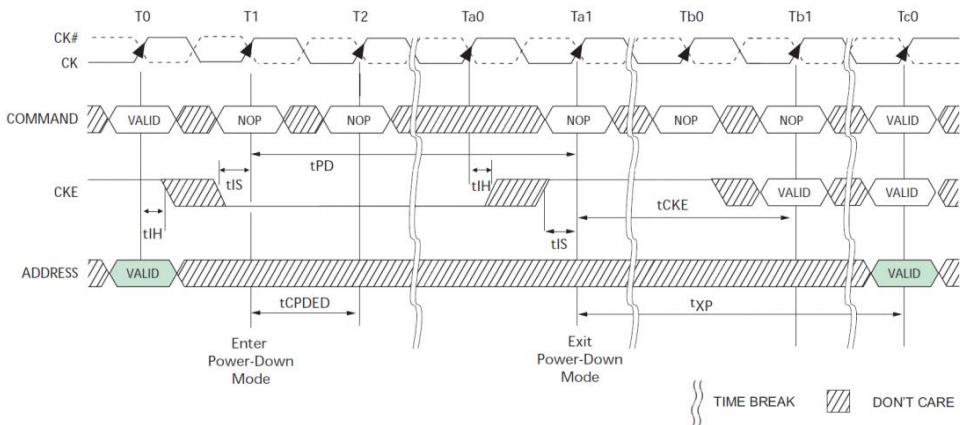


图 8-21 主动低功耗进入和退出时序图

CKE 带 PD 进入、带 Read 的 PD 退出、带 Read 的自动预充、带 Write 和 Write 的自动预充、激活、预充、刷新、MRS 的时序图:

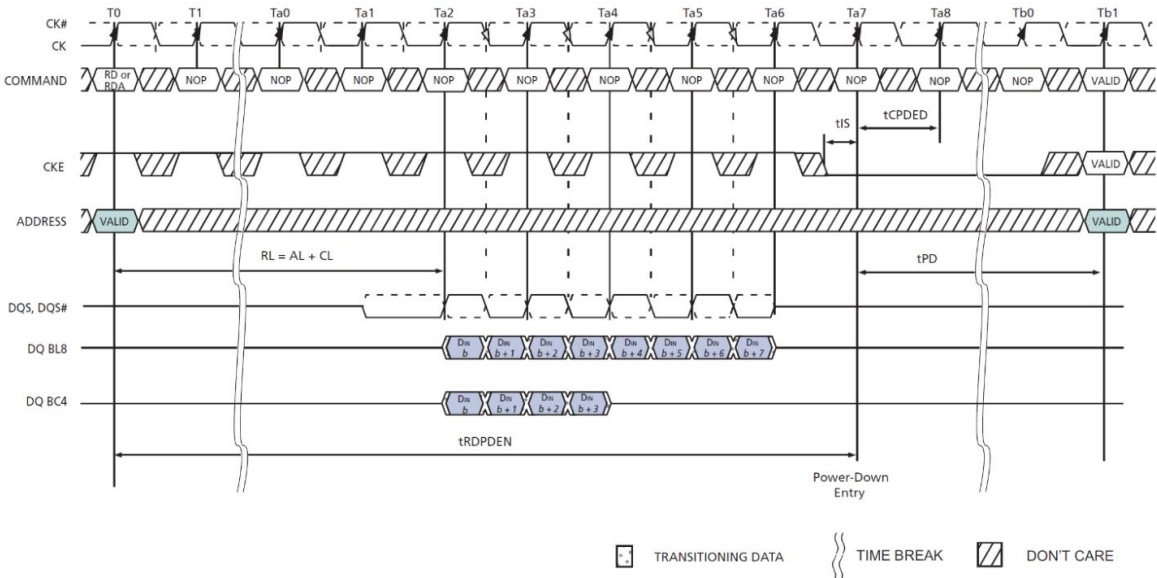
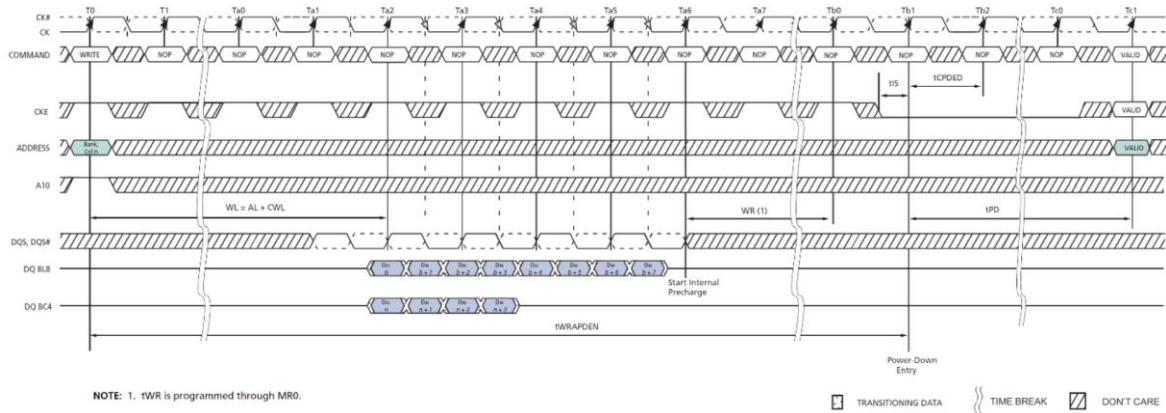


图 8-22 读取和自动预充读取后低功耗进入



NOTE: 1. tWR is programmed through MR0.

图 8-23 自动刷预充写后低功耗进入

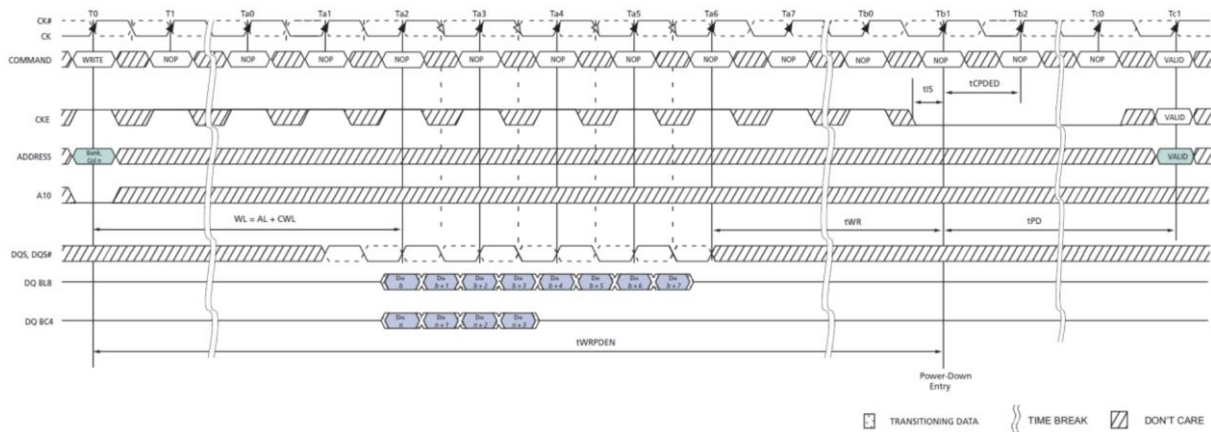


图 8-24 写后低功耗进入

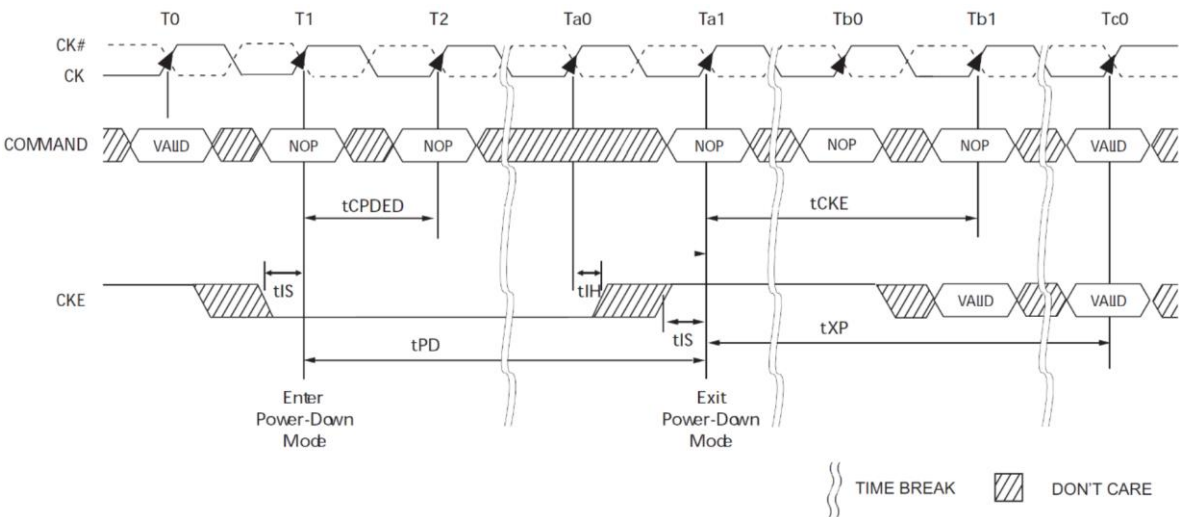


图 8-25 预充低功耗(快速退出模式)进入和退出

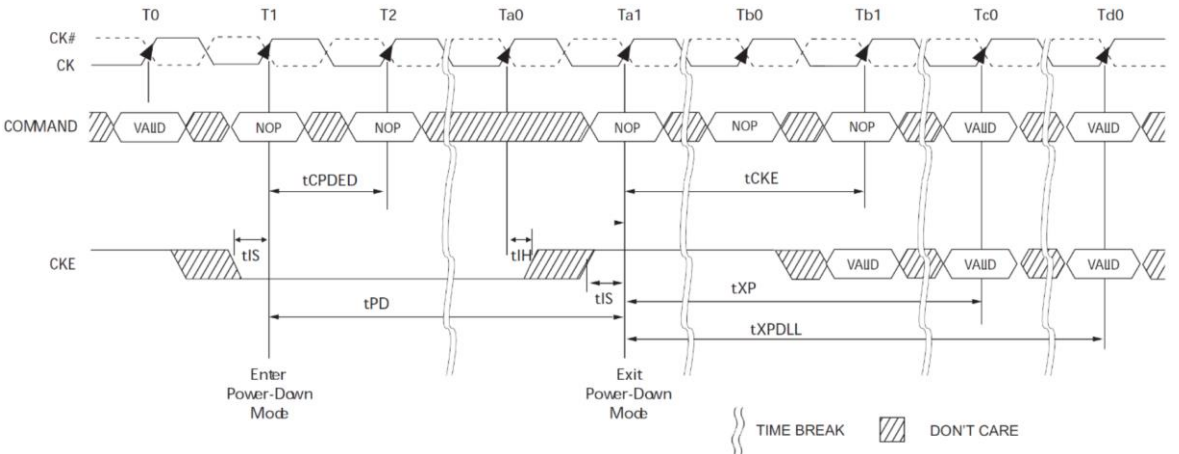


图 8-26 预充低功耗(慢速退出模式)进入和退出

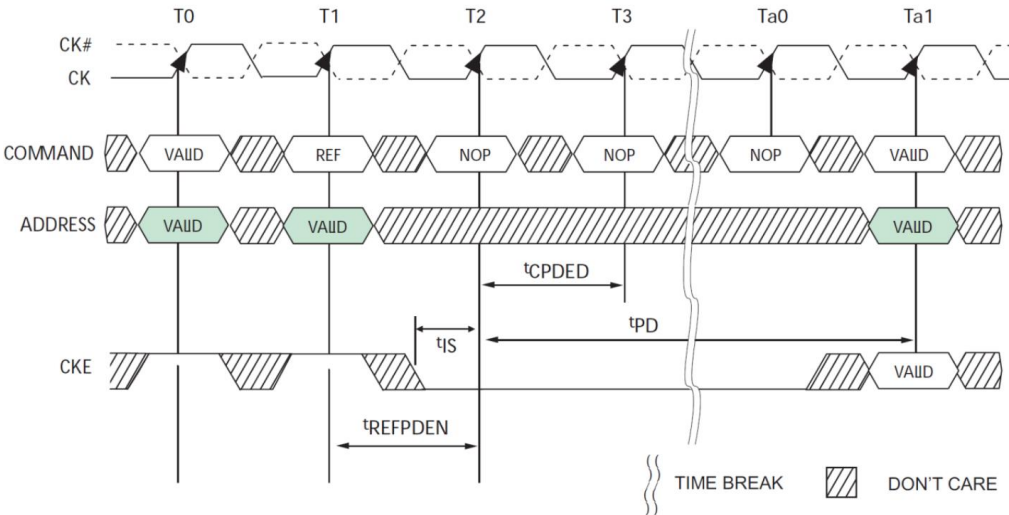


图 8-27 刷新低功耗进入命令

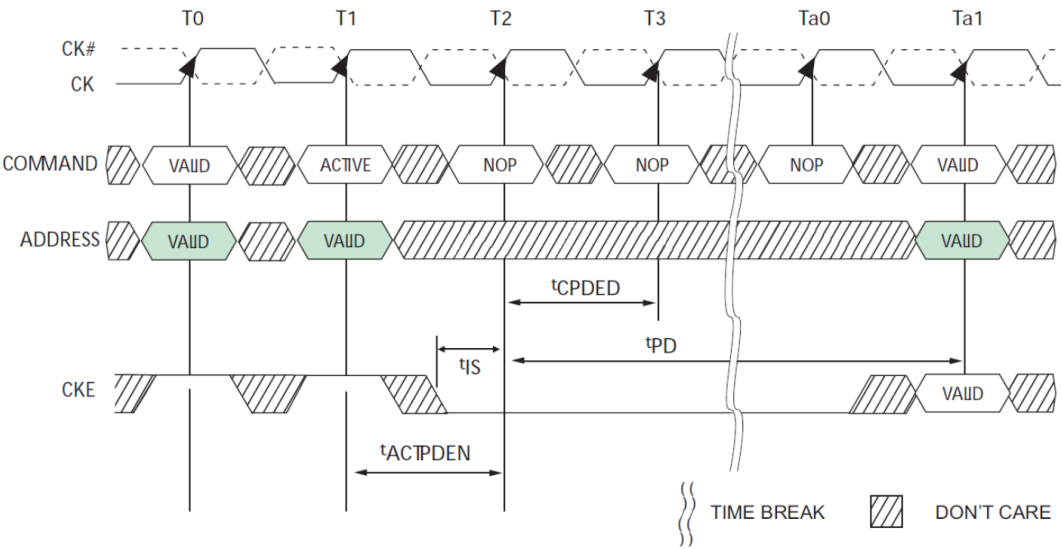


图 8-28 激活命令到低功耗进入

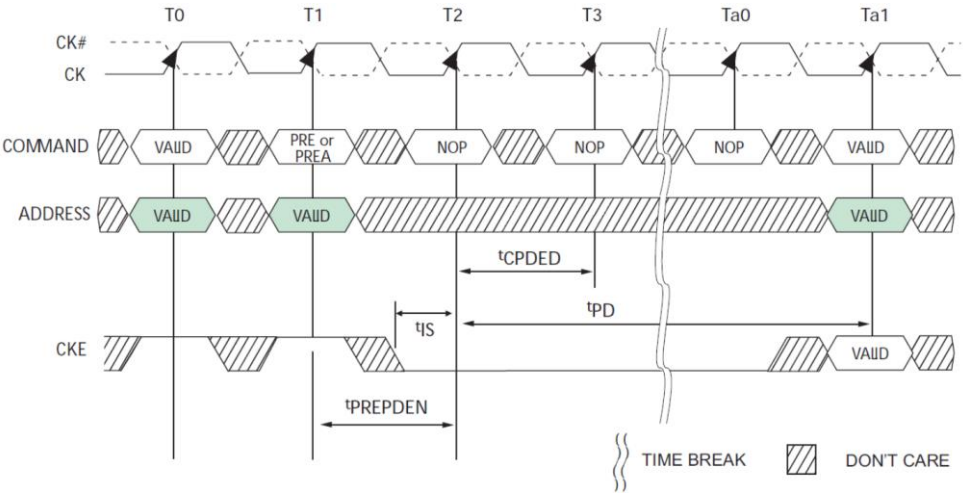


图 8-29 预充/预充所有命令到低功耗进入

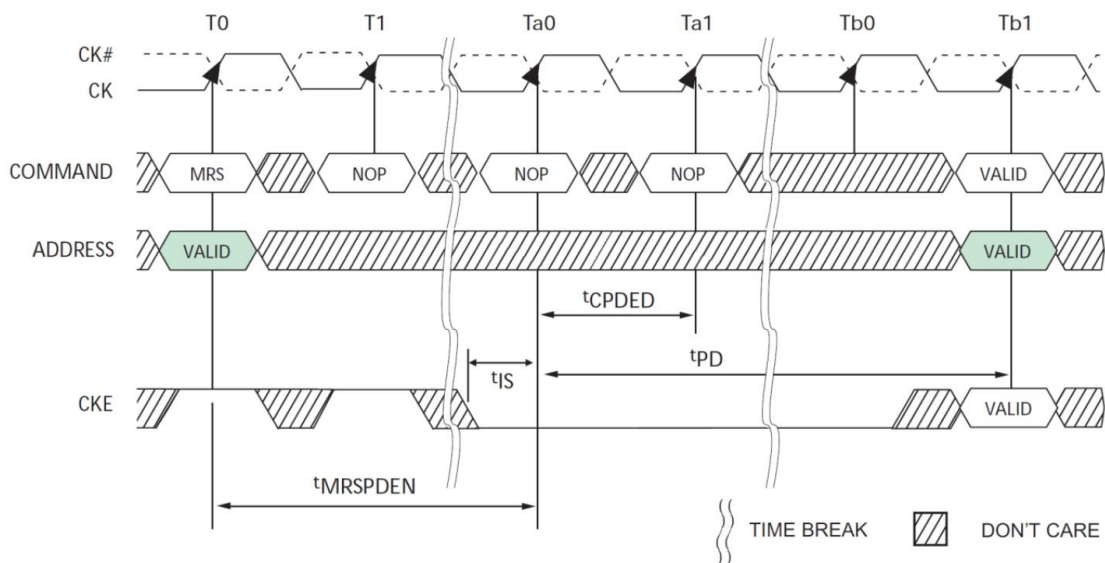


图 8-30 MRS 命令到低功耗进入

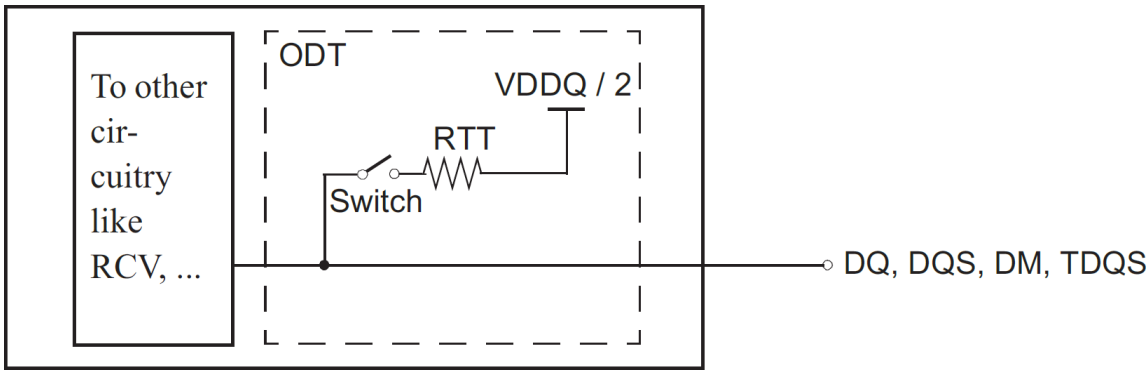
8.3.3 片内端结 (ODT)

ODT(片内端结)是 DDR3 SDRAM 的一个特性，它允许 DRAM 在通过 ODT 控制引脚(MR1 中的 A11=1)使能时，在 x8 配置中为每个 DQ、DQS、(DQS)和 DM 打开/关闭端结电阻。ODT 特性旨在通过允许 DRAM 控制器独立地打开/关闭任何或所有 DRAM 设备的端结电阻，从而提高内存通道的信号完整性。

在自刷新模式下不支持 ODT 功能，关闭 ODT 功能。

DRAM ODT 特性的简单功能表示如下所示。

8.3.3.1 ODT 的功能表示



开关由内部 ODT 控制逻辑使能，该逻辑使用外部 ODT 引脚和其他控制信息。RTT 的值由模式寄存器位的设置决定。如果模式寄存器 MR1 和 MR2 被编程为禁用 ODT 并处于自刷新模式，则 ODT 引脚将被忽略。

8.3.3.2 ODT 模式寄存器和 ODT 真值表

如果 MR1 {A2, A6, A9}或 MR2 {A9, A10}不为零，则开启 ODT 模式。在这种情况下，RTT 的值由这些位的设置决定。

应用:控制器发送 WR 命令和断言的 ODT。

一个可能的应用:rank 被写入提供的端结。如果 DRAM 看到 ODT 断言(除非 ODT 被 MR 禁用)，则打开端

结开关，DRAM 不使用任何写或读命令解码信息。

8.3.3.3 端结真值表

ODT 引脚	DRAM 端结状态
0	OFF
1	ON, (一般情况下, 如果 MR1 {A2, A6, A9} 和 MR2 {A9, A10} 使能, 则 OFF)

8.3.3.4 同步 ODT 模式

同步 ODT 模式在打开并锁定 DLL 时被选择。根据低功耗定义, 这些模式分别是:

- 任何 bank 活跃与 CKE 高
- 刷新 CKE 高
- Idle 模式, CKE 高
- 有源低功耗模式(不考虑 MR0 位 A12)
- 如果在预充低功耗期间启用 MR0 位 A12 的 DLL, 则为预充低功耗模式

在 dll 关断模式下不支持直接 ODT 特性。在 dll 关断模式下, 必须通过连续发送 ODT 引脚低电平和/或通过模式寄存器设置命令将 RTT_Nom 位 MR1{A9,A6,A2}编程为{0,0,0}来禁用片上终止电阻。

在同步 ODT 模式下, RTT 将在 ODT 被上升时钟沿采样为高电平后打开 ODTLon 时钟周期, 在 ODT 被上升时钟沿发送为低电平后关闭 ODTLoff 时钟周期。ODT 延迟与写延迟(WL)的关系如下: $ODTLon = WL - 2$; $ODTLoff = WL - 2$ 。

8.3.3.5 ODT 延迟和发布 ODT

在同步 ODT 模式下, 编入模式寄存器(MR1)的加性延迟(AL)也适用于 ODT 信号。相对于外部 ODT 信号, DRAM 内部 ODT 信号延迟了若干时钟周期, 这些周期由加性延迟(AL)定义。 $ODTLon = CWL + AL - 2$; $ODTLoff = CWL + AL - 2$ 。具体请参考 DDR3 SDRAM 延迟定义。

8.3.3.6 ODT 延迟

标记	参数	DDR3	单位
ODTLon	ODT 打开延迟	$WL - 2 = CWL + AL - 2$	tCK
ODTLoff	ODT 关闭延迟	$WL - 2 = CWL + AL - 2$	tCK

8.3.3.7 时序参数

在同步 ODT 模式下, 时序参数包括: ODTLon、ODTLoFF、tAON min/max、tAOF min/max。

最小 RTT 导通时间(tAON min)是器件离开高阻抗和 ODT 电阻开始导通的时间点。最大 RTT 导通时间(tAON max)是 ODT 电阻完全导通的时间点。两者都是用 ODTLon 测量的。

最小 RTT 关断时间(tAOF min)是指器件开始关断 ODT 电阻的时间点。最大 RTT 关断时间(tAOF max)是指晶片端部达到高阻抗的时间点。两者都是从 ODTLoFF 测量的。

当断言 ODT 时, 它必须保持高值, 直到满足 ODT_{H4}。如果 SDRAM 发送了一个 ODT 高的写命令, 那么 ODT 必须保持高, 直到写命令之后的 ODT_{H4} (BL=4)或 ODT_{H8} (BL=8)。测量 ODT_{H4} 和 ODT_{H8} 从 ODT 发送高到 ODT 发送低, 或者从写命令发送到 ODT 发送低。

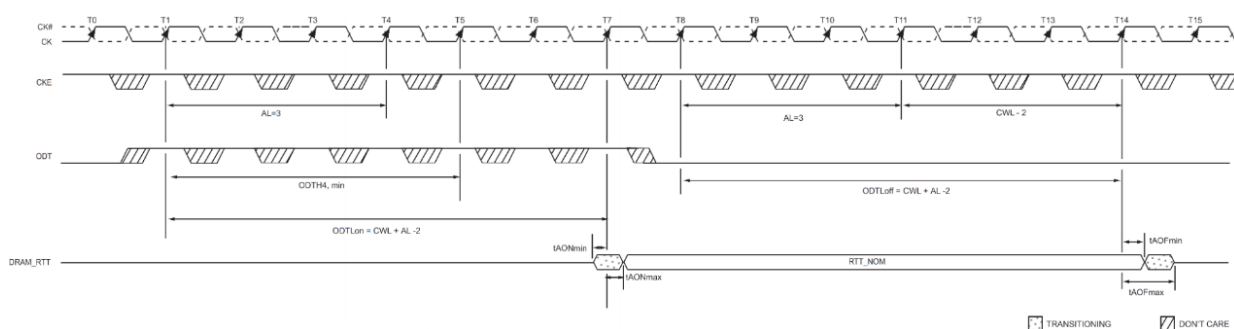


图 8-31 AL=3;CWL=5;ODTLon=AL+CWL-2=6;ODTLoFF=AL+CWL-2=6 同步 ODT 时序示例

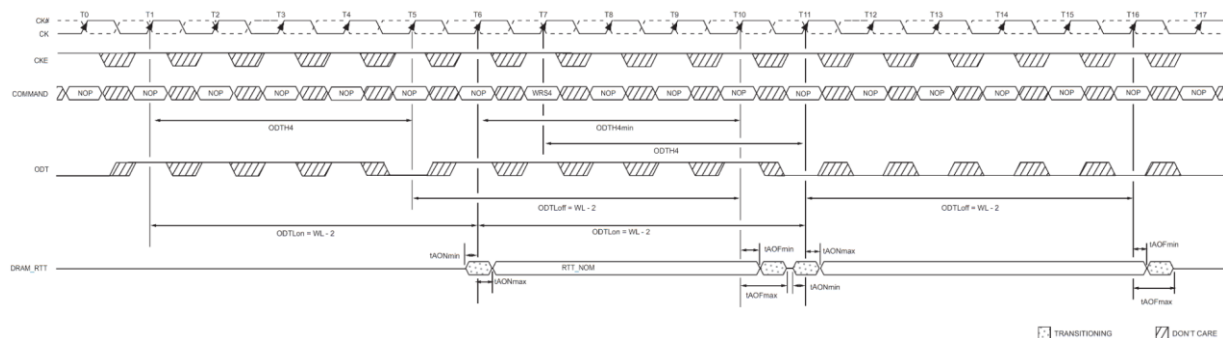


图 8-32 BL=4, WL=7 的同步 ODT 示例

断言(T1)之后, ODT 必须至少保持 ODT_{H4};写命令(T7)后, ODT 必须保持高 ODT_{H4} (BL=4)或 ODT_{H8} (BL=8)。ODTH 是从 ODT 第一发送高到 ODT 第一发送低, 或者从 ODT 高的写命令发送到 ODT 发送低。请注意, 虽然在 T6 发送的 ODT 满足了 ODT_{H4}, 但在 T11 之前 ODT 一定不能变低, 因为 ODT_{H4} 也必须在 T7 发送的写命令中得到满足。

8.3.4 读取期间的 ODT

由于 DDR3 SDRAM 不能同时终止和驱动, RTT 必须在读前导 read preamble 之前至少半个时钟周期被禁用, 通过适当地将 ODT 引脚驱动为低电平。RTT 可能直到 read post-amble 结束时才启用, 如下图所示。DRAM 在停止驱动时开启终端, 这是由 tHZ 决定的。如果 DRAM 提前停止驱动(即 tHZ 提前), 那么 tAONmin 时间可能适用。如果 DRAM 停止驱动较晚(即 tHZ 较晚), 则 DRAM 符合 tAONmax 时序。注意, ODT 可能在 Read 操

作之前被禁用，而在 Read 操作之后被启用。

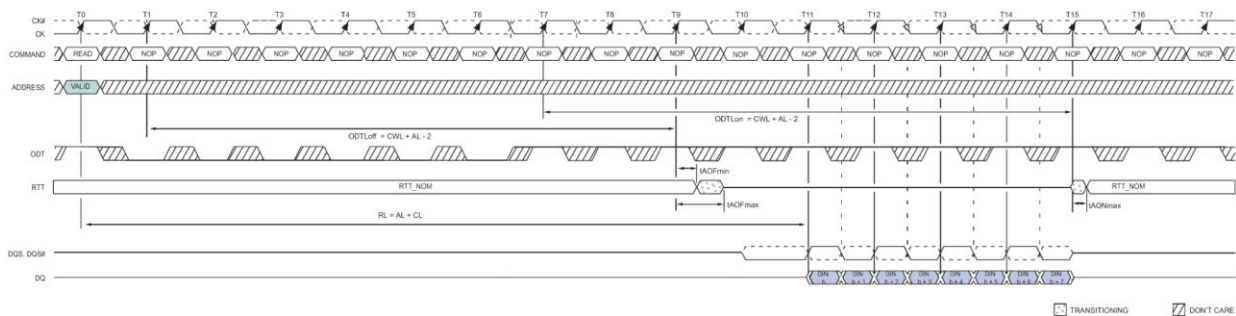


图 8-33 在读取期间，ODT 必须通过驱动低 ODT 在外部禁用。(例子:CL = 6;AL = CL-1 = 5;RL = AL + CL = 11;CWL = 5;ODTLon=CWL+AL-2=8;ODTLoff=CWL+AL-2=8)

8.3.5 动态 ODT

在某些应用情况下，为了进一步增强数据总线上的信号完整性，希望可以在不发出 MRS 命令的情况下改变 DDR3 SDRAM 的终止强度。“动态 ODT”特性支持此要求，如下所述：

8.3.6 功能描述

如果 MR2 的位(A9)或(A10)设置为“1”，则启用动态 ODT 模式。功能说明如下:RTT 有两种取值:RTT_Nom 和 RTT_WR。

- RTT_Nom 的值是通过 MR1 中的 A[9,6,2]位预先选择的。
- RTT_WR 的值是通过 MR2 中的 A[10,9]位预先选择的。

在无写命令操作时，终止控制如下：

- 选择标称终止强度 RTT_Nom。
- 终端开/关定时通过 ODT 引脚和 ODTLon 和 ODTLoff 延迟来控制。
- 发送写命令(WR、WRA、WRS4、WRS8、WRAS4、WRAS8)时，如果使能动态 ODT，终止控制如下：
- 写命令后的延时 ODTLcnw，终止强度 RTT_WR 选择。

写入命令后，选择延迟 ODTLcwn8(针对 BL8，由 MRS 固定或选定 OTF 固定)或 ODTLcwn4(针对 BC4，由 MRS 固定或选定 OTF 固定)，终止强度 RTT_Nom。

- 终止开/关定时通过 ODT 引脚和 ODTLon、ODTLoff 控制。

下表显示了动态 ODT 模式下与片上终止控制相关的延迟和时序参数。

在 dII 关闭模式下不支持动态 ODT 特性。用户必须使用 MRS 命令设置 RTT_WR, MR2[A10,A9]=[0,0]，对外关闭动态 ODT 功能。

当断言 ODT 时，它必须保持高值，直到满足 ODT_H4。如果 SDRAM 发送了一个 ODT 高的 Write 命令，那么 ODT 必须保持高，直到 Write 命令之后的 ODT_H4 (BL=4)或 ODT_H8 (BL=8)。ODT_H4 和 ODT_H8 从 ODT 发送高到 ODT 发送低，或者从写命令发送到 ODT 发送低。

8.3.7 与动态 ODT 相关的延迟和时序参数

名称和描述	标志	自定义	定义为	所有 DDR3 速度引脚的定义	单位
ODT 开启延迟	ODTLon	发送外部	ODT 信号高,打开终端	$ODTLon = WL-2$	tCK
ODT 关闭延迟	ODTLoff	发送外部	ODT 信号低, 终端关闭	$ODTLoff = WL-2$	tCK
从 RTT_Nom 到 RTT_WR 的 ODT 延迟	ODTLcnw	发送外部写命令	将 RTT 强度从 RTT_Nom 更改为 RTT_WR	$ODTLcnw = WL-2$	tCK
从 RTT_WR 到 RTT_Nom 的 ODT 延迟 (BL=4)	ODTLcwn4	发送外部写命令变更	从 RTT_WR 到 RTT_Nom 的 RTT 强度	$ODTLcwn4 = 4 + ODTLoff$	tCK
从 RTT_WR 到 RTT_Nom 变化的 ODT 延迟(BL=8)	ODTLcwn8	发送外部写命令变更	RTT 强度从 RTT_WR 到 RTT_Nom	$ODTLcwn8 = 6 + ODTLoff$	tCK(平均)
断言 ODT 后的最小 ODT 高时间	ODTH4	发送 ODT 高	ODT 发送低	$ODTH4 = 4$	tCK(平均)
写后最小 ODT 高时间(BL=4)	ODTH4	发送高 ODT 写	ODT 发送低	$ODTH4 = 4$	tCK(平均)
写后最小 ODT 高时间(BL=8)	ODTH8	发送高 ODT 写	ODT 寄存器低	$ODTH8 = 6$	tCK(平均)
RTT 变化偏斜	tADC	ODTLcwn	RTT 有效	tdc (min)=0.3 tCK(avg) tdc (max)=0.7tCK(avg)	tCK(平均)

注1:tAOF、nom和tdc、nom均为0.5tCK(有效地为ODTLoff、ODTcnw和ODTLcwn增加半个时钟周期)

8.3.8 ODT 时序图

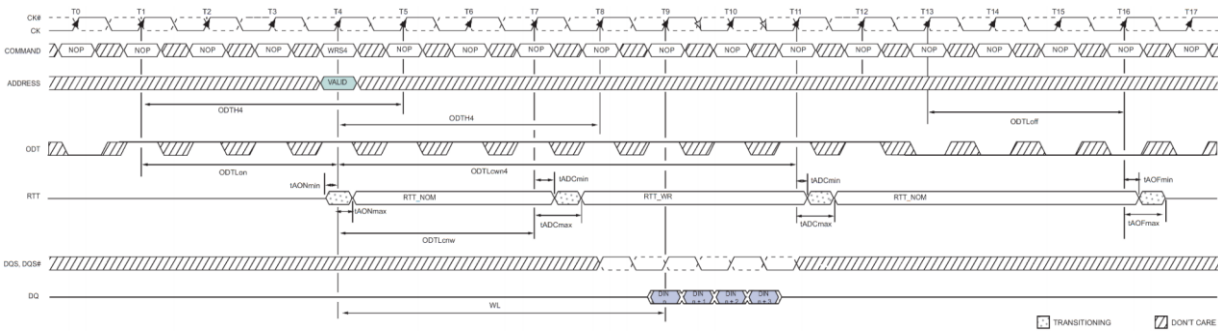


图 8-34 动态 ODT:在写入之前和之后评定 ODT 的行为

注 1: 例如 BC4 (通过 MRS 或 OTF), AL0, CWL=5。ODTH4 适用于首先发送 ODT 高和发送写命令。在本例中, 如果 ODT 在 T8 (写命令之后的 4 个时钟) 时变低, 则满足 ODT_{H4}

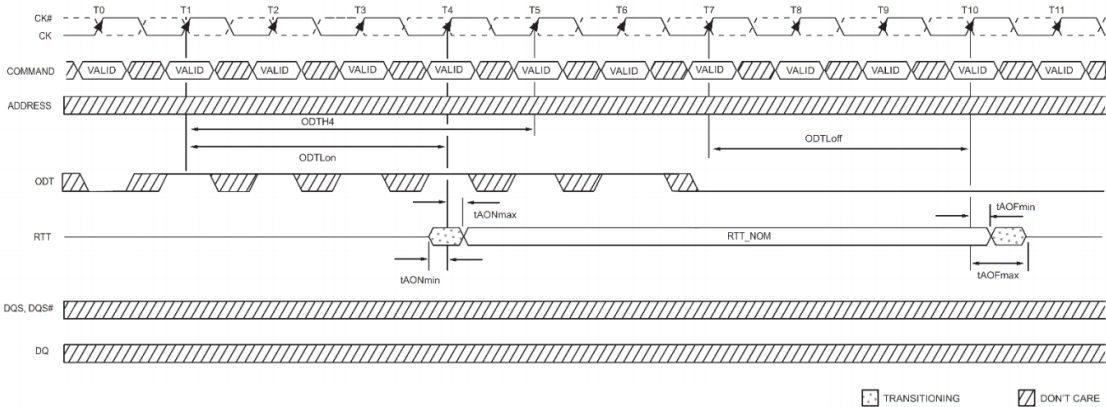


图 8-35 动态 ODT:没有写命令的行为, AL=0, CWL=5

注1: ODT_{H4}是从ODT寄存器高到ODT寄存器定义的, 所以在这个例子中, ODT_{H4}是满足的。ODT登记低至 T5也是合法的。

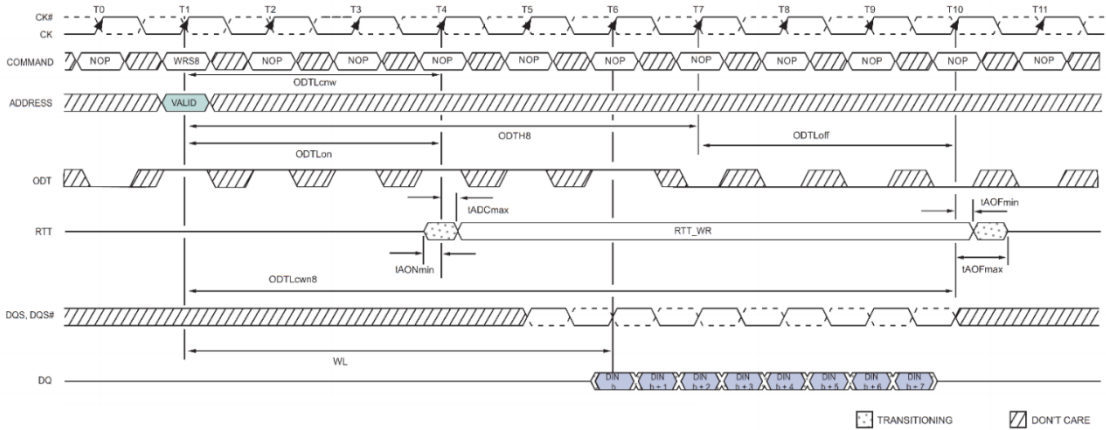


图 8-36 Dynam 动态 ODT:在 6 个时钟周期内, ODT 引脚与写命令一起评定的行为

注1: 以BL8为例 (通过MRS或OTF), AL=0, CWL=5。在这个例子中, ODT_{H8}=6完全满足。

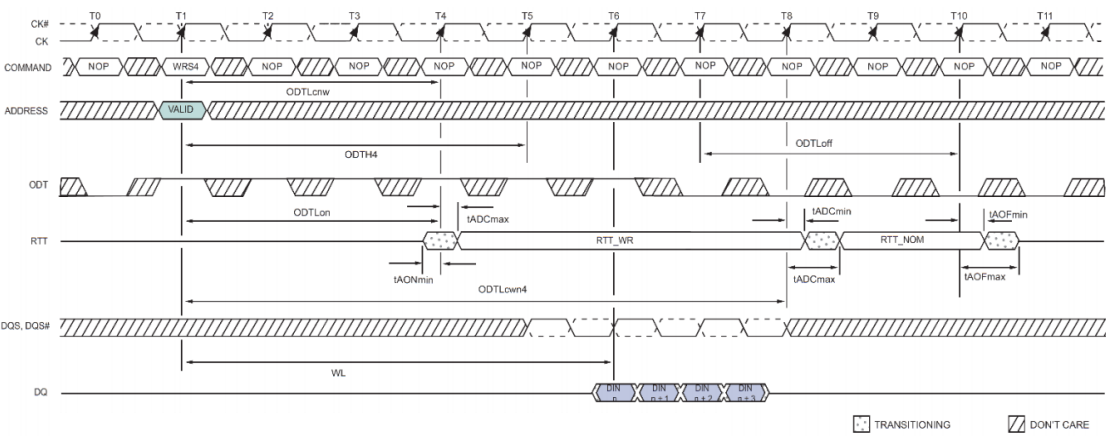


图 8-37 动态 ODT: ODT 引脚与写命令一起断言的行为，持续 6 个时钟周期，例如 BC4(通过 MRS 或 OTF)， AL=0,CWL=5

注1: ODT4是从ODT寄存器高到ODT寄存器低定义的，所以在这个例子中，ODTH4是满足的。ODT寄存器低至T5也是合法的。

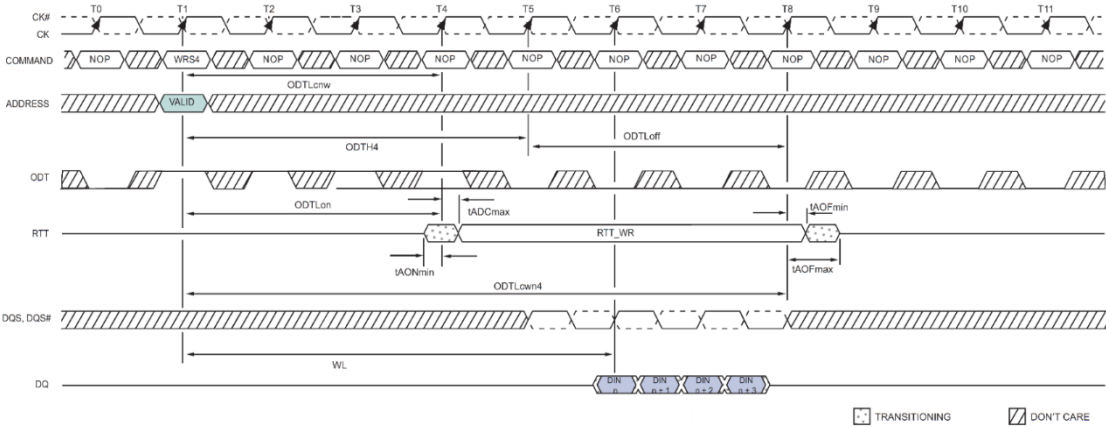


图 8-38 Dynam 动态 ODT:动态 ODT:在 4 个时钟周期内， ODT 引脚与写命令一起评定的行为

注 1: 以 BC4 为例（通过 MRS 或 OTF），AL=0,CWL=5。在这个例子中，ODTH=4 完全满足。

8.3.9 异步 ODT 模式

当 DRAM 运行在 DLLon 模式时，选择异步 ODT 模式，但在预充低功耗时(通过 MR0 位 A12)， DLL 被暂时禁用(即冻结)。根据低功耗模式定义，如果在 MR0 位 A12 低功耗期间禁用 DLL，则当前为预充低功耗模式。

在异步 ODT 定时模式下，相对于外部 ODT 命令，内部 ODT 命令不会被 AL 延迟。

异步 ODT 模式下，适用的时序参数有:tAONPD min/max、tAOFPD min/max。

最小 RTT 导通时间(tAONPD min)是指器件终端电路离开高阻状态， ODT 电阻开始导通的时间点。最大 RTT 导通时间(tAONPD max)是 ODT 电阻完全导通的时间点。

tAONPDmin 和 tAONPDmax 是通过高采样 ODT 来测量的。

最小 RTT 关断时间(tAOFPDmin)是指器件终端电路开始关断 ODT 电阻的时间点。最大 ODT 关断时间(tAOFPDmax)是指片上端达到高阻抗的时间点。tAOFPDmin 和 tAOFPDmax 是在 ODT 为样本低时测量的。

最早发生在 $t_{AOFPDmin}$ 和 $(ODTLoff * tCK + t_{AOFmin})$ 中较小的一个，最晚发生在 $t_{AOBPDmax}$ 和 $(ODTLsoff * tCK + t_{AOFmax})$ 中较大的一个。请注意，如果 AL 的值较大，RTT 不确定的范围会变得相当大。下图显示了三种不同的情况：ODT_a, t_{ANPD} 之前的同步行为；ODT_B 在过渡期间具有状态变化；ODT_C 显示了过渡期后的状态变化。

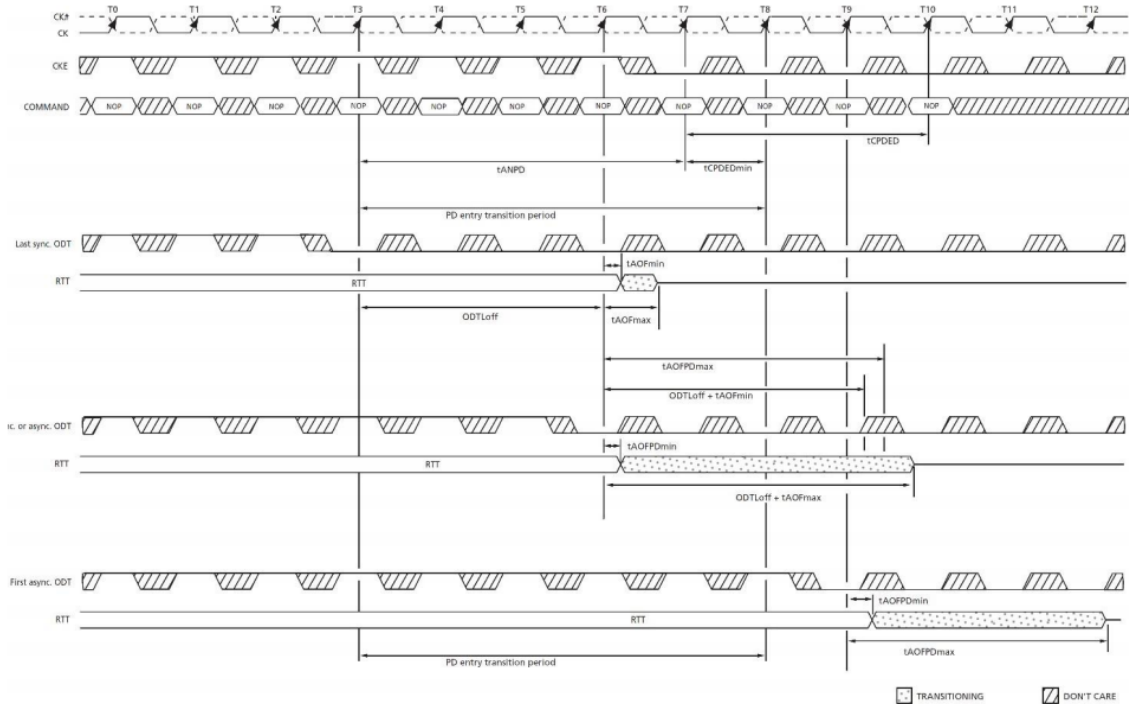


图 8-40 预充电低功耗（DLL 冻结）进入（AL=0; CWL=5; $t_{ANPD}=WL-1=4$ ）期间同步到异步转换

8.3.11 低功耗退出期间异步到同步 ODT 模式转换

如果通过将 MR0 中的 A12 位置为“0”来选择在预充电低功耗模式下冻结 DLL，则在低功耗退出前后还有一个过渡期，在这个过渡期内，DDR3 SDRAM 必须对 ODT 的变化做出同步或异步响应。

该过渡期在 CKE 首次登记为高之前开始 t_{ANPD} ，在 CKE 第一次登记为高之后结束 t_{XPDLL} 。 t_{ANPD} 等于 $(WL-1)$ ，从 CKE 首次记录为高的时钟周期开始（向后）计数。

过渡期间的 ODT 断言可能会导致 RTT 变化，最早发生在 $t_{AONPDmin}$ 和 $(ODTLon * tCK + t_{AONmin})$ 中较小的一个，最晚发生在 $t_{AONUPDmax}$ 和 $(ODTLson * tCK + t_{AONmax})$ 中较大的一个。过渡期内的 ODT 取消断言可能会导致 RTT 变化，最早发生在 $t_{AOFPDmin}$ 和 $(ODTLoff * tCK + t_{AOFmin})$ 中较小的一个，最晚发生在 $t_{AOFPDmax}$ 和 $(ODToff * tCK + t_{AOFmax})$ 中较大的一个。请注意，如果 AL 的值较大，RTT 不确定的范围会变得相当大。下图显示了三种不同的情况：ODT_C, t_{ANPD} 之前的异步响应；ODT_B 在过渡期间具有 ODT 的状态变化；ODT_A 显示了具有同步响应的过渡期后 ODT 的状态变化。

8.4.1 ZQ 校准描述

ZQ 校准命令用于校准 DRAM Ron 和 ODT 值。DDR3 DRAM 在初始时需要更长的时间来校准输出驱动器和管芯上终端电路，而执行周期性校准所需的时间相对较少。

ZQCL 命令用于在加电初始化序列期间执行初始校准。根据系统环境，控制器可以随时发出此命令。ZQCL 命令触发 DRAM 内的校准引擎，一旦实现校准，校准值就会从校准引擎传输到 DRAM IO，DRAM IO 会反映为更新的输出驱动器和管芯上的终止值。

重置后发出的第一个 ZQCL 命令允许 tZQinit 的定时周期来执行完全校准和值传输。除 RESET 后发出的第一个 ZQCL 命令外，所有其他 ZQCL 指令需要 tZQoper 的定时周期。

ZQCS 命令用于执行周期性校准，以考虑电压和温度变化。提供了一个较短的定时窗口来执行时序参数 tZQCS 定义的值的校准和传输。在 tZQinit、tZQoper 或 tZQCS 期间，控制器不应在 DRAM 通道上执行任何其他活动。DRAM 通道上的安静时间允许校准输出驱动器和管芯端接值。一旦 DRAM 校准完成，DRAM 应禁用 ZQ 电流消耗路径以降低功耗。在控制器发出 ZQCL 或 ZQCS 命令之前，必须对所有 bank 进行预充电并满足 tRP。

ZQ 校准命令也可以在自刷新后与 DLL 锁定时间并行发出。自刷新退出后，如果没有明确的 ZQ 校准命令，DDR3 SDRAM 将不会执行 IO 校准。自刷新退出后，ZQ 校准命令（短或长）的最早可能时间是 tXS。

在设备之间共享 ZQ 电阻器的系统中，控制器不得允许列之间的 tZQoper、tZQinit 或 tZQCS 有任何可重叠。

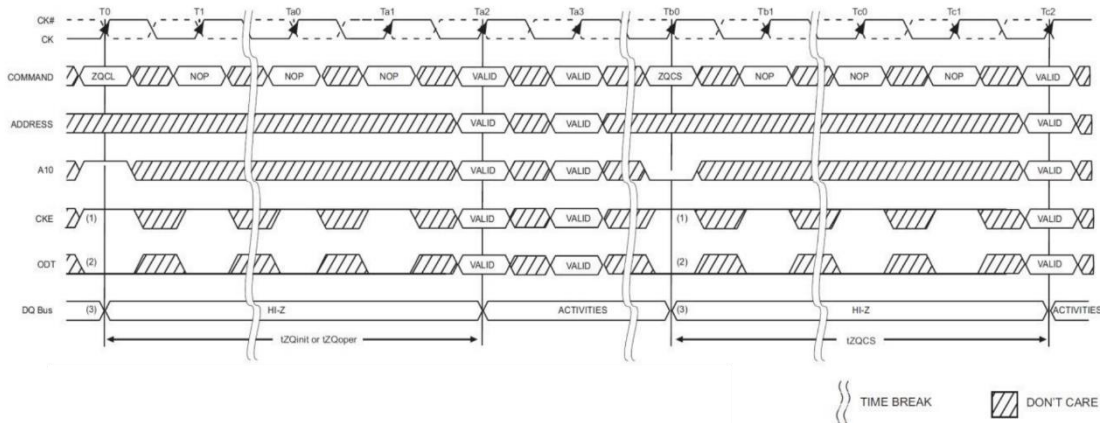


图 8-43 ZQ 校准时序

- 注 1: CKE 在校准期间必须是持续记录为高；
- 注 2: 校准程序期间片内终端必须通过 ODT 信号或 MRS 使之失效
- 注 3: 校准程序期间连接到 DQ 总线的所有设备必须为高阻抗。

8.4.2 ZQ 外部电阻值、公差和电容负载

为了使用 ZQ 校准功能，在 ZQ 引脚和地之间连接一个 $240\ \Omega \pm 1\%$ 公差的外部电阻器。单个电阻器可用于每个 SDRAM，或者如果每个 SDRAM 的 ZQ 校准定时不重叠，则可以在两个 SDRAM 之间共享一个电阻器。必须限制 ZQ 引脚上的总电容性负载。

8.5 按设备密度的刷新参数

表 8-4 不同密度刷新参数

参数	符号	4Gb	8Gb	单位
REF 命令到 ACT 或 REF 命令时间	tRFC	260	350	ns

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物；
- f) 若可行，相对湿度保持在 50%以上。

10 订货信息

表 10-1 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	引脚材料	重量（g）	详细规范
1	HWD41K256M16PBGA96E	PBGA96	塑料	军温级	锡银铜合金	0.21	Q/HWD 50638-2024

注1:

a) 军温级器件满足Q/HWD40020A-2024 《微电路军温级产品通用规范》的筛选要求，其工作环境温度范围应为-55℃~+125℃。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。