

高速 ADC UIA4301 数据手册

Rev: 1.1.0

版权所有© 2025 上海联影微电子科技有限公司

免责声明

本文档内容受著作权法保护，本文档提及的产品名称和标识受商标法保护，文档相关的权利归属于联影集团旗下子公司上海联影微电子科技有限公司（以下简称“联影微电子”），但注明引用其他方的内容除外。未经联影微电子书面许可，任何人不得对本文档任何内容以任何形式进行复制、修改、传播。联影微电子不保证所提供内容的准确、完整、充分和可靠性，并且明确声明不对其错误或遗漏承担责任，也不做任何明示或暗示的保证，包括但不限于对适销性、特定用途的适用性或不侵权等任何其他之保证。

由于在方法、设计和制造方面的不断进步，本文档内容会不定期更新，恕不另行通知。

联系我们

地址: 上海市嘉定区皇庆路 333 号 1 幢 4F

网址: <https://www.uim-solution.com>

电话: +86 (21) 39922260

邮箱: UIM_Sales@uim-solution.com

1 概述

UIA4301 是一款 4 通道、14 位、80/125MSPS 的模数转换器 (ADC)，内置片内采样保持电路，电压基准，具有低成本、低功耗、小尺寸，高易用性等特征。

1.1 关键特性

- 1.8V 模拟电源供电
- 串行 LVDS (ANSI-644,默认)，低功耗，缩小范围选项 (类似于 IEEE 1596.3)
- 低功耗: 每通道 144 mW (125MSPS)
- SNR (125MSPS, 2Vp-p 输入范围) :
 - ◆ 75.1 dBFS (9.7MHz 输入)
 - ◆ 73.2 dBFS (70MHz 输入)
- SFDR (125MSPS, 2Vp-p 输入范围) :
 - ◆ 92 dBc (9.7MHz 输入)
 - ◆ 88 dBc (70MHz 输入)
- SINAD (125MSPS, 2Vp-p 输入范围) :
 - ◆ 74.9 dBFS (9.7MHz 输入)
 - ◆ 73 dBFS (70MHz 输入)
- DNL: -0.5/+0.5 LSB (125MSPS)
- INL: -1.6/+1.6 LSB (125MSPS)
- 输入电压范围: 2.0Vp-p
- 工作温度范围: -40°C至+85°C
- 采用 48pin LFCSP 封装方式

1.2 应用场景

UIA4301 广泛应用于多个行业及多款产品,包括:

- 医疗超声和 MRI
- 高速成像
- 多模式数字接收器
- I/Q 解调系统
- 智能天线系统
- 仪器仪表
- 雷达/LIDAR
- 数据采集卡

1.3 功能框图

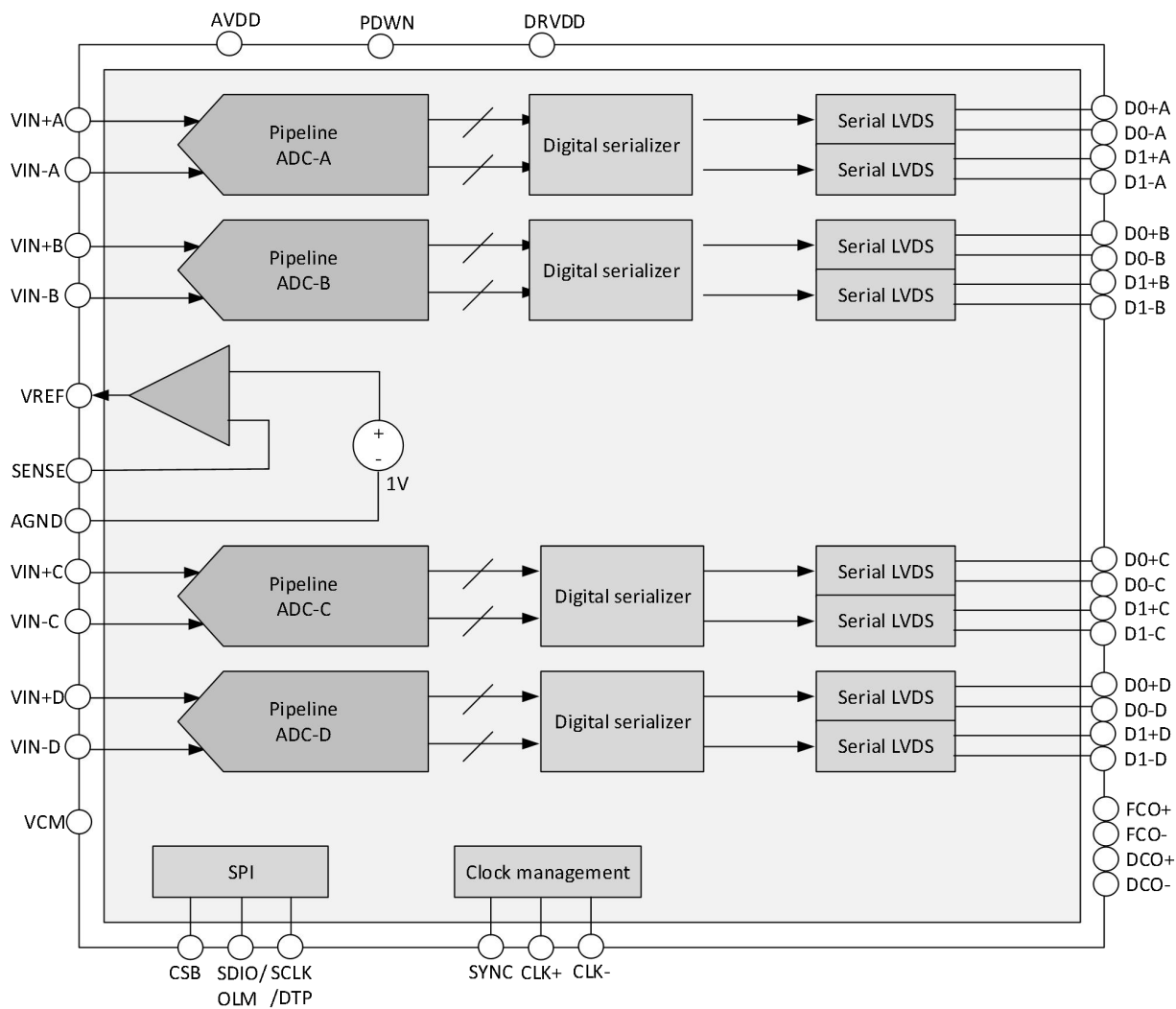


图 1-1 UIA4301 功能框图

目录

1 概述	1	6.4 功耗和待机模式	26
1.1 关键特性	1	6.5 数字输出和时序	26
1.2 应用场景	1	6.5.1 SDIO 引脚	28
1.3 功能框图	1	6.5.2 SCLK/DTP 引脚	28
2 引脚配置和功能描述	5	6.5.3 CSB 引脚	29
3 技术规格	7	6.5.4 R_{BIAS} 引脚	29
3.1 绝对最大额定值	7	6.6 输出测试模式	29
3.2 直流规格	7	7 SPI	30
3.3 交流规格	8	7.1 使用 SPI 的配置	30
3.4 数字规格	9	7.2 硬件接口	31
3.5 开关规格	10	7.3 不使用 SPI 接口	31
3.6 时序规格	11	7.4 PDWN	31
3.7 ESD	14	7.5 SPI 访问特性	31
4 典型性能图示	15	8 存储器映射	33
4.1 80MSPS ($V_{REF}=1.0V$)	15	8.1 存储器映射寄存器表说明	33
4.2 125MSPS ($V_{REF}=1.0V$)	16	8.1.1 禁用地址	33
5 等效电路	18	8.1.2 默认值	33
6 详细信息	20	8.1.3 逻辑电平	33
6.1 模拟输入参考	20	8.2 存储器映射寄存器表	33
6.1.1 输入共模模式	21	9 应用信息	41
6.1.2 差分输入配置	21	9.1 设计指导	41
6.2 基准电压	22	9.2 推荐电源和地	41
6.2.1 内部基准电压	22	9.3 裸露焊盘散热推荐	41
6.2.2 外部基准电压	23	9.4 V_{CM}	41
6.3 时钟输入参考	23	9.5 基准电压去耦	42
6.3.1 时钟输入选项	23	9.6 SPI 接口	42
6.3.2 输入时钟分频器	25	9.7 串扰表现	42
6.3.3 时钟占空比	25	10 封装信息	43
6.3.4 抖动考虑	26	11 订购信息	44

修订记录

修订日期	版本	修订内容
2025 年 7 月	V1.0.0	发布第一个版本。
2025 年 8 月	V1.1.0	增加采样率 80MSPS 相关信息，全文修改。

2 引脚配置和功能描述

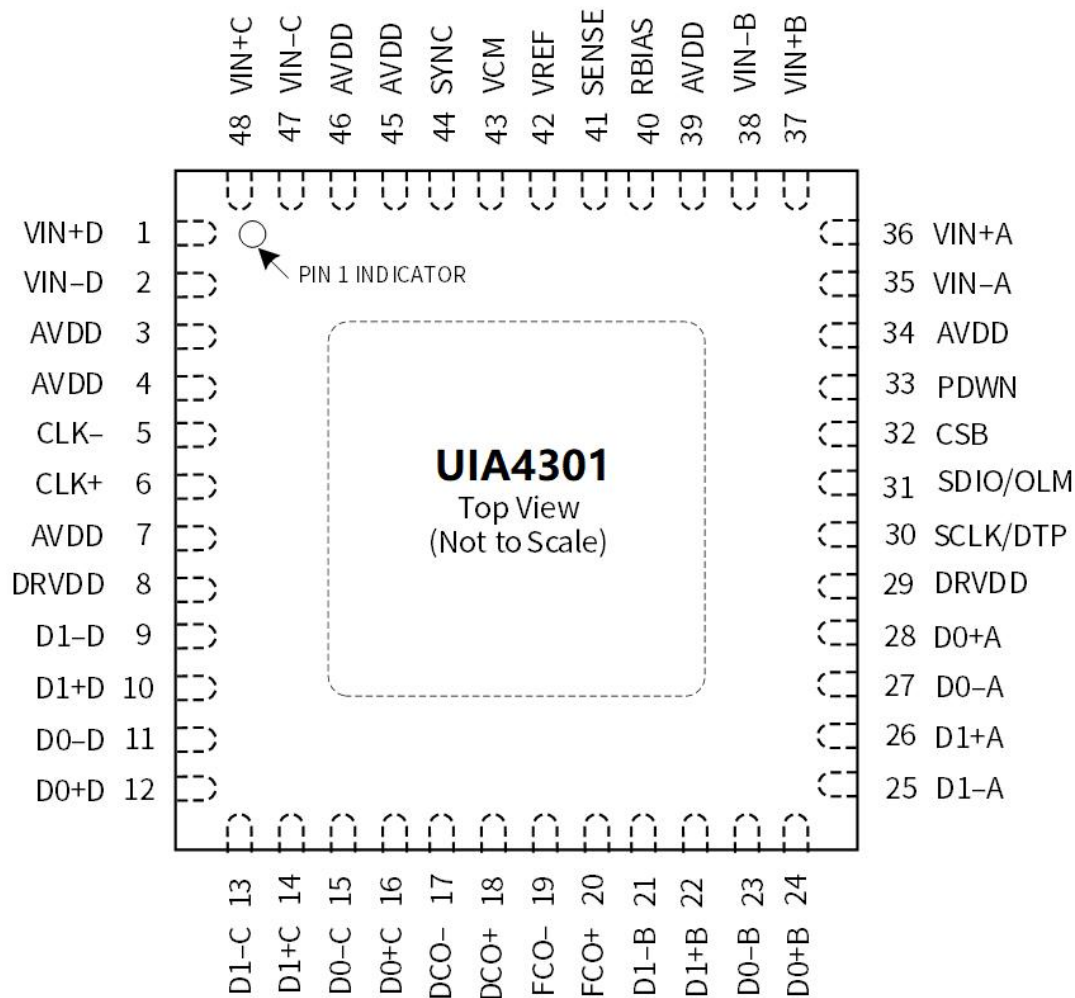


图 2-1 48 引脚 LFCSP 的引脚配置（顶视图）

表 2-1 引脚功能描述

引脚编号	引脚名称	引脚类型	描述
ADC 电源			
8, 29	DRVDD	Supply	数字电源（标称值 1.8V）。
3, 4, 7, 34, 39, 45, 46	AVDD	Supply	模拟电源（标称值 1.8V）。
0	AGND 底部 裸露焊盘	Ground	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。
ADC 模拟			
36	VIN+A	Input	通道 A 差分模拟输入引脚（+）。
35	VIN-A	Input	通道 A 差分模拟输入引脚（-）。
37	VIN+B	Input	通道 B 差分模拟输入引脚（+）。
38	VIN-B	Input	通道 B 差分模拟输入引脚（-）。
48	VIN+C	Input	通道 C 差分模拟输入引脚（+）。
47	VIN-C	Input	通道 C 差分模拟输入引脚（-）。
1	VIN+D	Input	通道 D 差分模拟输入引脚（+）。
2	VIN-D	Input	通道 D 差分模拟输入引脚（-）。

引脚编号	引脚名称	引脚类型	描述
42	VREF	Input/output	基准电压输入和输出引脚。
41	SENSE	Input	基准电压模式选择。
40	RBIAS	Input	外部基准偏置电阻。
43	VCM	Output	模拟输入端口的共模偏置电压输出。
6	CLK+	Input	ADC 时钟输入 (+)。
5	CLK-	Input	ADC 时钟输入 (-)。
数字输入			
44	SYNC	Input	数字同步引脚, 时钟分频器 SYNC 输入。
数字输出			
28	D0+A	Output	通道 A LVDS 输出数据 0 (+)。
27	D0-A	Output	通道 A LVDS 输出数据 0 (-)。
26	D1+A	Output	通道 A LVDS 输出数据 1 (+)。
25	D1-A	Output	通道 A LVDS 输出数据 1 (-)。
24	D0+B	Output	通道 B LVDS 输出数据 0 (+)。
23	D0-B	Output	通道 B LVDS 输出数据 0 (-)。
22	D1+B	Output	通道 B LVDS 输出数据 1 (+)。
21	D1-B	Output	通道 B LVDS 输出数据 1 (-)。
16	D0+C	Output	通道 C LVDS 输出数据 0 (+)。
15	D0-C	Output	通道 C LVDS 输出数据 0 (-)。
14	D1+C	Output	通道 C LVDS 输出数据 1 (+)。
13	D1-C	Output	通道 C LVDS 输出数据 1 (-)。
12	D0+D	Output	通道 D LVDS 输出数据 0 (+)。
11	D0-D	Output	通道 D LVDS 输出数据 0 (-)。
10	D1+D	Output	通道 D LVDS 输出数据 1 (+)。
9	D1-D	Output	通道 D LVDS 输出数据 1 (-)。
18	DCO+	Output	数据时钟输出 (+)。
17	DCO-	Output	数据时钟输出 (-)。
20	FCO+	Output	帧时钟输出 (+)。
19	FCO-	Output	帧时钟输出 (-)。
SPI 控制			
30	SCLK/DTP	Input	SPI 时钟输入/数据测试码。
31	SDIO/OLM	Input/output	SPI 数据输入/输出 (双向 SPI 数据) /输出通道模式。
32	CSB	Input	SPI 片选信号 (低电平有效)。
ADC 配置			
33	PDWN	Input	数字输入, PDWN 高电平为断电模式, PDWN 低电平为工作模式。 内部有 30kΩ 下拉电阻。

3 技术规格

3.1 绝对最大额定值

表 3-1 绝对最大额定值

分类	参数	额定值
电气	AVDD 至 AGND	-0.3V 至+2.0V
	DRVDD 至 AGND	-0.3V 至+2.0V
	数字输出 (D0±x, D1±x, DCO+, DCO-, FCO+, FCO-) 至 AGND	-0.3V 至+2.0V
	CLK+, CLK- 至 AGND	-0.3V 至+2.0V
	VIN+x/VIN-x 至 AGND	-0.3V 至+2.0V
	SCLK/DTP, SDIO, CSB 至 AGND	-0.3V 至+2.0V
	SYNC, PDWN 至 AGND	-0.3V 至+2.0V
	R _{BIAS} , V _{CM} 至 AGND	-0.3V 至+2.0V
	V _{REF} , SENSE 至 AGND	-0.3V 至+2.0V
环境	工作温度范围 (环境温度, V _{REF} =1.0V)	-40°C to +85°C
	最高结温	150°C
	引脚温度 (焊接, 10 秒)	300°C
	存储温度范围 (环境温度)	-65°C to +150°C

⚠ 警告

- 超出上述绝对最大额定值可能会导致器件永久性损坏。
- 长期在绝对最大额定值条件下工作会影响器件的可靠性。

3.2 直流规格

除非另有说明, AVDD=1.8V、DRVDD=1.8V、2.0Vp-p 满量程差分输入、A_{IN}= -1dBFS、1V 内部基准电压、DCS 开启。

表 3-2 直流规格

参数	温度条件	80MSPS			125MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全部	14			14			Bits
精度								
无失码	25°C		保证			保证		
失调误差	25°C		0.2			0.2		%FSR
失调匹配	25°C		0.1			0.1		%FSR
增益误差	25°C		5			5		%FSR
增益匹配	25°C		1			1		%FSR
微分非线性 (DNL)	25°C		-0.5/+0.5			-0.5/+0.5		LSB
积分非线性 (INL)	25°C		±0.8			±1.6		LSB
温度漂移								
失调误差	25°C		5			5		ppm/°C
内部基准电压								
输出电压 (1V 模式)	25°C		1.0			1.0		V

参数	温度条件	80MSPS			125MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
输入阻抗	25°C		8			8		kΩ
输入等效噪声								
$V_{REF}=1.0V$	25°C		1			1		LSB rms
模拟输入								
差分输入电压 ($V_{REF}=1.0V$)	25°C		2			2		V p-p
共模电压	25°C		0.9			0.9		V
共模范围	25°C		0.9			0.9		V
差分输入阻抗	25°C		8			8		kΩ
差分输入电容	25°C		5			5		pF
电源								
AVDD	25°C	1.75	1.8	1.85	1.75	1.8	1.85	V
DRVDD	25°C	1.75	1.8	1.85	1.75	1.8	1.85	V
IAVDD	25°C		220			250		mA
IDRVDD (ANSI-644 模式)	25°C		69			76		mA
IDRVDD (缩小范围模式)	25°C		54			65		mA
总功耗								
直流输入	25°C		510			560		mW
正弦波输入 (四通道包括输出驱动, ANSI-644 模式)	25°C		520			587		mW
正弦波输入 (四通道包括输出驱动, 缩小范围模式)	25°C		493			570		mW
关断	25°C		2			2		mW
待机	25°C		152			152		mW

3.3 交流规格

除非另有说明, AVDD=1.8V、DRVDD=1.8V、2.0Vp-p 满量程差分输入、 $A_{IN} = -1dBFS$ 、1V 内部基准电压、DCS 打开。

表 3-3 交流规格

参数	温度条件	80MSPS			125MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
SNR								
f _{IN} = 9.7MHz	25°C		76.3			75.3		dBFS
f _{IN} = 30.5MHz	25°C		75.7			75.2		dBFS
f _{IN} = 70MHz	25°C		74.1			73.2		dBFS
f _{IN} = 140MHz	25°C		71.2			72		dBFS
f _{IN} = 200MHz	25°C		69.1			70		dBFS
SINAD								
f _{IN} = 9.7MHz	25°C		76.2			75.2		dBFS
f _{IN} = 30.5MHz	25°C		75.5			75.1		dBFS
f _{IN} = 70MHz	25°C		73.7			73		dBFS
f _{IN} = 140MHz	25°C		69.9			71		dBFS
f _{IN} = 200MHz	25°C		67.8			68.5		dBFS
ENOB								
f _{IN} = 9.7MHz	25°C		12.4			12.2		Bits
f _{IN} = 30.5MHz	25°C		12.2			12.1		Bits
f _{IN} = 70MHz	25°C		12			11.8		Bits
f _{IN} = 140MHz	25°C		11.3			11.5		Bits

参数	温度条件	80MSPS			125MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
$f_{IN} = 200\text{MHz}$	25°C		11			11.1		Bits
SFDR								
$f_{IN} = 9.7\text{MHz}$	25°C		96			92		dBc
$f_{IN} = 30.5\text{MHz}$	25°C		89			90		dBc
$f_{IN} = 70\text{MHz}$	25°C		85			88		dBc
$f_{IN} = 140\text{MHz}$	25°C		76			80		dBc
$f_{IN} = 200\text{MHz}$	25°C		76			78		dBc
最差二次或三次谐波								
$f_{IN} = 9.7\text{MHz}$	25°C		-96			-92		dBc
$f_{IN} = 30.5\text{MHz}$	25°C		-89			-90		dBc
$f_{IN} = 70\text{MHz}$	25°C		-85			-88		dBc
$f_{IN} = 140\text{MHz}$	25°C		-76			-80		dBc
$f_{IN} = 200\text{MHz}$	25°C		-76			-78		dBc
最差其它谐波或杂散								
$f_{IN} = 9.7\text{MHz}$	25°C		-100			-100		dBc
$f_{IN} = 30.5\text{MHz}$	25°C		-100			-100		dBc
$f_{IN} = 70\text{MHz}$	25°C		-100			-100		dBc
$f_{IN} = 140\text{MHz}$	25°C		-99			-99		dBc
$f_{IN} = 200\text{MHz}$	25°C		-98			-98		dBc
双音交调失真-AIN1 和 AIN2 = -7.0dBFS								
$f_{IN1} = 70.5\text{MHz}, f_{IN2} = 72.5\text{MHz}$	25°C		89			86		dB
串扰	25°C		-88			-88		dB
串扰 (超量程情况)	25°C		-82			-82		dB
电源抑制比								
AVDD	25°C		50			50		dB
DRVDD	25°C		70			70		dB
全功率输入带宽	25°C		500			500		MHz

3.4 数字规格

除非另有说明, AVDD=1.8V、DRVDD=1.8V。

表 3-4 数字规格

参数	温度条件	最小值	典型值	最大值	单位
时钟输入 (CLK+,CLK-)					
逻辑兼容		CMOS/LVDS/LVPECL			
差分输入电压 ⁽¹⁾	全部	0.2		3.6	V p-p
输入电压范围	全部	AGND		AVDD	V
输入共模电压	全部	0.8	1.2	1.4	V
输入阻抗(差分)	25°C		15		kΩ
输入电容	25°C		4		pF
逻辑输入 (PDWN,SYNC,SCLK)					
逻辑 1 电压	全部	1.5		AVDD+0.1	V
逻辑 0 电压	全部	0		0.5	V
输入阻抗	25°C		30		kΩ
输入电容	25°C		2		pF
逻辑输入 (CSB)					
逻辑 1 电压	全部	1.5		AVDD+0.1	V
逻辑 0 电压	全部	0		0.8	V
输入阻抗	25°C		26		kΩ

参数	温度条件	最小值	典型值	最大值	单位
输入电容	25°C		2		pF
逻辑输入 (SDIO)					
逻辑 1 电压	全部	1.5		AVDD+0.1	V
逻辑 0 电压	全部	0		0.8	V
输入阻抗	25°C		26		kΩ
输入电容	25°C		5		pF
逻辑输出 (SDIO)					
逻辑 1 电压 (I _{OH} = 800μA)	全部		1.79		V
逻辑 0 电压 (I _{OL} = 50μA)	全部			0.05	V
数字输出 (D0±x, D1±x), ANSI-644					
逻辑兼容		LVDS			
差分输出电压 (V _{OD})	全部	±300	350	±400	mV
输出失调电压 (V _{OS})	全部	1.15	1.25	1.35	V
输出编码 (默认)		二进制补码			
数字输出 (D0±x, D1±x), IEEE-1596.3					
逻辑兼容		LVDS			
差分输出电压 (V _{OD})	全部	±150	200	±225	mV
输出失调电压 (V _{OS})	全部	1.15	1.25	1.35	V
输出编码 (默认)		二进制补码			

此处仅针对 LVDS 和 LVPECL 进行规定。

3.5 开关规格

除非另有说明, AVDD=1.8V、DRVDD=1.8V、 $V_{IN} = -1dBFS$ 差分输入、1V 内部基准电压、DCS 打开。

表 3-5 开关规格

参数	温度条件	最小值	典型值	最大值	单位
时钟					
输入时钟速率	全部	20		1000	MHz
转换速率	全部	20		125	MSPS
时钟脉宽高电平 (T_{EH})	全部		4		ns
时钟脉宽低电平 (T_{EL})	全部		4		ns
输出参数					
传播延时 (t_{PD})	全部	4.85	5.3	5.75	ns
上升时间 (t_R) (20%至 80%)	全部		300		ps
下降时间 (t_F) (20%至 80%)	全部		300		ps
FCO 传播延时 (t_{FCO})	全部		2.3		ns
DCO 传播延时 (t_{CPD})	全部		$t_{FCO} + (t_{SAMPLE}/16)$		ns
DCO 至数据延时 (t_{DATA})	全部	$(t_{SAMPLE}/16) - 300$	$(t_{SAMPLE}/16)$	$(t_{SAMPLE}/16) + 300$	ps
DCO 至 FCO 延时 (t_{FRAME})	全部	$(t_{SAMPLE}/16) - 300$	$(t_{SAMPLE}/16)$	$(t_{SAMPLE}/16) + 300$	ps
通道延迟 (t_{LD})			90		ps
数据至数据偏移 ($t_{DATA-MAX} - t_{DATA-MIN}$)	全部		±50		ps
唤醒时间 (Standby)	25°C			300	ns
唤醒时间 (Power-Down)	25°C		20		μs
流水线延迟	全部		8		时钟周期
孔径					
孔径延迟 (t_A)	25°C		1		ns
孔径不确定性 (抖动, t_j)	25°C		140		fs rms
超量程恢复时间	25°C		1		时钟周期

3.6 时序规格

表 3-6 时序规格

参数	条件	最小值	典型值	最大值	单位
同步时序要求					
t_{SSYNC}	SYNC 至 CLK+上升沿的建立时间		1.2		ns min
t_{HSYNC}	SYNC 至 CLK+上升沿的保持时间		-0.2		ns min
SPI 时序要求					
t_{DS}	数据与 SCLK 上升沿之间的建立时间		3		ns min
t_{DH}	数据与 SCLK 上升沿之间的保持时间		3		ns min
t_{CLK}	SCLK 周期		40		ns min
t_S	CSB 与 SCLK 之间的建立时间		3		ns min
t_H	CSB 与 SCLK 之间的保持时间		3		ns min
t_{HIGH}	SCLK 高电平脉冲宽度		20		ns min
t_{LOW}	SCLK 低电平脉冲宽度		20		ns min
t_{EN_SDIO}	相对于 SCLK 下降沿, SDIO 引脚从输入状态切换到输出状态所需的时间		10		ns min
t_{DIS_SDIO}	相对于 SCLK 上升沿, SDIO 引脚从输入状态切换到输出状态所需的时间		10		ns min

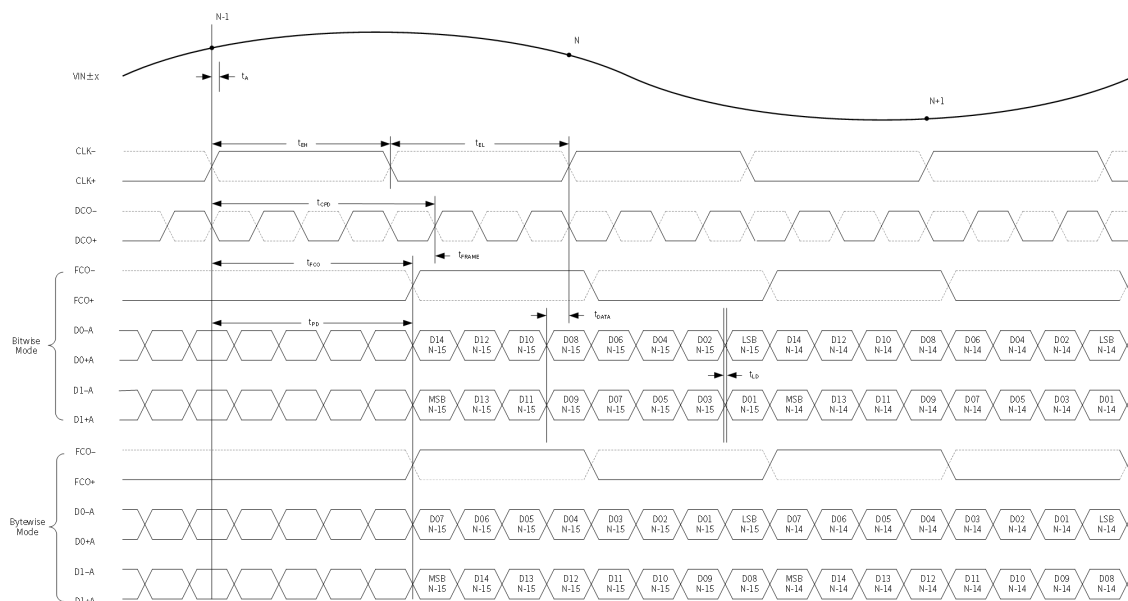


图 3-1 16 位 DDR，双通道，1X 帧模式（默认）

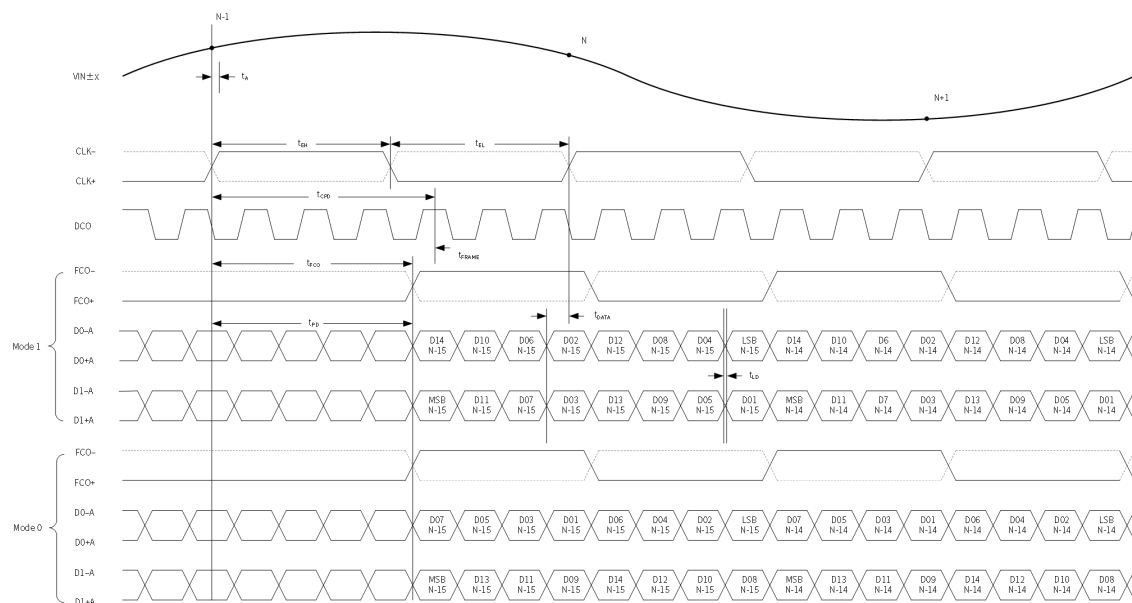


图 3-2 16 位 SDR，双通道，1X 帧模式

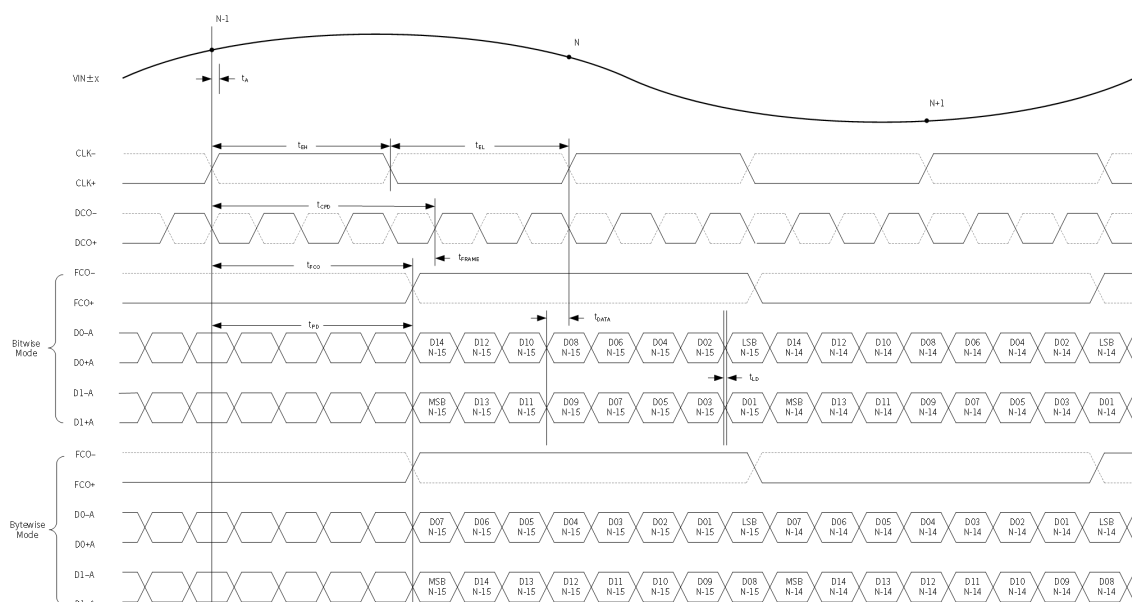


图 3-3 16 位 DDR，双通道，2X 帧模式

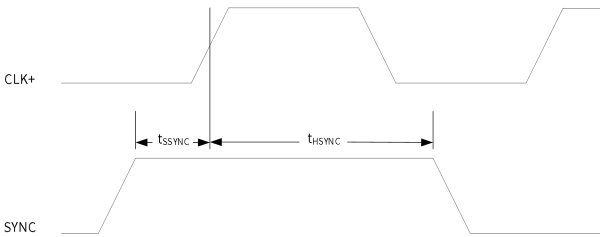


图 3-7 SYNC 输入时序要求

3.7 ESD



本品为 ESD（静电放电）敏感器件。带电设备和电路板可能在不被发现的情况下放电。尽管本产品具有保护电路，但设备在承受高能 ESD 时仍可能会损坏。因此，应采取适当的 ESD 预防措施，以避免性能下降或功能丧失。

表 3-7 ESD 参数

参数	描述	值	单位
V _{ESD}	人体放电模式（HBM）	2000	V
	组件充电模式（CDM）	500	V

4 典型性能图示

4.1 80MSPS ($V_{REF}=1.0V$)

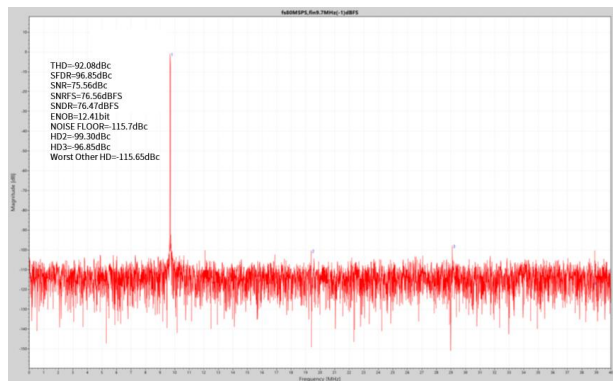


图 4-1 单音 FFT $f_{IN}=9.7\text{MHz}$

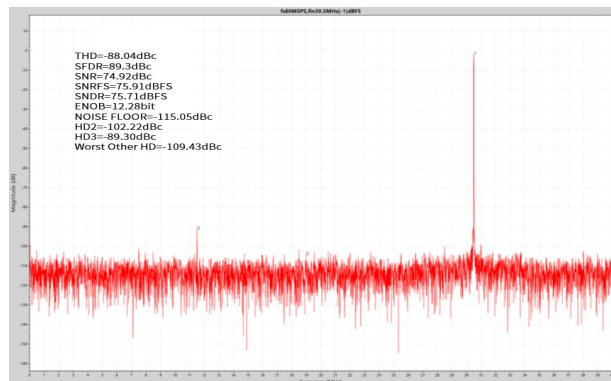


图 4-2 单音 FFT $f_{IN}=30.5\text{MHz}$

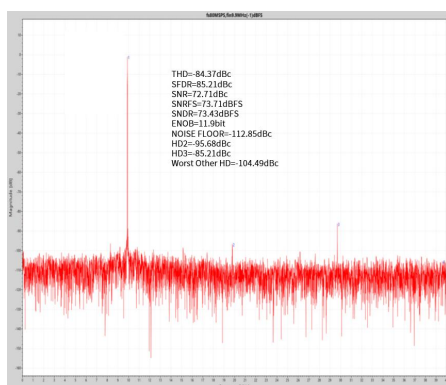


图 4-3 单音 FFT $f_{IN}=70\text{MHz}$

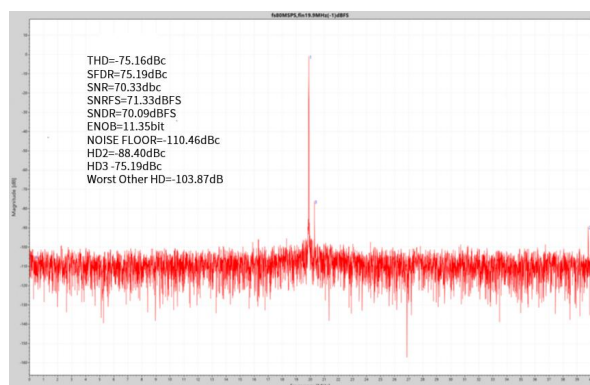


图 4-4 单音 FFT $f_{IN}=140\text{MHz}$

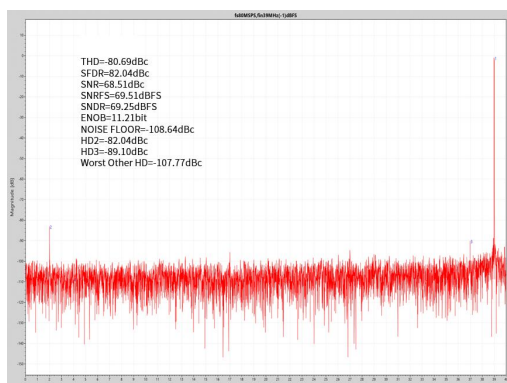


图 4-5 单音 FFT $f_{IN}=201\text{MHz}$

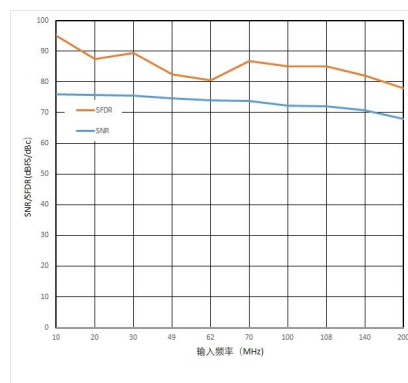


图 4-6 SNR/SFDR vs. 输入幅度(AIN), $f_{IN}=9.7\text{MHz}$

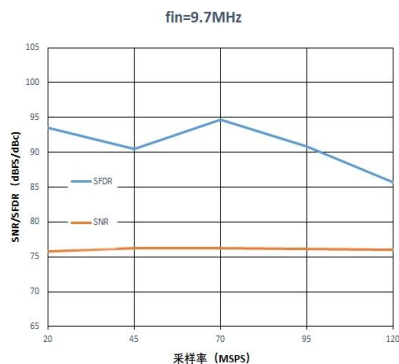


图 4-7 SNR/SFDR vs.采样率, $f_{IN}=9.7\text{MHz}$

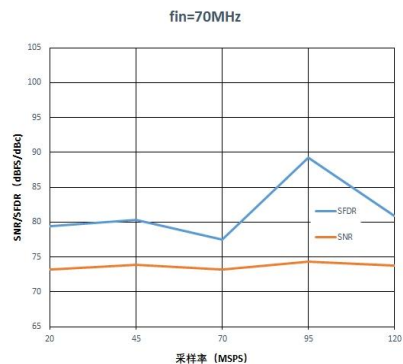


图 4-8 SNR/SFDR vs.采样率, $f_{IN}=70\text{MHz}$

4.2 125MSPS ($V_{REF}=1.0\text{V}$)

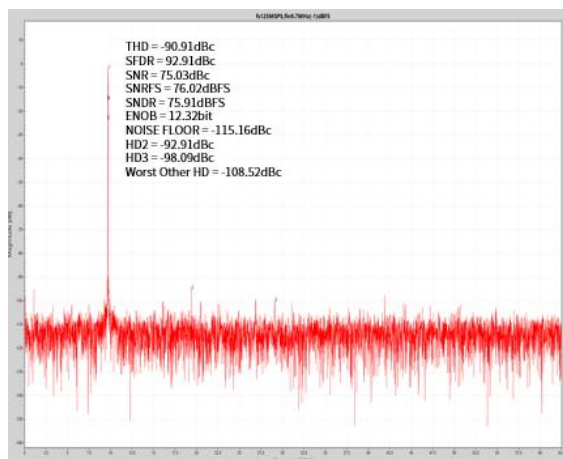


图 4-9 单音 FFT $f_{IN}=9.7\text{MHz}$

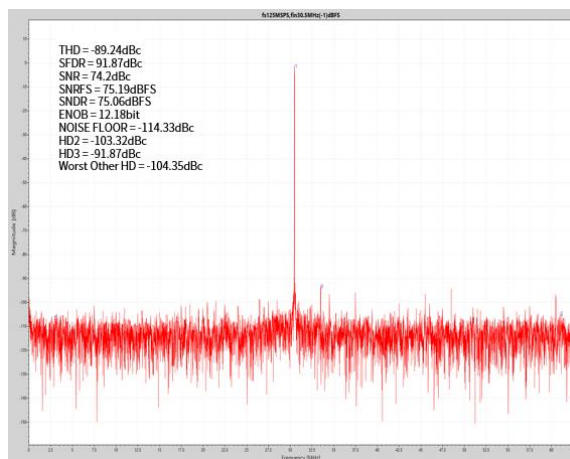


图 4-10 单音 FFT $f_{IN}=30.5\text{MHz}$

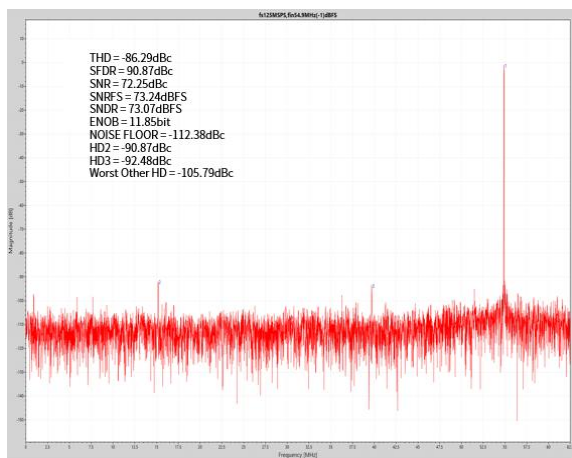


图 4-11 单音 FFT $f_{IN}=70\text{MHz}$

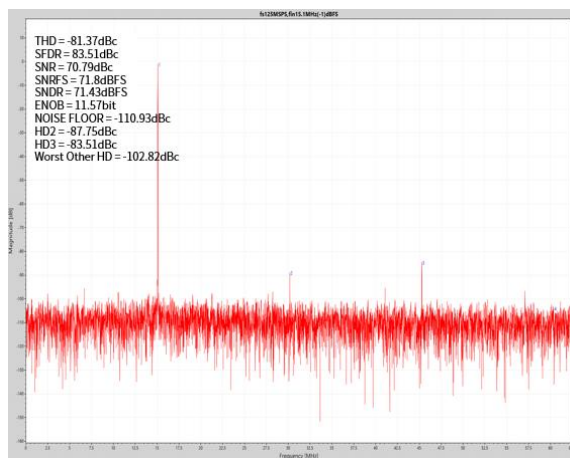


图 4-12 单音 FFT $f_{IN}=140\text{MHz}$

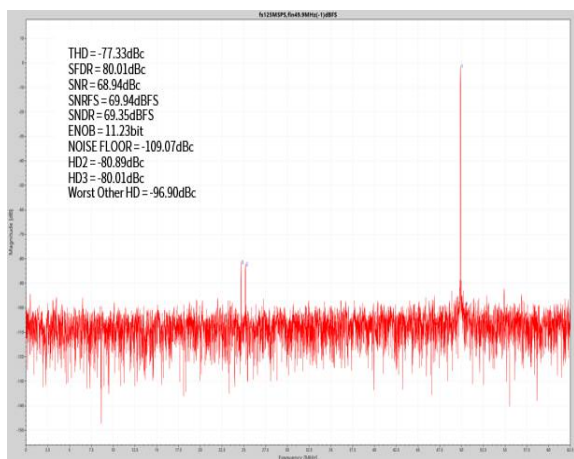


图 4-13 单音 FFT $f_{IN}=200.1\text{MHz}$

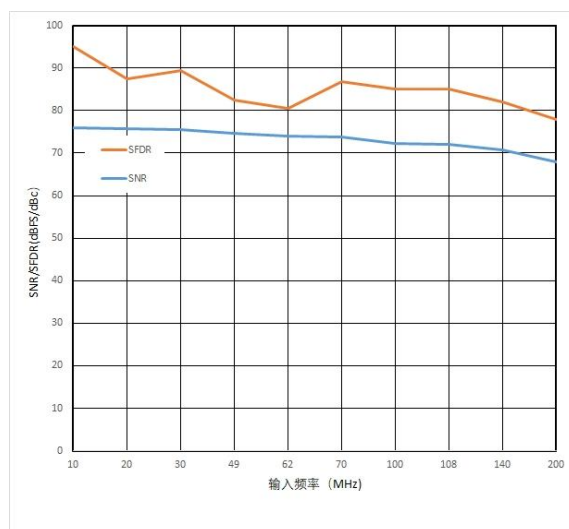


图 4-14 SNR/SFDR vs. 输入幅度(A_{IN}), $f_{IN}=9.7\text{MHz}$

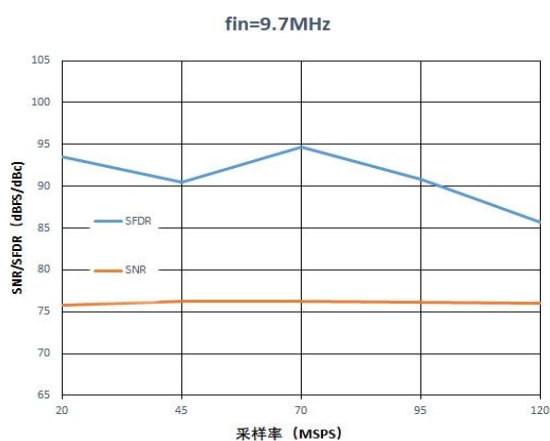


图 4-15 SNR/SFDR vs. 采样率, $f_{IN}=9.7\text{MHz}$

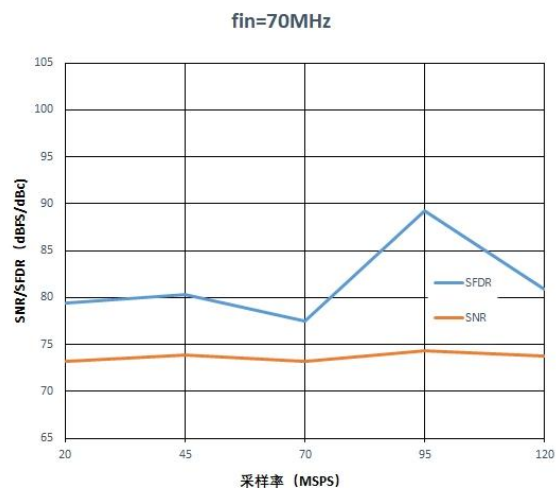


图 4-16 SNR/SFDR vs. 采样率, $f_{IN}=70\text{MHz}$

5 等效电路

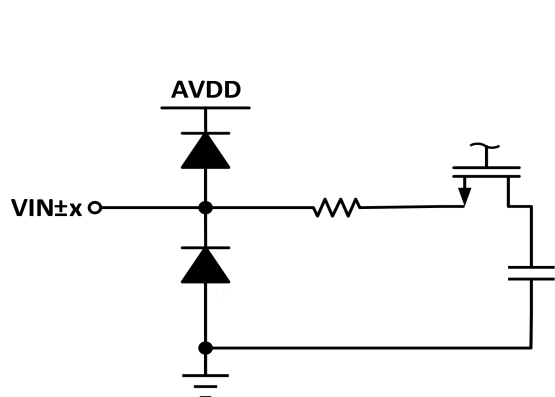


图 5-1 等效模拟输入电路

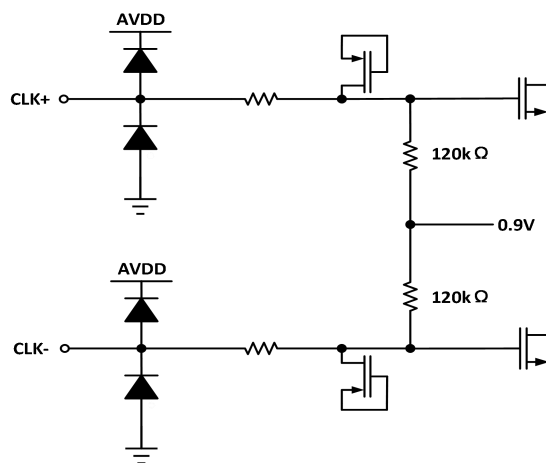


图 5-2 等效时钟输入电路

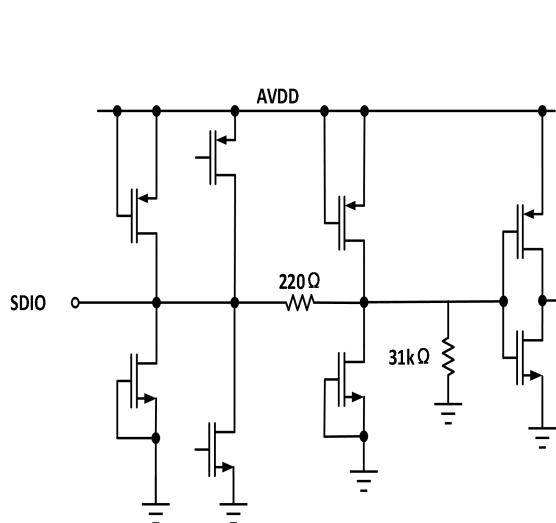


图 5-3 等效 SDIO 输入电路

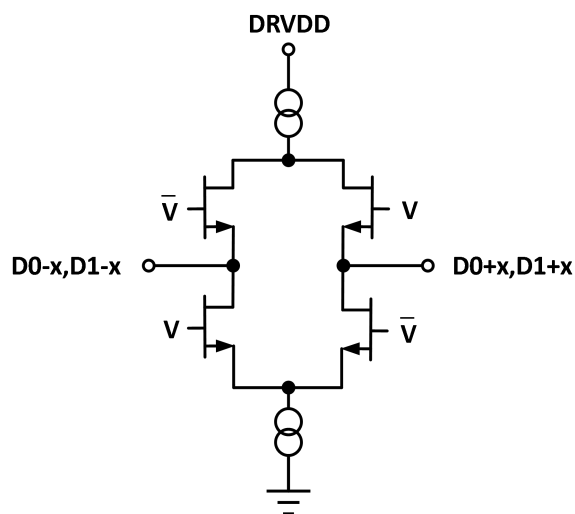


图 5-4 等效数字输出电路

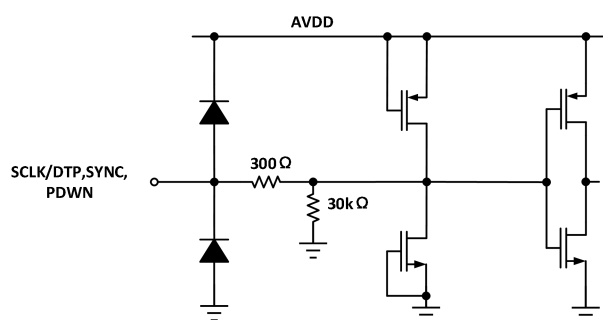


图 5-5 等效 SCLK/DTP, SYNC, PDWN 输入电路

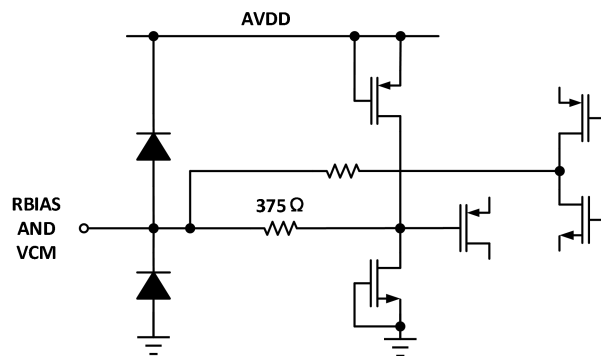


图 5-6 等效 R_{BIAS} 和 V_{CM} 输入电路

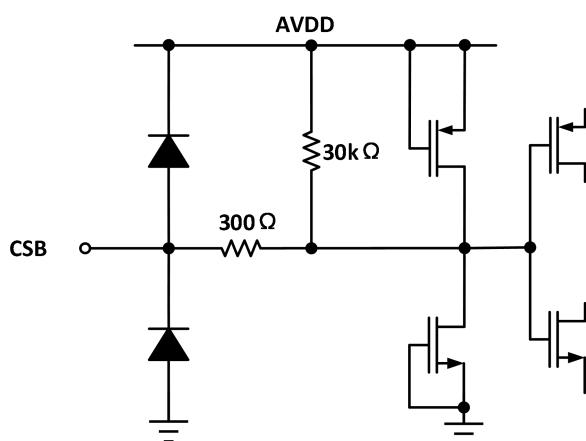


图 5-7 等效 CSB 输入电路

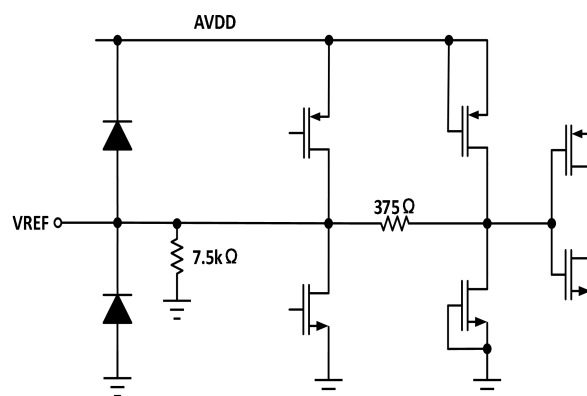


图 5-8 等效 V_{REF} 电路

6 详细信息

UIA4301 是一个多级流水线型 ADC。各级均提供了充足的重叠来校正上一级的 Flash 误差。各级的量化输出组合在一起，在数字校正逻辑中最终组成了一个 14 位的转换结果。串行器将转换结果以 14 位输出格式发送。流水线架构允许第一级处理新的输入样本，而余下的级继续处理之前的样本。采样在时钟的上升沿进行。

除最后一级外，流水线的各级都由一个低分辨率 Flash ADC、与之相连的开关电容 DAC 和一个余量放大器组成。余量放大器会放大重构 DAC 输出与 Flash 输入之间的差值，并提供给流水线的下一级。各级都有一位冗余量用来进行 Flash 误差的数字校正。最后一级仅由一个 Flash ADC 组成。

输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。数据随后会被串行化并对齐帧时钟和数据时钟。

6.1 模拟输入参考

UIA4301 的模拟输入端是一个差分开关电容电路，用于处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，并且能实现最佳性能。

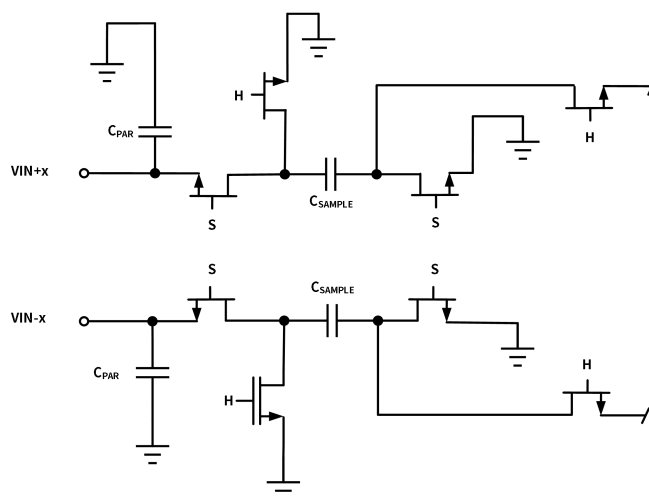


图 6-1 采样电容输入电路

输入电路根据时钟信号，在采样模式和保持模式之间切换，如图 6-1 所示。当输入电路切换到采样模式时，信号源会对采样电容充电，并且在半个时钟周期内完成建立。每个输入端可以串联一个小电阻，可以降低来自驱动源输出级的峰值瞬态电流。可以通过在每个输入端放置低 Q 值电感或磁珠，以减小模拟输入端的高差分电容，从而实现 ADC 的最大带宽。在高 IF 频率下驱动转换器前端时，必须使用低 Q 电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容，以提供匹配的无源网络，这个无源网络在输入端形成一个低通滤波器，用来限制无用的宽带噪声。器件的选取取决于具体应用。

6.1.1 输入共模模式

UIA4301 的模拟输入端无内部直流偏置。因此，在交流耦合应用中，用户必须提供外部偏置。为了能够获得最佳性能，建议设置 $V_{CM} = AVDD/2$ ，但是该器件在很宽的共模范围内都能具有合理的性能。

芯片内部集成了一个共模基准电压，通过 V_{CM} 引脚提供。芯片 V_{CM} 引脚必须通过 $0.1\mu F$ 电容旁路到地。

将 ADC 的差分输入范围调整到最大可以得到最优的 SNR 性能。对于 UIA4301 而言，输入范围取决于参考电压，见表 6-1。

6.1.2 差分输入配置

有多种有源或无源方法可以驱动 UIA4301，通过差分方式驱动模拟输入可实现最佳性能。在基带应用中，使用差分双巴伦输入配置来驱动，可以使 UIA4301 发挥最好的性能，如图 6-2 所示。

在 SNR 为关键参数的应用中，由于大多数放大器的噪声水平均不足以实现 UIA4301 的真实性能，所以建议使用差分变压器耦合的输入配置结构，如图 6-3 所示。

无论使用何种配置，并联电容 C 的值均取决于输入信号频率，可能需要降低该电容的值，甚至去掉该电容。

不建议使用单端输入驱动 UIA4301。

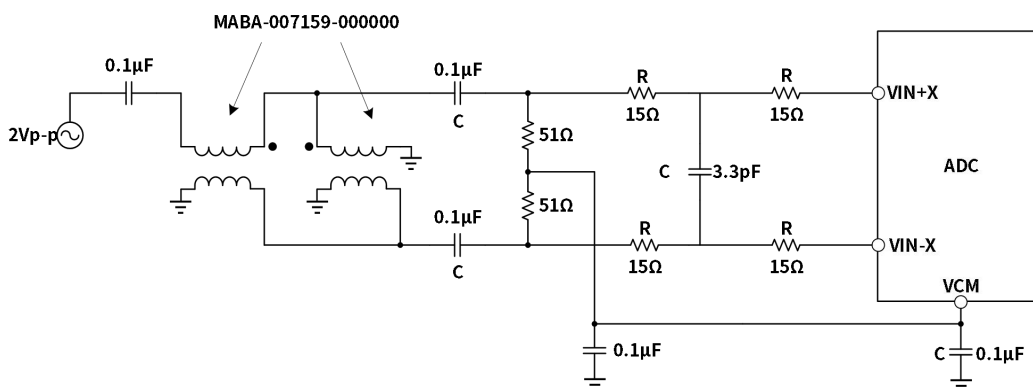


图 6-2 差分双巴伦输入配置

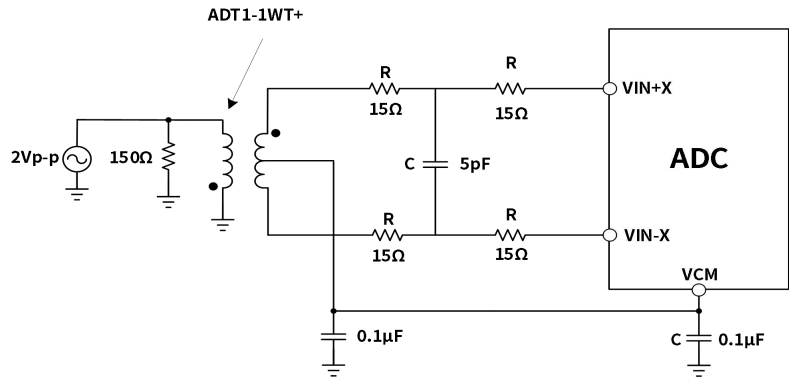


图 6-3 差分变压器输入配置

6.2 基准电压

UIA4301 内置一个稳定且精确的基准电压源。V_{REF} 可以配置为 1.0V 内部基准电压、由外部提供的 1.0V 基准电压，或者外加分压电阻来得到用户想要的内部基准电压。V_{REF} 引脚应该放置一组低 ESR，1.0μF 并联一个低 ESR，0.1μF 的旁路电容组合。在启用可编程内部基准电压配置时，仅需要放置一个低 ESR，0.1μF 的旁路电容。

6.2.1 内部基准电压

UIA4301 的内置比较器可检测出 SENSE 引脚的电压，从而将基准电压配置成三种可能的模式之一，见表 6-1。如果 SENSE 引脚接地，基准电压放大器的开关连接到内部分压电阻。将 V_{REF} 设为 1V。

UIA4301 的内部基准电压可以作为输出使用，但驱动能力较弱，只能驱动 1M 欧姆及以上的电阻。

表 6-1 基准电压配置表

所选模式	SENSE 电压 (V)	相应的 V _{REF} (V)	相应差分范围 (Vp-p)
固定内部基准电压	AGND 至 0.2	1.0, 内部	2.0
固定外部基准电压	AVDD	1.0, 施加于外部 V _{REF} 引脚	2.0

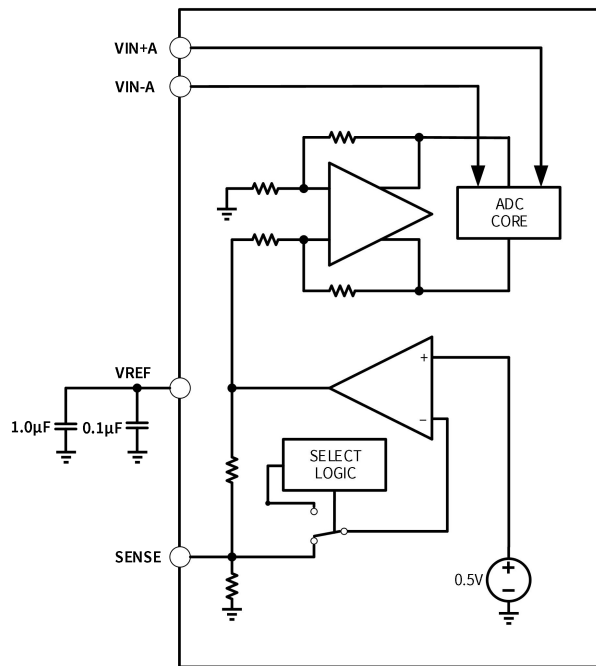


图 6-4 1.0V 内部基准电压配置

6.2.2 外部基准电压

采用外部基准电压有可能进一步提高 ADC 增益精度、改善热漂移特性。

将 SENSE 引脚与 AVDD 相连时，可以禁用内部基准电压，从而允许使用外部基准电压。内部缓冲器会为外部基准提供 7.5kΩ 的负载。内部缓冲器为 ADC 内核生成正、负满量程基准电压。不建议悬空 SENSE 引脚。

6.3 时钟输入参考

为了充分发挥芯片的性能，应利用一个差分信号作为 UIA4301 采样时钟输入端（CLK+和 CLK-）的时钟信号。通常使用变压器或电容将该信号交流耦合到 CLK+引脚和 CLK-引脚。CLK+和 CLK-引脚有内部偏置，无需外部偏置。

6.3.1 时钟输入选项

UIA4301 建议使用具有灵活的时钟输入结构。LVDS、LVPECL 或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动。

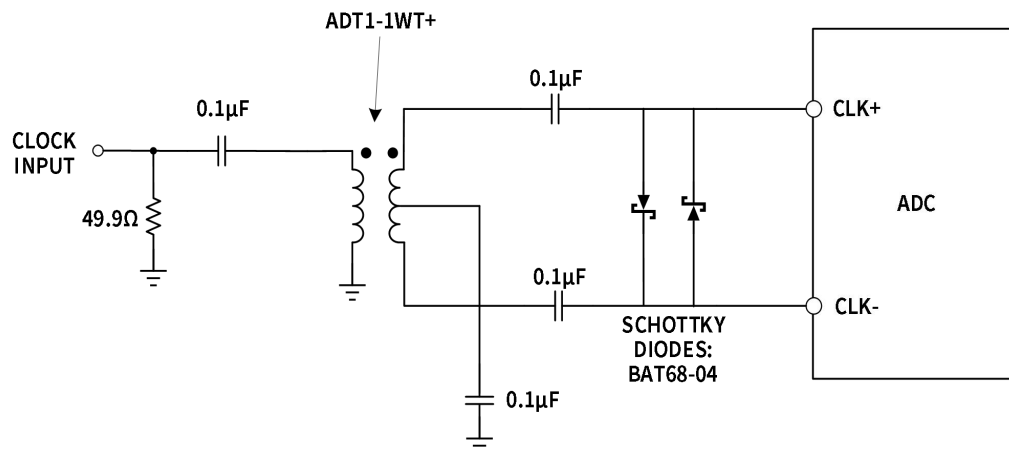


图 6-5 变压器耦合差分时钟（最大支持 200MHz 输入）

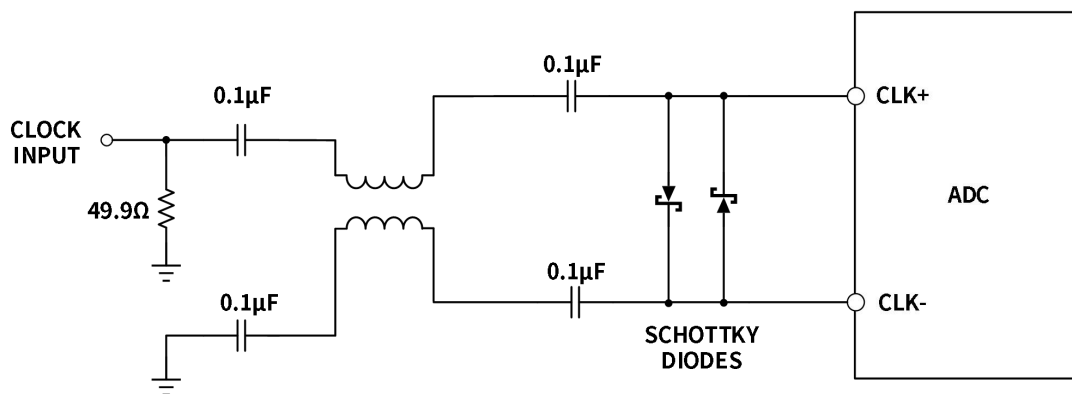


图 6-6 巴伦耦合差分时钟（最大支持 1GHz 输入）

图 6-5 和图 6-6 展示了两种推荐的时钟输入电路，可以支持高达 1GHz 的时钟信号。利用射频变压器或射频巴伦，可将低抖动的单端时钟信号转换为差分时钟信号。

对于 125MHz 至 1GHz 的时钟频率，建议采用射频巴伦配置。对于 20MHz 至 200MHz 的时钟频率，建议采用射频变压器配置。跨接在变压器或巴伦次级上的反向并联肖特基二极管可以将输入到 UIA4301 中的差分时钟信号摆幅限制为约 0.8V 峰峰值。

这个限制可以防止时钟的大电压摆幅馈通至 UIA4301 的其它部分，也可以保证信号的快速上升和下降时间，这一点对实现低抖动来说非常重要。当频率高于 500MHz 时，二极管的电容会对时钟信号产生影响，所以必须选择合适的信号限幅二极管。

如果没有低抖动的时钟源，那么，另一种方法是将差分 LVDS 或 LVPECL 信号交流耦合至采样时钟输入引脚，如图 6-7 和图 6-8 所示。

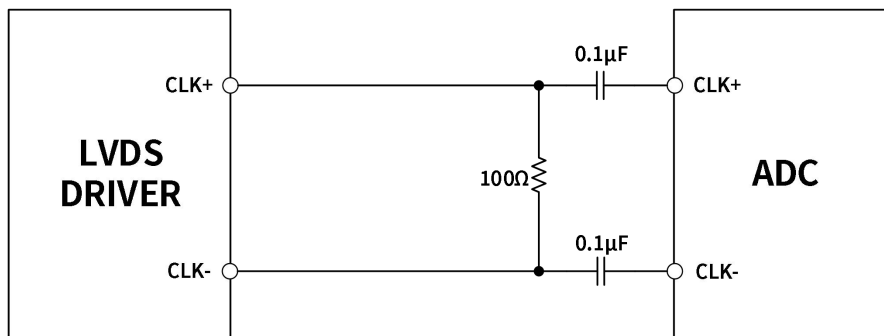


图 6-7 差分 LVDS 采样时钟（最大支持 1GHz 输入）

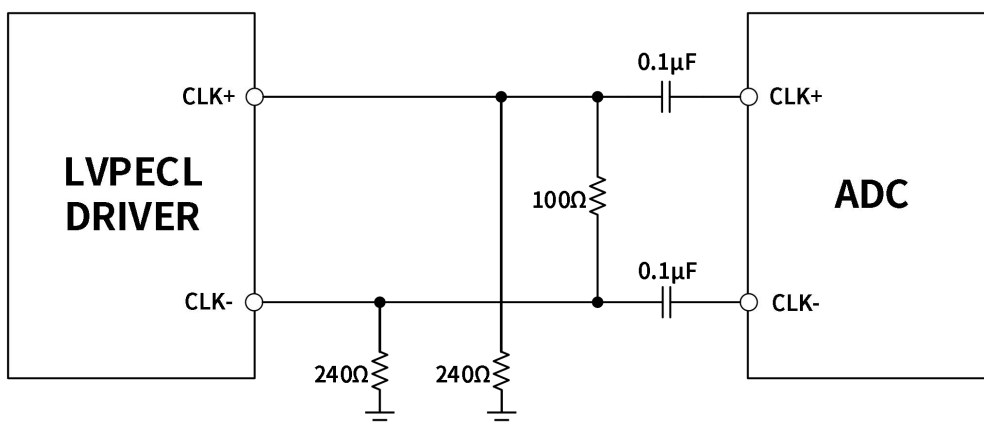


图 6-8 差分 LVPECL 采样时钟（最大支持 1GHz 输入）

6.3.2 输入时钟分频器

UIA4301 内置一个输入时钟分频器，可对输入时钟进行 1 至 8 整数倍分频。

UIA4301 时钟分频器可以通过外部 SYNC 输入信号来同步。通过对配置寄存器，可以让时钟分频器在每次收到 SYNC 信号或者仅第一次收到 SYNC 信号后进行再同步。有效 SYNC 可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样，该功能在时钟一分频时不生效。

6.3.3 时钟占空比

典型的高速 ADC 利用两个时钟边沿产生一系列内部定时信号，因此它对时钟占空比非常敏感。通常，为保持 ADC 的动态性能，时钟占空比容差应为 $\pm 5\%$ 。

UIA4301 内置一个占空比稳定器（DCS），可对非采样边沿（下降沿）进行重新定时，并提供标称占空比为 50% 的内部时钟信号。当时钟输入占空比偏离额定值 50% 的幅度大于 $\pm 5\%$ 时，该特性可最大程度减少性能的下降。当 DCS 开启时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。芯片在默认配置下，DCS 功能为开启状态。

输入时钟上升沿的抖动依然非常重要，且无法借助内部稳定电路来降低这种抖动。当时钟速率低于 20MHz 时，占空比控制环路失效。在时钟速率动态改变的应用中，必须考虑与环路相关的时间常量。在时钟速率变化后，需要至少 5μs 的等待时间来使 DCS 环路重新锁定输入信号。DCS 功能的开关不受 CSB 引脚电平决定。对于 200M 及以上的输入信号，建议开启 DCS 功能。

6.3.4 抖动考虑

高速、高分辨率 ADC 对时钟输入信号的质量非常敏感。在给定的输入频率 (f_A) 下，仅由于孔径抖动 ($t_{j,rms}$) 造成的 SNR 下降可通过下式计算：

$$SNR \text{ 衰减} = 20 \log_{10} \left(\frac{1}{2\pi \times f_A \times t_j} \right)$$

在此公式中，均方根孔径抖动表示所有抖动源（包括时钟输入信号、模拟输入信号和 ADC 孔径抖动）的均方根。中频欠采样应用对抖动尤其敏感，因此应尽量减少。

在孔径抖动可能影响 UIA4301 的动态范围时，应将时钟输入信号视为模拟信号。为避免在时钟信号内混入数字噪声，时钟驱动器电源应与 ADC 输出驱动器电源分离。低抖动的晶振可提供最佳时钟源。如果时钟信号来自其它类型的时钟源（通过门控、分频或其它方法），则需要最后一步中利用原始时钟进行重定时。

6.4 功耗和待机模式

UIA4301 模拟部分的功耗和采样率成正比。数字部分的功耗主要取决于 DRVDD 的供电和 LVDS 输出驱动器的偏置电流，因此不会有显著变化。

通过 SPI 端口或将 PDWN 引脚置为高电平，可使 UIA4301 进入掉电模式。在这种情况下，ADC 的典型功耗为 2mW。在掉电模式下，输出驱动器处于高阻抗状态。将 PDWN 引脚拉低可以使 UIA4301 回到正常工作模式。注意 PDWN 引脚以 AVDD 为基准，施加的电压不能超过该电源电压。

在掉电模式下，通过关闭基准电压源，基准电压缓冲器，偏置网络，时钟可实现低功耗，进入掉电模式时，内部电容放电，在恢复正常工作时重新充电。因此唤醒时间与处于掉电模式的时间有关，处于掉电模式的时间越短，则相应的唤醒时间越短。在配置 SPI 端口时，用户可以让 ADC 进入掉电模式或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。

6.5 数字输出和时序

采用默认配置上电时，UIA4301 的差分输出符合 ANSI-644 LVDS 标准，可以通过 SPI 来将其配置为低功耗，降摆幅的模式（类似 IEEE 1596.3 标准）。LVDS 驱动器的电流由片内产生，将每个输出端的电流设置为标称值 3.5mA。在 LVDS 接收器输入端有一个 100Ω 差分端接电阻，会产生标称值 350mV 的摆幅。

当工作在降摆幅模式时，输出电流可以降到 2mA，接收器在 100Ω 端接电阻上产生 200mV 的摆幅。

UIA4301 的 LVDS 输出便于与 ASIC 和 FPGA 中的 LVDS 接收器连接，从而在高噪声环境中实现出色的开关性能。建议使用单一点对点网络拓扑结构，并将 100Ω 的端接电阻尽可能接近接收器放置。如果没有远端接收器端接电阻，或者差分线布线较差的话，有可能导致时序错误。为了避免时序错误，推荐将走线的长度

控制在 24 英寸内，差分输出走线需要尽量靠近且等长。当走线长度超过 24 英寸时，用户必须判定波形是否满足设计的时序预算要求。

默认的数据输出格式为二进制补码。输出编码格式的例子可以见表 6-2，关于如何将数据输出格式更改为偏移二进制码，请见章节 8.2 存储器映射寄存器表。

表 6-2 数字输出编码

输入(V)	条件(V)	偏移二进制输出模式	二进制补码模式
VIN+ -VIN-	$< -V_{REF} - 0.5LSB$	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ -VIN-	$-V_{REF}$	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ -VIN-	0V	1000 0000 0000 0000	0000 0000 0000 0000
VIN+ -VIN-	$+V_{REF} - 1.0LSB$	1111 1111 1111 1111	0111 1111 1111 1111
VIN+ -VIN-	$> +V_{REF} - 0.5LSB$	1111 1111 1111 1111	0111 1111 1111 1111

在 DDR 模式下，每个 ADC 的数据都被串行化后以两通道输出。每个串行流的数据速率等于 16 比特乘以采样时钟速率，再除以通道的数量，最大的速率为 1000Mbps/通道 $[(16 \text{ bits} \times 125\text{MSPS})/2 = 1000\text{Mbps}/\text{通道}]$ 。最大允许的数据输出速率是 1Gbps/通道。如果使用的是单通道输出模式，在同一采样率下，数据速率会翻倍。为了保持最大数据速率为 1Gbps/通道，单通道输出模式下的采样率会被限制到最大 62.5MSPS。最低的转换速率典型值是 20MSPS。

UIA4301 具有两个帮助采集数据的输出时钟。DCO 用于为数字输出定时，在默认工作模式下，DCO 的速率为采样时钟速率的四倍。在 DDR 模式下，数据在 DCO 的上升沿和下降沿抓取。FCO 被用作新的字节输出的标志，在 1× 帧模式下，FCO 的速率与采样时钟速率相等。更多信息请参考章节 3.6 时序规格。

在默认模式下，参考图 3-1，串行数据流首先输出 MSB。通过 SPI 配置可以将输出的顺序反转，使串行数据流首先输出 LSB。

UIA4301 支持通过 SPI 配置 8 种输出测试码，此功能可在验证接收器采集和时序的时候发挥作用。测试向量的详细信息请见表 6-3。用户自定义的测试向量被分配至在 0x00D 的寄存器地址。

表 6-3 输出测试模式

输出测试模式位序列	测试码名称	数字输出字 1	数字输出字 2	接受数据格式选择	注释
0000	关闭(默认)	N/A	N/A	N/A	
0001	中间电平序列	1000 0000 0000 0000 (16 位)	N/A	是	所示为偏移二进制码
0010	正满量程序列	1111 1111 1111 1100 (16 位)	N/A	是	所示为偏移二进制码
0011	负满量程序列	0000 0000 0000 0000 (16 位)	N/A	是	所示为偏移二进制码
0100	棋盘形式	1010 1010 1010 1000 (16 位)	0101 0101 0101 0100 (16 位)	否	
0101	PN23 序列	N/A	N/A	是	PN23 ITU 0.150 $X^{23} + X^{18} + 1$
0110	PN9 序列	N/A	N/A	是	PN9

输出测试模式位序列	测试码名称	数字输出字 1	数字输出字 2	接受数据格式选择	注释
					ITU 0.150 $X^9 + X^5 + 1$
0111	1/0 字反转	1111 1111 1111 1100 (16 位)	0000 0000 0000 0000 (16 位)	否	
1000	用户自定义输入	通过寄存器 0x019 至 0x01C, 以及 0x00D[7:6] 配置		否	
1001	1/0 位翻转	1010101010101000 (16bit)		否	
1010	1×sync	0000000111111100 (16bit)		否	
1011	高位置 1	1000000000000000 (16bit)		否	
1101	Ramp data	有效 14bit 数据递增+1, 低 2bit 为 0		否	

PN 短序列测试码产生一个伪随机位序列, 每隔 $2^9 - 1$ 或 511 位重复一次。有关 PN 序列的说明以及如何产生, 请参见 ITU-T 0.150 (05/96) 标准的第 5.1 部分。种子值为全 1 (初始值见表 6-4)。输出为串行 PN9 序列的并行表示 (MSB 优先格式)。第一个输出字是 PN9 序列 MSB 对齐形式的前 16 位。PN 长序列测试码产生一个伪随机位序列, 每隔 $2^{23} - 1$ 或 8,388,607 位重复一次。有关 PN 序列的说明以及如何产生, 请参见 ITU-T 0.150 (05/96) 标准的第 5.6 部分。PN 序列初始值如下表 6-4 所示。输出为串行 PN23 序列的并行表示 (MSB 优先格式)。第一个输出字是 PN23 序列 MSB 对齐形式的前 16 位。

表 6-4 PN 序列 (二的补码格式输出)

序列	初始值	前三个采样输出 (MSB 优先)
PN 短序列	0xFF83	0xDF17, 0X3209, 0x4ED1
PN 长序列	0x00FF	0xFE3E, 0x807C, 0x801F

6.5.1 SDIO 引脚

该引脚仅在 SPI 工作模式下作为数据输入/输出使用。对于不需要 SPI 工作模式的应用, CSB 引脚连接到 AVDD, 此时 SDIO 引脚不工作。

6.5.2 SCLK/DTP 引脚

对于不需要 SPI 工作模式的应用, SCLK/DTP 引脚可用于选择数字测试码 (DTP)。如果在器件上电期间此引脚和 CSB 引脚保持高电平, 则它可以使能一个数字测试码。当 SCLK/DTP 引脚连接至 AVDD 时, ADC 通道的输出会移出此测试码: 1000 0000 0000 0000。FCO 和 DCO 正常工作, 同时所有通道移出重复测试码。利用此测试码, 用户可以对 FCO、DCO 和输出数据执行时序对齐。此引脚内置 30kΩ 下拉电阻。

表 6-5 数字测试码引脚测试

DTP 功能	DTP 电压	D0±x 和 D1±x 状态
不启用	通过 30kΩ 电阻接地	正常工作
启用	AVDD	1000 0000 0000 0000

可以通过 SPI 接口使用更多的测试码。更多相关信息请见章节 8.2 存储器映射寄存器表。

6.5.3 CSB 引脚

对于不需要 SPI 工作模式的应用，CSB 引脚连接到 AVDD。将 CSB 接高电平后，所有 SCLK 和 SDIO 信息都会被忽略。

6.5.4 R_{BIAS} 引脚

为了设置 ADC 内核的偏置电流，此引脚需要放置一个 10.0 k Ω ，1%容差的接地电阻。

6.6 输出测试模式

输出测试模式选项见表 6-3 所示，由地址 0x031 的输出测试模式位控制。当使能输出测试模式时，ADC 的模拟部分与数字后端模块断开，测试码经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。将寄存器 0x031 的位 4 或位 5 置为 1，可以将 PN 序列的发生器复位。执行这些测试时，不需要模拟信号输入，但编码时钟是必要的。

地址 0x40 的位 1/2/3/4 分别控制 channel A/B/C/D 是否选择测试模式输出。

7 SPI

UIA4301 串行端口接口 (SPI) 允许用户利用 ADC 内部的一个结构化寄存器空间来配置转换器, 以满足特定功能和操作的需要。SPI 使得用户能够更灵活地运用器件, 并根据具体的应用进行定制。通过串行端口, 可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织, 并且可以进一步细分成多个区域。

7.1 使用 SPI 的配置

该 ADC 的 SPI 由三部分组成: SCLK 引脚、SDIO 引脚和 CSB 引脚, 见表 7-1。SCLK (串行时钟) 引脚用于驱动 ADC 的读取和写入数据。SDIO (串行数据输入/输出) 双功能引脚允许将数据发送至内部 ADC 存储器映射寄存器或从该寄存器中读取数据。CSB (片选信号) 引脚是低电平有效控制引脚, 它能够使能或者禁用读写周期。

表 7-1 串行端口接口引脚

引脚	引脚功能
SCLK	串行时钟。用于同步串行接口的读写操作。
SDIO	串行数据输入/输出。双功能引脚; 通常用作输入或输出, 取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号, 用来选通读写周期。

CSB 的下降沿与 SCLK 的上升沿共同决定 SPI 指令开始。图 3-6 为串行时序图示例, 相应的定义见表 3-6。

CSB 可以在多种模式下工作。当 CSB 维持在低电平状态时, 器件一直处于使能状态。CSB 可以在字节之间停留在高电平, 这样可以允许其他外部时序。CSB 引脚连接高电平时, SPI 功能处于高阻抗模式。在该模式下, 可以开启 SPI 相关引脚的第二功能。

在一个指令阶段内, 会传输一条 16 位指令。在指令阶段后将进行数据传输, 数据长度由 W0 位和 W1 位共同决定。字长设置见表 7-2。

表 7-2 字长设置

[W1:W0]设置	操作	CSB 停止
00	可以传输 1 个字节的数据	可选
01	可以传输 2 个字节的数据	可选
10	可以传输 3 个字节的数据	可选
11	可以传输 4 个字节的数据。CSB 必须在整个操作序列中保持低电平, 否则周期即终止, 当 CSB 再次回到低电平时, 预期开始新的指令周期。	不允许

如果 W0 和 W1 所表示的值为 0, 则传输 1 个字节的数据, 推荐使用该模式。如果 W0 和 W1 所表示的值为 1, 则传输 2 个字节的数据。如果 W0 和 W1 所表示的值为 2, 则传输 3 个字节的数据。数据传输完成之后, 状态机返回空闲状态, 等待下一个指令周期。

除了字长, 指令阶段还决定串行帧是读操作还是写操作, 从而通过串行端口对芯片编程或读取片上存储器内的数据。多字节串行数据传输帧中的第一个字节的第一位指示发出的是读命令还是写命令。如果指令是

回读操作，则执行回读操作，这将改变串行数据输入/输出（SDIO）引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

所有数据均由 8 位字组成。数据可通过 MSB 优先模式或 LSB 优先模式进行发送。芯片上电后，默认模式为 MSB 优先，可以通过 SPI 端口配置寄存器来更改数据发送方式。

7.2 硬件接口

表 7-1 中所描述的引脚包括用户编程器件与 UIA4301 的串行端口之间的物理接口。使用 SPI 接口时，SCLK 引脚和 CSB 引脚用作输入引脚。SDIO 引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。SPI 接口非常灵活，FPGA 或微控制器均可控制该接口。

当需要转换器充分发挥其全部动态性能时，应维持 SPI 端口信号静态无翻转。通常 SCLK 信号、CSB 信号和 SDIO 信号与 ADC 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与 UIA4301 之间连接缓冲器，以防止这些信号在转换器的关键采样周期内发生变化。

不使用 SPI 接口时，有些引脚用作第二功能。在器件上电期间，这些引脚与 DRVDD 或地连接时，可启用特定的功能。表 6-5 说明了 UIA4301 支持的第二功能。

7.3 不使用 SPI 接口

在不使用 SPI 控制寄存器接口的应用中，SCLK/DTP 引脚用作独立的 CMOS 兼容控制引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，分别控制输出通道模式、数字测试码和断电特性。在此模式下，CSB 引脚应与 AVDD 相连，以禁用串行端口接口。

7.4 PDWN

PDWN pin 可用于控制芯片的工作状态，PDWN 输入高电平使能控制，芯片可进入 power_down 或 standby 工作状态。通过 0x30 寄存器的位 4 EXT_PIN_MODE_FUNC 选择当 PDWN pin 输入高电平时芯片的工作状态。

用户还可通过 0x30 寄存器的位[3:2] power_mode 控制芯片的工作状态，但是 PDWN pin 的控制优先级更高，即 PDWN pin 输入高电平时芯片受 EXT_PIN_MODE_FUNC 寄存器控制工作状态，PDWN pin 输入低电平时芯片受 power_mode 寄存器控制工作状态。

7.5 SPI 访问特性

表 7-3 简要说明了可通过 SPI 访问的一般特性。

表 7-3 可通过 SPI 访问的特性

特征名称	描述
功耗模式	允许用户设置掉电模式或待机模式
时钟	允许用户设置时钟分频器，设置时钟分频器相位，以及使能同步功能。

失调	允许用户以数字方式调整转换器失调
测试 I/O	允许用户设置测试模式，以便在输出位上获得已知数据
输出模式	允许用户设置输出模式
输出延迟	允许用户设置时钟输出延迟

8 存储器映射

8.1 存储器映射寄存器表说明

存储器映射寄存器表包含寄存器功能名称，寄存器地址，寄存器每一位的配置，寄存器复位值以及功能说明。UIA4301 的每个寄存器长度为一个字节。存储器映射寄存器表（表 8-1）列出了每个二进制地址及其二进制默认值。

8.1.1 禁用地址

此器件目前不支持表 8-1 中未包括的所有地址和位。有效地址中未使用的位应写默认值。当一个地址（例如地址 0x05）仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址（例如地址 0x13）均禁用或未在表 8-1 中列出，则不应对该地址进行写操作。

8.1.2 默认值

UIA4301 复位后，关键寄存器将载入默认值。表 8-1 内列出了各寄存器的默认值。

8.1.3 逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑 1 或向某位写入逻辑 1。
- “清除位”指“位设置为逻辑 0”或“向某位写入逻辑 0”。

8.2 存储器映射寄存器表

UIA4301 使用三线接口，16 位地址。寄存器 0x000 的位 0 和位 7 设置为 0，位 3 和位 4 设置为 1。当寄存器 0x000 的位 5 设置为高的时候，SPI 进入软复位状态，将全部开放寄存器还原至初始态并且位 2 自动清空。表 8-1 未出现的地址，禁止做 SPI 写操作。

表 8-1 存储器映射寄存器表

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	描述
0x000	spi_cr1	8	[7]	Reserved	NA	1'b0	
			[6]	lsb_mir	RO	1'b0	Bit 6 is mirrored by bit 1.
			[5]	soft_rst_mir	RO	1'b0	Bit 5 is mirrored by bit 2.
			[4]	Reserved	NA	1'b1	
			[3]	Reserved	NA	1'b1	
			[2]	soft_rst	WO	1'b0	If set to 1, the chip enters a soft reset mode, restoring any default values to internal registers. Registers with no default are not changed. Once completed, state machine clears this bit to 0.
			[1]	lsb	RW	1'b0	When set, causes input and output data to be oriented as LSB first and addressing increments. When this bit is clear, data is oriented as MSB first and addressing decrements.
			[0]	Reserved	NA	1'b0	
0x001	spi_cr2	8	[7:0]	chip_ID	RO	8'b10001111	Chip ID register. Read only.
0x003	GLOBAL1	8	[7:5]	RX_PHASE_SEL	RW	3'b000	RX clock module phase delay control. When RX clock has been divided by 2~8, this bit can delay the divided clock by 0~7 clock cycle. 000: delay 0T (default) 001: delay 0.5T 010: delay 1.5T 011: delay 2.5T 100: delay 3.5T 101: delay 4.5T 110: delay 5.5T 111: delay 6.5T
			[4]	Reserved	NA	1'b0	
			[3]	Reserved	NA	1'b0	
			[2:0]	SEL_VREF	RW	3'b100	Internal V_{REF} adjustment: 000 = 0.5V 001 = 0.57V 010 = 0.665V 011 = 0.8V 100 = 1V(default)

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	描述
0x005	GLOBAL3	8	[7:6]	Reserved	NA	2'b00	
			[5]	PWD_VCMEXT	RW	1'b0	V_{CM} output power down. If V_{CM} not used, set this bit to 1 for power saving. ■ 1 = power down ■ 0 = power on (default)
			[4:0]	Reserved	NA	5'b0_0000	
0x00E	ADC6	8	[7:5]	Reserved	NA	3'b000	
			[4]	PWD_CH_A	RW	1'b0	Channel A power down: ■ 1 = power down ■ 0 = power on (default)
			[3:0]	Reserved	NA	4'b0000	
0x00F	ADC7	8	[7:5]	DLL_DCS	RW	3'b111	DLL DCS frequency translation word, according to DCO frequency: ■ 000: 30~80M ■ 001: 80~200M ■ 011: 200~300M ■ 101: 300~460M ■ 111: 460~500M (default)
			[4:0]	Reserved	NA	5'b0_0000	
0x013	ADC11	8	[7:5]	Reserved	NA	3'b000	
			[4]	PWD_CH_B	RW	1'b0	Channel B power down: ■ 1 = power down ■ 0 = power on (default)
			[3:0]	Reserved	NA	4'b0000	
0x018	ADC16	8	[7:5]	Reserved	NA	3'b000	
			[4]	PWD_CH_C	RW	1'b0	Channel C power down: ■ 1 = power down ■ 0 = power on (default)
			[3:0]	Reserved	NA	4'b0000	
0x01D	ADC21	8	[7:5]	Reserved	NA	3'b000	
			[4]	PWD_CH_D	RW	1'b0	Channel D power down: ■ 1 = power down ■ 0 = power on (default)
			[3:0]	Reserved	NA	4'b0000	
0x022	RXCLK1	8	[7]	SYN_EN	RW	1'b0	SYNC port enable: ■ 1 = enable

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	描述
							0 = disable (default)
			[6]	SYN_NXT	RW	1'b0	SYNC mode: 1: only the first SYNC pulse can work 0: enable all SYNC pulse synchronize function (default)
			[5:4]	Reserved	NA	1'b0	
			[3]	RXCLK_DCS_EN	RW	1'b1	RX DCS function enable: 1 = enable(default) 0 = disable
			[2:0]	Reserved	NA	3'b011	
0x023	RXCLK2	8	[7:5]	RXCLK_DIV	RW	3'b000	RX Clock divide ratio. When input clock >125MHz, divide ratio must >=2 ADC conversion rate=input clock/divide ratio: 000 = divide by 1 (default) 001 = divide by 2 010 = divide by 3 011 = divide by 4 100 = divide by 5 101 = divide by 6 110 = divide by 7 111 = divide by 8
			[4:0]	Reserved	NA	5'b0_0000	
0x027	PLL1	8	[7:3]	Reserved	NA	5'b1111_0	
			[2]	SEL_DDR	RW	1'b1	DCO mode: 1 = DDR (default) 0 = SDR
			[1:0]	Reserved	NA	2'b00	
0x028	PLL2	8	[7:6]	SEL_DCO	RW	2'b00	DCO Port Clock divide ratio: 00/01: divide by 1 (default) 10: divide by 2 11: divide by 4
			[5:0]	Reserved	NA	6'b010_100	
0x029	PLL3	8	[7:4]	VCDL_CTL	RW	4'b1100	DLL delay unit current adjust, I is from VCTL corresponding current module: 0011: DCO=250~350M 1000: DCO=350~450M 1100: DCO=450~500M (default)

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	描述
			[3:0]	DLL_PHSEL	RW	4'b0001	DLL output clock phase adjust, Degrees Relative to $D0 \pm x/D1 \pm x$ Edge: 0000: 0° 0001: 60° (default) 0010: 120° 0011: 180° 0100: 240° 0101: 300° 0110: 360° 0111: 420° 1000: 480° 1001: 540° 1010: 600° 1011: 660°
0x02D	TX_LVDS1	8	[7]	Reserved	NA	1'b0	
			[6:4]	LVDS_VCM_SEL	RW	3'b010	LVDS common mode voltage adjust: 000: 1.15V 001: 1.2V 010: 1.25V (default) 011: 1.3V 100: 1.35V
			[3:0]	LVDS_DIFF_SEL	RW	4'b1011	LVDS Voltage Swing adjust: 0011: 150mV 0101: 200mV 0110: 225mV 1001: 300mV 1011: 350mV (default) 1101: 400mV
0x02E	TX_LVDS2	8	[7]	PWD_TX_A0	RW	1'b0	TX port A0 power down: 1 = power down 0 = power on (default)
			[6]	PWD_TX_A1	RW	1'b0	TX port A1 power down: 1 = power down 0 = power on (default)
			[5]	PWD_TX_B0	RW	1'b0	TX port B0 power down: 1 = power down 0 = power on (default)

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	描述
			[4]	PWD_TX_B1	RW	1'b0	TX port B1 power down: 1 = power down 0 = power on (default)
			[3]	PWD_TX_C0	RW	1'b0	TX port C0 power down: 1 = power down 0 = power on (default)
			[2]	PWD_TX_C1	RW	1'b0	TX port C1 power down: 1 = power down 0 = power on (default)
			[1]	PWD_TX_D0	RW	1'b0	TX port D0 power down: 1 = power down 0 = power on (default)
			[0]	PWD_TX_D1	RW	1'b0	TX port D1 power down: 1 = power down 0 = power on (default)
0x030	Modes	8	[7:5]	Reserved	NA	3'b000	
			[4]	EXT_PIN_MODE_FUNC	RW	1'b0	External power-down pin function: 0 = full power-down (default) 1 = standby
			[3:2]	power_mode	RW	2'b00	Power mode: 00 = chip run (default) 01 = full power-down 10 = standby 11 = digital reset
			[1:0]	Reserved	NA	2'b0	
0x031	Test_mode	8	[7:6]	us_ts_mode	RW	2'b00	User test mode: 00 = single 01 = alternate 10 = single once 11 = alternate once (affects user input test mode only, Bits[3:0] = 1000)
			[5]	rst_lpn_gen	RW	1'b0	Reset PN long gen.
			[4]	rst_spn_gen	RW	1'b0	Reset PN short gen.
			[3:0]	output_test_mode	RW	4'b0000	Output test mode: 0000 = off (default) 0001 = midscale short 0010 = positive FS

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	描述
							0011 = negative FS 0100 = alternating checkerboard 0101 = PN 23 sequence 0110 = PN 9 sequence 0111 = one/zero word toggle 1000 = user input 1001 = 1-/0-bit toggle 1010 = 1× sync 1011 = one bit high 1100 = mixed bit frequency 1101 = ramp
0x032	USER_PATT1_L	8	[7:0]	USER_PATT1_LSB	RW	8'b0000_0000	User-Defined Pattern 1, LSB.
0x033	USER_PATT1_M	8	[7:0]	USER_PATT1_MSB	RW	8'b0000_0000	User-Defined Pattern 1, MSB.
0x040	output_mode	8	[7:5]	Reserved	NA	3'b0	
			[4]	test_sel_d	RW	1'b0	ADC D output test pattern selection.
			[3]	test_sel_c	RW	1'b0	ADC C output test pattern selection.
			[2]	test_sel_b	RW	1'b0	ADC B output test pattern selection.
			[1]	test_sel_a	RW	1'b0	ADC A output test pattern selection.
			[0]	out_format	RW	1'b1	1 = twos complement 0 = offset binary
0x041	output_inv	8	[7:4]	Reserved	NA	4'b0	
			[3]	out_inv_d	RW	1'b0	CHD Output invert.
			[2]	out_inv_c	RW	1'b0	CHC Output invert.
			[1]	out_inv_b	RW	1'b0	CHB Output invert.
			[0]	out_inv_a	RW	1'b0	CHA Output invert.
0x044	REG_ADC_Offset_A	8	[7:0]	ADC_Offset_A	RW	8'b0000_0000	Offset adjust in LSBs from +127 to -128 (twos complement format) for CHA.
0x045	REG_ADC_Offset_B	8	[7:0]	ADC_Offset_B	RW	8'b0000_0000	Offset adjust in LSBs from +127 to -128 (twos complement format) for CHB.
0x046	REG_ADC_Offset_C	8	[7:0]	ADC_Offset_C	RW	8'b0000_0000	Offset adjust in LSBs from +127 to -128 (twos complement format) for CHC.
0x047	REG_ADC_Offset_D	8	[7:0]	ADC_Offset_D	RW	8'b0000_0000	Offset adjust in LSBs from +127 to -128 (twos complement format) for CHD.
0x0B0	SERIAL_OUT_DATA	8	[7]	lvds_lsb	RW	1'b0	1'b0: MSB first(default) 1'b1: LSB first
			[6]	Reserved	NA	1'b0	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	描述
			[5:4]	lvds_lane_ctl	RW	2'b00	Serial output data mode: 2'b00: two-lane, bitwise (default) 2'b01: two-lane, bitwise 2'b10: one-lane, wordwise
			[3]	Reserved	NA	1'b0	
			[2]	lvds_frame_ctl	RW	1'b0	Select 2× frame: 1'b0: 1× frame (default) 1'b1: 2× frame
			[1:0]	Reserved	NA	2'b00	
0x0B3	USER_IO_CTL_2	8	[7:1]	Reserved	NA	7'b000_0000	
			[0]	sdio_pull_down	RW	1'b0	Bit 0 can be set to disable the internal 30 kΩ pull-down on the SDIO pin, which can be used to limit the loading when many devices are connected to the SPI bus.
0x0B8	status_ctl	8	[7:4]	Reserved	NA	6'b0000_00	
			[1]	ini_status	RO	1'b0	Initial program status. Read only. 1'b0: Initial program quit normally. 1'b1: Initial program quit abnormally.
			[0]	efuse_flag	RO	1'b1	EFUSE status. Read only. 1'b1: EFUSE status is normal 1'b0: EFUSE status is abnormal
0xBC	digital_status	8	[7]	lane_sel	RO	1'b0	Lane mode status. Read only. 1'b1: One lane mode 1'b0: Two lane mode
			[6]	pwd_full	RO	1'b0	Power down mode status. Read only. 1'b1: Power-down mode
			[5]	pwd_standby	RO	1'b0	Power down mode status. Read only. 1'b1: Standby mode
			[4]	pwd_data	RO	1'b0	Power down mode status. Read only. 1'b1: Digital reset
			[3:0]	Reserved	NA	4'b0	

9 应用信息

9.1 设计指导

在进行 UIA4301 的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中说明了某些引脚所需的特殊电路连接和布局布线要求。

9.2 推荐电源和地

建议使用两个独立的 1.8V 电源为 UIA4301 供电：一个为模拟部分供电（AVDD），一个为数字部分供电（DRVDD）。对于 AVDD 和 DRVDD，应使用多个不同的去耦电容以覆盖低频和高频。去耦电容应放置在接近器件引脚的位置，并尽可能缩短走线长度。UIA4301 仅需要一个 PCB 接地层。对 PCB 的模拟、数字和时钟模块进行合适的去耦和分隔，可以获得最佳性能。

9.3 裸露焊盘散热推荐

为获得最佳的 UIA4301 电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地（AGND）。PCB 上裸露的连续铜皮应与 UIA4301 的裸露焊盘（引脚 0）匹配。铜皮上应有多个过孔，以获得尽可能低的热阻路径并通过 PCB 底部进行散热。这些过孔应进行塞孔处理。为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应该将 PCB 上的焊盘划分为多个均等的小焊盘。这样，在回流焊过程中，可在 ADC 与 PCB 之间提供多个连接点，而一个无分割的焊盘只能保证一个连接点。可以参考图 9-1 所示的 PCB 布局布线范例。

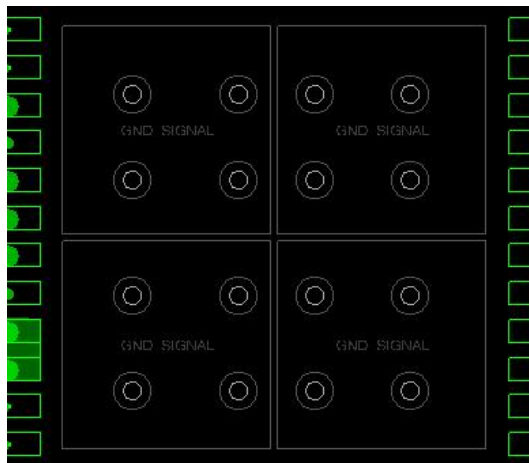


图 9-1 典型 PCB 布局

9.4 V_{CM}

V_{CM} 引脚应通过一个 0.1 μ F 电容旁路至地。

9.5 基准电压去耦

V_{REF} 引脚应通过外部一个低 ESR 0.1 μ F 陶瓷电容和一个低 ESR 1.0 μ F 电容的并联组合旁路至地。

当使用可编程内部 V_{REF} 模式时，外部只能通过一个低 ESR 0.1 μ F 陶瓷电容旁路至地。

9.6 SPI 接口

当需要转换器充分发挥其全部动态性能时，应禁用 SPI 端口。通常 SCLK 信号、CSB 信号和 SDIO 信号与 ADC 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与 UIA4301 之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

9.7 串扰表现

UIA4301 采用 48 引脚 LFCSP 封装，芯片每个角落都有输入对。引脚配置见图 2-1。若要最大程度提升电路板的串扰性能，可在相邻通道之间加入接地放置过孔，如图 9-2 所示。

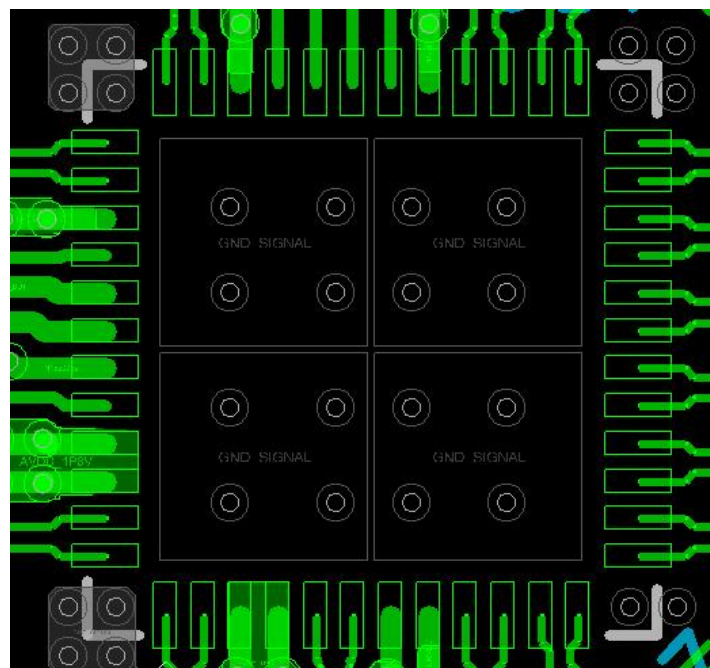


图 9-2 减小串扰推荐布局

10 封装信息

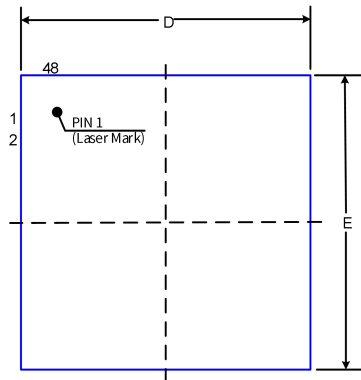


图 10-1 顶视图

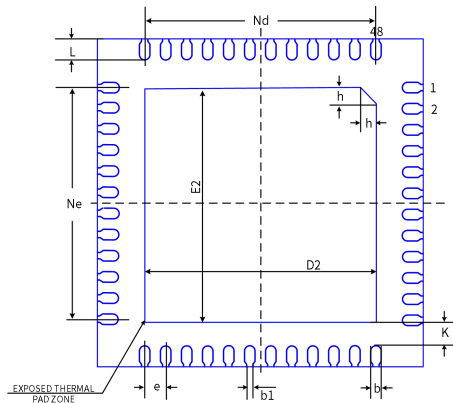


图 10-2 底视图

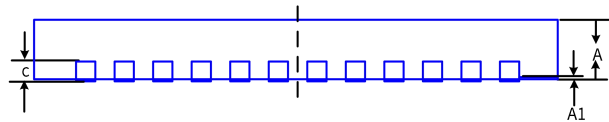


图 10-3 侧视图

表 10-1 封装尺寸

标尺	最小值	典型值	最大值	单位
A	0.70	0.75	0.80	mm
A1	0	0.02	0.05	mm
b	0.2	0.25	0.30	mm
b1		0.18REF		mm
c	--	0.203REF	--	mm
D	6.90	7.00	7.10	mm
D2	5.50	5.60	5.70	mm
e		0.50BSC		mm
Ne		5.50BSC		mm
Nd		5.50BSC		mm
E	6.90	7.00	7.10	mm
E2	5.50	5.60	5.70	mm
L	0.35	0.4	0.45	mm

11 订购信息

订购型号	封装类型	包装类型	包装数量	温度范围
UIA4301-EST-125	-40°C~85°C	QFN48	Tray	260
UIA4301-EST-80	-40°C~85°C	QFN48	Tray	260