



HWD9213 系列

12 位高速 A/D 转换器

产品手册

Ver1.9

成都华微电子科技股份有限公司

2024 年 06 月 25 日

版本历史

版次	更改说明	更改单号	更改人	更改日期	备注
V1.0	初始发行版本。	NA	蒋小敏	20230110	
V1.1	引脚描述中新增信号类型。	NA	蒋小敏	20230208	
V1.2	产品特性中新增潮湿敏感度级。	NA	蒋小敏	20230320	
V1.3	更新 6G 采样率性能结果；更新应用信息。	NA	蒋小敏	20230323	
V1.4	新增回流焊条件。	NA	蒋小敏	20230504	
V1.5	删除部分备注内容；更新 SPI 时序图以及部分描述；修改 sysref 输入共模电压；更新 JESD204B 通道恢复的数据眼图。	NA	蒋小敏	20230905	
V1.6	RSTB 的信号类型由地修改为输入；SYNCB 修改为 SYNCINB±；图 SCB 和 RSTB 中 CSB 修改为 SCB；HWD9213 寄存器映射表中新增 0x88b 寄存器说明；修改图 JESD204B 测试模式中 MUX5 的输入输出方向；新增 JESD204B 链路层主要配置参数的线速度相关说明；ILAS 部分修改多帧 2 的说明，修改 Q 字符解释；用户数据和纠错部分修改多帧替换；修改数字规格中各逻辑电平的典型值描述；新增 EXT_CLK, GPIO[0], SEL_CLK, SEL_POR 的电压域和功能描述。	NA	李春艳	20231127	
V1.7	HWD9213 寄存器表替换为 204B 寄存器和校准寄存器相关内容；新增 HWD9213 应用电路。	NA	李春艳	20231218	
V1.8	新增寄存器 0x824、0x825、0x826、0x827 说明，修改寄存器 0x403、0x405、0x6d0 寄存器说明；修改 HWD9213 寄存器表描述；修改产品特点信息。	NA	李春艳	20240115	
V1.9	更新交流规格和典型性能参数；更新产品特点；删除 5GSPS 采样率下的电特性参数；修改 SVDDH 电压范围；修改 SCLK 时钟周期最小值为 200ns。	NA	李春艳	20240625	

目 次

1 概述	1
2 产品特点	1
3 功能框图	1
4 引脚信息	2
4.1 引脚排列图	2
4.2 引脚描述	3
5 绝对最大额定值及推荐工作范围	10
5.1 绝对最大额定值	10
5.2 推荐工作范围	10
6 电特性参数	10
6.1 技术规格	10
6.2 典型性能参数	18
6.3 等效电路	21
7 功能描述	24
7.1 概述	24
7.2 功能描述	24
8 应用建议	35
8.1 启动流程	35
8.2 应用电路	35
8.3 回流焊条件	38
9 使用注意事项	39
10 外形尺寸	39
11 订货信息	41

1 概述

HWD9213是一款12位高速高精度A/D转换器，采样率支持6GSPS，可升频到8GSPS，输入带宽支持6GHz，ADC内核采用时间交织Pipeline-SAR结构实现，通过使用宽带采样保持电路设计技术、时间交织及内部误差校正技术、JESD204B高速串行接口电路设计技术，使其具备单芯片高速（采样率6GSPS以上）高精度（分辨率12位）以及高输入带宽（6GHz）A/D转换器的能力。

HWD9213采用塑封BGA192封装，额定温度范围为-55℃至+125℃温度范围。

2 产品特点

- NSD: -151.5 dBFS/Hz at 6 GSPS with -1dBFS, 300MHz input;
-152.1 dBFS/Hz at 6 GSPS with -3dBFS, 300MHz input。
- SFDR: 65.3 dBFS at 6 GSPS with -1dBFS, 300MHz input;
64.7 dBFS at 6 GSPS with -1dBFS, 1900MHz input;
53.7 dBFS at 6 GSPS with -1dBFS, 3600MHz input。
- 最差 spur (H2、H3 除外): 72.4 dBFS at 6 GSPS with -1dBFS, 300MHz input。
- DNL 典型值 $\leq \pm 0.9$ LSB; INL 典型值 $\leq \pm 2.7$ LSB。
- 具有低功耗特点，功耗 <3 W。
- 输入带宽支持 6GHz, 1.2V_{pp}, 50Ω。
- 支持 SPI 接口，满足 SPI 标准接口协议，可寻址内部存储空间。
- 支持 JESD204B 接口，支持 16 条 lane 输出，最大线速率可达 12.5Gbps。
- 13.2mm x 13.2mm, 192-ball BGA package。

3 功能框图

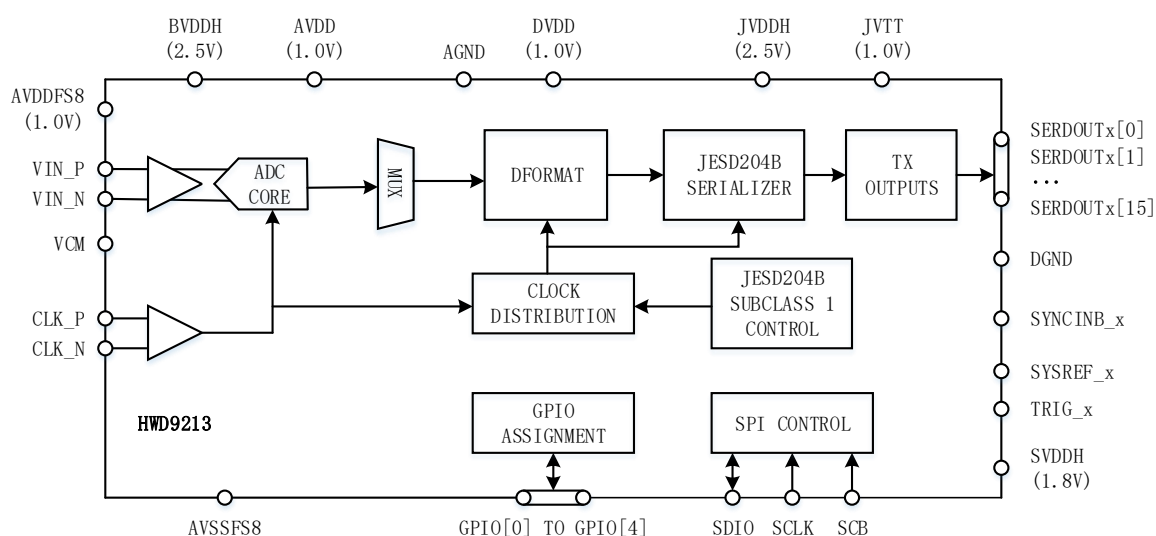


图 1 功能框图

4 引脚信息

4.1 引脚排列图

引出端排列如图 2 所示：

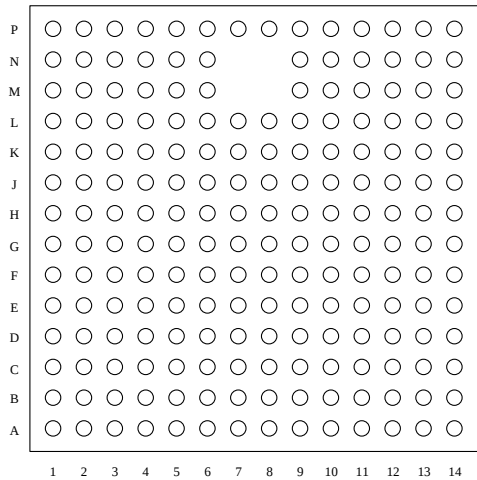


图 2 引出端排列图（bottom view）

芯片引脚布局示意图如图 3 所示。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	A1 JGND	A2 JGND	A3 SERDOUT_N[1]	A4 SERDOUT_N[0]	A5 SERDOUT_N[2]	A6 SERDOUT_N[4]	A7 SERDOUT_N[6]	A8 SERDOUT_N[8]	A9 SERDOUT_N[10]	A10 SERDOUT_N[12]	A11 SERDOUT_N[14]	A12 SERDOUT_N[15]	A13 JGND	A14 JGND
B	B1 SERDOUT_N[3]	B2 SERDOUT_P[3]	B3 SERDOUT_P[1]	B4 SERDOUT_P[0]	B5 SERDOUT_P[2]	B6 SERDOUT_P[4]	B7 SERDOUT_P[6]	B8 SERDOUT_P[8]	B9 SERDOUT_P[10]	B10 SERDOUT_P[12]	B11 SERDOUT_P[14]	B12 SERDOUT_P[15]	B13 SERDOUT_P[13]	B14 SERDOUT_N[13]
C	C1 SERDOUT_N[5]	C2 SERDOUT_P[5]	C3 JGND	C4 JGND	C5 JGND	C6 JGND	C7 JGND	C8 JGND	C9 JGND	C10 JGND	C11 JGND	C12 JGND	C13 SERDOUT_P[11]	C14 SERDOUT_N[11]
D	D1 SERDOUT_N[7]	D2 SERDOUT_P[7]	D3 RES_EXT	D4 JVTT	D5 JVTT	D6 JVTT	D7 JVTT	D8 JVTT	D9 JVTT	D10 JVTT	D11 JVTT	D12 JVDDH	D13 SERDOUT_P[9]	D14 SERDOUT_N[9]
E	E1 JGND	E2 JGND	E3 REFCLK_N	E4 TIE_LOW	E5 DGND	E6 DGND	E7 DGND	E8 DGND	E9 DGND	E10 DIG_TEST	E11 RES_CAL	E12 SVDDH	E13 JGND	E14 JGND
F	F1 SYNCINB_P	F2 SVDDH	F3 REFCLK_P	F4 DVDD	F5 DGND	F6 DGND	F7 DVDD	F8 DVDD	F9 DGND	F10 DGND	F11 AVSSFS8	F12 SCLK	F13 SCB	F14 SYSREF_N
G	G1 SYNCINB_N	G2 TMU_REF_P	G3 TDN	G4 DVDD	G5 DVDD	G6 DVDD	G7 DVDD	G8 DVDD	G9 DVDD	G10 DVDD	G11 AVDDFS8	G12 SDIO	G13 AVSSFS8	G14 SYSREF_P
H	H1 FD	H2 TMU_REF_N	H3 TDP	H4 VSS_MOA_T	H5 AGND	H6 AGND	H7 AGND	H8 AGND	H9 AGND	H10 AGND	H11 VSS_MOA_T	H12 <DUMMY_NET>	H13 TRIG_P	H14 TRIG_N
J	J1 AVDD	J2 AVDD	J3 AVDD	J4 <DUMMY_NET>	J5 <DUMMY_NET>	J6 <DUMMY_NET>	J7 <DUMMY_NET>	J8 <DUMMY_NET>	J9 <DUMMY_NET>	J10 <DUMMY_NET>	J11 <DUMMY_NET>	J12 ANA_TES_T	J13 <DUMMY_NET>	J14 AGND
K	K1 <DUMMY_NET>	K2 AGND	K3 AGND	K4 AGND	K5 AGND	K6 AGND	K7 AGND	K8 AGND	K9 AGND	K10 AGND	K11 AGND	K12 <DUMMY_NET>	K13 <DUMMY_NET>	K14 CLK_N
L	L1 AGND	L2 AGND	L3 <DUMMY_NET>	L4 <DUMMY_NET>	L5 <DUMMY_NET>	L6 AGND	L7 AGND	L8 AGND	L9 AGND	L10 AGND	L11 AGND	L12 <DUMMY_NET>	L13 <DUMMY_NET>	L14 CLK_P
M	M1 GPIO[4]	M2 GPIO[2]	M3 GPIO[3]	M4 <DUMMY_NET>	M5 <DUMMY_NET>	M6 AGND	M7 VOID	M8 VOID	M9 AGND	M10 BVDDH	M11 <DUMMY_NET>	M12 <DUMMY_NET>	M13 AGND	M14 AGND
N	N1 RSTB	N2 GPIO[1]	N3 <DUMMY_NET>	N4 AGND	N5 <DUMMY_NET>	N6 AGND	N7 VOID	N8 VOID	N9 AGND	N10 BVDDH	N11 PDWN	N12 AGND	N13 AGND	N14 EXT_CLK
P	P1 AGND	P2 GPIO[0]	P3 VCM	P4 <DUMMY_NET>	P5 <DUMMY_NET>	P6 AGND	P7 VIN_P	P8 VIN_N	P9 AGND	P10 BVDDH	P11 AGND	P12 SEL_POR	P13 SEL_CLK	P14 AGND

图 3 引脚布局示意图

4.2 引脚描述

表 1 引脚描述

引出端序号	符号	功能	信号类型
A1	JGND	接口地	地
A2	JGND	接口地	地
A3	SERDOUT_N[1]	接口输出-	输出
A4	SERDOUT_N[0]	接口输出-	输出
A5	SERDOUT_N[2]	接口输出-	输出
A6	SERDOUT_N[4]	接口输出-	输出
A7	SERDOUT_N[6]	接口输出-	输出
A8	SERDOUT_N[8]	接口输出-	输出
A9	SERDOUT_N[10]	接口输出-	输出
A10	SERDOUT_N[12]	接口输出-	输出
A11	SERDOUT_N[14]	接口输出-	输出
A12	SERDOUT_N[15]	接口输出-	输出
A13	JGND	接口地	地
A14	JGND	接口地	地
B1	SERDOUT_N[3]	接口输出-	输出
B2	SERDOUT_P[3]	接口输出+	输出
B3	SERDOUT_P[1]	接口输出+	输出
B4	SERDOUT_P[0]	接口输出+	输出
B5	SERDOUT_P[2]	接口输出+	输出
B6	SERDOUT_P[4]	接口输出+	输出
B7	SERDOUT_P[6]	接口输出+	输出
B8	SERDOUT_P[8]	接口输出+	输出
B9	SERDOUT_P[10]	接口输出+	输出
B10	SERDOUT_P[12]	接口输出+	输出
B11	SERDOUT_P[14]	接口输出+	输出
B12	SERDOUT_P[15]	接口输出+	输出
B13	SERDOUT_P[13]	接口输出+	输出
B14	SERDOUT_N[13]	接口输出-	输出
C1	SERDOUT_N[5]	接口输出-	输出
C2	SERDOUT_P[5]	接口输出+	输出

引出端序号	符号	功能	信号类型
C3	JGND	接口地	地
C4	JGND	接口地	地
C5	JGND	接口地	地
C6	JGND	接口地	地
C7	JGND	接口地	地
C8	JGND	接口地	地
C9	JGND	接口地	地
C10	JGND	接口地	地
C11	JGND	接口地	地
C12	JGND	接口地	地
C13	SERDOUT_P[11]	接口输出+	输出
C14	SERDOUT_N[11]	接口输出-	输出
D1	SERDOUT_N[7]	接口输出-	输出
D2	SERDOUT_P[7]	接口输出+	输出
D3	RES_EXT	预留	输出
D4	JVTT	接口电源	电源
D5	JVTT	接口电源	电源
D6	JVTT	接口电源	电源
D7	JVTT	接口电源	电源
D8	JVTT	接口电源	电源
D9	JVTT	接口电源	电源
D10	JVTT	接口电源	电源
D11	JVTT	接口电源	电源
D12	JVDDH	2.5V 接口电源	电源
D13	SERDOUT_P[9]	接口输出+	输出
D14	SERDOUT_N[9]	接口输出-	输出
E1	JGND	接口地	地
E2	JGND	接口地	地
E3	REFCLK_N	预留	输入
E4	TIE_LOW	内部接口, 接地	输入
E5	DGND	数字地	地
E6	DGND	数字地	地
E7	DGND	数字地	地

引出端序号	符号	功能	信号类型
E8	DGND	数字地	地
E9	DGND	数字地	地
E10	DIG_TEST	预留	输出
E11	RES_CAL	预留	输出
E12	SVDDH	1.8V 电源	电源
E13	JGND	接口地	地
E14	JGND	接口地	地
F1	SYNCINB_P	接口同步	输入
F2	SVDDH	1.8V 电源	电源
F3	REFCLK_P	预留	输入
F4	DGND	数字地	地
F5	DGND	数字地	地
F6	DGND	数字地	地
F7	DVDD	数字电源	电源
F8	DVDD	数字电源	电源
F9	DGND	数字地	地
F10	DGND	数字地	地
F11	AVSSFS8	模拟地	地
F12	SCLK	SPI 时钟	输入
F13	SCB	片选	输入
F14	SYSREF_N	同步信号	输入
G1	SYNCINB_N	接口同步	输入
G2	TMU_REFP	TMU 参考电压	电源
G3	TDN	温度二极管	输出
G4	DVDD	数字电源	电源
G5	DVDD	数字电源	电源
G6	DVDD	数字电源	电源
G7	DVDD	数字电源	电源
G8	DVDD	数字电源	电源
G9	DVDD	数字电源	电源
G10	DVDD	数字电源	电源
G11	AVDDFS8	模拟电源	电源
G12	SDIO	SPI 接口	输入/输出

引出端序号	符号	功能	信号类型
G13	AVSSFS8	模拟地	地
G14	SYSREF_P	同步信号	输入
H1	FD	快速检测	输出
H2	TMU_REFN	TMU 参考电压	电源
H3	TDP	温度二极管	输出
H4	VSS_MOAT	保护环地	地
H5	AGND	模拟地	地
H6	AGND	模拟地	地
H7	AGND	模拟地	地
H8	AGND	模拟地	地
H9	AGND	模拟地	地
H10	AGND	模拟地	地
H11	VSS_MOAT	保护环地	地
H12	<DUMMY_NET>	空脚	—
H13	TRIG_P	触发	输入
H14	TRIG_N	触发	输入
J1	AVDD	电源	电源
J2	AVDD	电源	电源
J3	AVDD	电源	电源
J4	<DUMMY_NET>	空脚	—
J5	<DUMMY_NET>	空脚	—
J6	<DUMMY_NET>	空脚	—
J7	<DUMMY_NET>	空脚	—
J8	<DUMMY_NET>	空脚	—
J9	<DUMMY_NET>	空脚	—
J10	<DUMMY_NET>	空脚	—
J11	<DUMMY_NET>	空脚	—
J12	ANA_TEST	预留	—
J13	<DUMMY_NET>	空脚	—
J14	AGND	模拟地	地
K1	<DUMMY_NET>	空脚	—
K2	AGND	模拟地	地
K3	AGND	模拟地	地

引出端序号	符号	功能	信号类型
K4	AGND	模拟地	地
K5	AGND	模拟地	地
K6	AGND	模拟地	地
K7	AGND	模拟地	地
K8	AGND	模拟地	地
K9	AGND	模拟地	地
K10	AGND	模拟地	地
K11	AGND	模拟地	地
K12	<DUMMY_NET>	空脚	—
K13	<DUMMY_NET>	空脚	—
K14	CLK_N	时钟	输入
L1	AGND	模拟地	地
L2	AGND	模拟地	地
L3	<DUMMY_NET>	空脚	—
L4	<DUMMY_NET>	空脚	—
L5	<DUMMY_NET>	空脚	—
L6	AGND	模拟地	地
L7	AGND	模拟地	地
L8	AGND	模拟地	地
L9	AGND	模拟地	地
L10	AGND	模拟地	地
L11	AGND	模拟地	地
L12	<DUMMY_NET>	空脚	—
L13	<DUMMY_NET>	空脚	—
L14	CLK_P	时钟	输入
M1	GPIO[4]	通用 IO	输出
M2	GPIO[2]	通用 IO	输出
M3	GPIO[3]	通用 IO	输出
M4	<DUMMY_NET>	空脚	—
M5	<DUMMY_NET>	空脚	—
M6	AGND	模拟地	地
M7	—	未植球	—
M8	—	未植球	—

引出端序号	符号	功能	信号类型
M9	AGND	模拟地	地
M10	BVDDH	2.5V 电源	电源
M11	<DUMMY_NET>	空脚	—
M12	<DUMMY_NET>	空脚	—
M13	AGND	模拟地	地
M14	AGND	模拟地	地
N1	RSTB	复位	输入
N2	GPIO[1]	通用 IO	输出
N3	<DUMMY_NET>	空脚	—
N4	AGND	模拟地	地
N5	<DUMMY_NET>	空脚	—
N6	AGND	模拟地	地
N7	—	未植球	—
N8	—	未植球	—
N9	AGND	模拟地	地
N10	BVDDH	2.5V 电源	电源
N11	PDWN	待机控制	输入
N12	AGND	模拟地	地
N13	AGND	模拟地	地
N14	EXT_CLK	数字时钟， 频率 25MHz~100MHz	输入
P1	AGND	模拟地	地
P2	GPIO[0]	使能配置，上电默认为 0	输入
P3	VCM	输出共模电压	输出
P4	<DUMMY_NET>	空脚	—
P5	<DUMMY_NET>	空脚	—
P6	AGND	模拟地	地
P7	VIN_P	ADC 输入	输入
P8	VIN_N	ADC 输入	输入
P9	AGND	模拟地	地
P10	BVDDH	2.5V 电源	电源
P11	AGND	模拟地	地

引出端序号	符号	功能	信号类型
P12	SEL_POR	复位配置： 0-使能内部复位 1-使能外部复位 电压域是 AVDD	输入
P13	SEL_CLK	时钟 EXT_CLK 使能端口，配置为 1，外部提供 EXT_CLK	输入
P14	AGND	模拟地	地

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

电源电压 (AVDD, AVDDFS8, JVTT, DVDD)	-0.5V~1.2V
电源电压 (JVDDH, SVDDH, BVDDH)	-0.5V~2.75V
结温(TJ)	150℃
引线焊接温度(Th)	265℃
贮存温度范围 (Tstg)	-65℃~150℃

5.2 推荐工作范围

电源电压 (AVDD, AVDDFS8)	0.95V~1.10V
电源电压 (JVTT, DVDD)	0.85V~1.025V
电源电压 (SVDDH)	1.60V~2.50V
电源电压 (JVDDH, BVDDH)	2.43V~2.57V
工作环境温度 (TA)	-55℃~125℃

6 电特性参数

6.1 技术规格

除非另有规定, DVDD = JVTT = 1.0V, AVDD = 1.0V, JVDDH = BVDDH = 2.5V, SVDDH = 1.8V, 额定最大采样速率, AIN = -1.0dBFS, 直流耦合输出数据。

表 2 规格指标

参数	温度	HWD9213-6.0			单位
		最小值	典型值	最大值	
速率等级		6			GSPS
分辨率		12			位
精度					
无失码	室温	保证			
失调误差	室温	-20	0	20	LSB
增益误差	室温	-15	0	15	%FSR
差分非线性(DNL)	室温	±0.9			LSB
积分非线性(INL)	室温	±2.7			LSB
模拟输入					
差分输入电压范围	室温	1.2			Vp-p

参数	温度	HWD9213-6.0			单位
		最小值	典型值	最大值	
电阻	室温		50		Ω
电容	室温		0.4		pF
内部共模电压(V _{cm})	室温		1.2		V
全功率模拟带宽	室温		6.0		GHz
折合到输入端噪声	室温		1.5		LSB _{RMS}
电源					
JVTT	室温	0.85	0.95	1.025	V
JVDDH	室温	2.43	2.5	2.57	V
SVDDH	室温	1.6	1.8	2.5	V
DVDD	室温	0.85	0.95	1.025	V
AVDDFS8	室温	0.95	1.0	1.1	V
AVDD	室温	0.95	1.0	1.1	V
BVDDH	室温	2.43	2.5	2.57	V
I _{JVTT}	室温		0.44	0.9	A
I _{JVDDH}	室温		0.035	0.1	A
I _{SVDDH}	室温		1	25	mA
I _{DVDD}	室温		0.83	1.7	A
I _{AVDDFS8}	室温		26	52	mA
I _{AVDD}	室温		0.3	0.6	A
I _{BVDDH}	室温		0.34	0.7	A
功耗（注 1）	室温		2.47		W

注 1：表中 POWER 包含模拟，数字和 204B 接口总功耗。

6.1.1 交流规格

除非另有规定，DVDD = JVTT = 1.0V，AVDD = 1.0V，JVDDH = BVDDH = 2.5V，SVDDH = 1.8V。

表 3 ADC 性能 (f_s=6GSPS)

参数	典型值		单位
	AIN = -1 dBFS	AIN = -3 dBFS	
采样率	6		GSPS
噪声密度 (NSD)			
At 300 MHz, -1 dBFS	-151.5		dBFS/Hz
At 300 MHz, -3 dBFS	-152.1		dBFS/Hz

参数	典型值		单位
	AIN = -1 dBFS	AIN = -3 dBFS	
信噪比 (SNR)			
f _{IN} = 300 MHz	55.8	56.7	dBFS
f _{IN} = 1100 MHz	55.3	56.1	dBFS
f _{IN} = 1900 MHz	53.6	55.3	dBFS
f _{IN} = 2700 MHz	52.7	53.7	dBFS
f _{IN} = 3600 MHz	50.9	52.7	dBFS
f _{IN} = 4400 MHz	49.1	50.9	dBFS
信纳比 (SINAD)			
f _{IN} = 300 MHz	55.2	56.4	dBFS
f _{IN} = 1100 MHz	54.8	55.7	dBFS
f _{IN} = 1900 MHz	53.0	54.7	dBFS
f _{IN} = 2700 MHz	52.6	53.6	dBFS
f _{IN} = 3600 MHz	48.8	51.3	dBFS
f _{IN} = 4400 MHz	47.6	49.9	dBFS
有效位数 (ENOB)			
f _{IN} = 300 MHz	8.9	9.1	Bits
f _{IN} = 1100 MHz	8.8	9.0	Bits
f _{IN} = 1900 MHz	8.5	8.8	Bits
f _{IN} = 2700 MHz	8.4	8.6	Bits
f _{IN} = 3600 MHz	7.8	8.2	Bits
f _{IN} = 4400 MHz	7.6	8.0	Bits
无杂散动态范围 (SFDR)			
f _{IN} = 300 MHz	65.3	71.6	dBFS
f _{IN} = 1100 MHz	68.7	70.8	dBFS
f _{IN} = 1900 MHz	64.7	67.9	dBFS
f _{IN} = 2700 MHz	70.2	74.9	dBFS
f _{IN} = 3600 MHz	53.7	57.7	dBFS
f _{IN} = 4400 MHz	53.7	57.6	dBFS
二阶谐波 (H2)			
f _{IN} = 300 MHz	73.6	83.1	dBFS
f _{IN} = 1100 MHz	70.0	75.7	dBFS
f _{IN} = 1900 MHz	64.7	69.0	dBFS

参数	典型值		单位
	AIN = -1 dBFS	AIN = -3 dBFS	
fIN = 2700 MHz	80.1	87.0	dBFS
fIN = 3600 MHz	53.7	57.7	dBFS
fIN = 4400 MHz	53.7	57.6	dBFS
三阶谐波 (H3)			
fIN = 300 MHz	65.3	71.6	dBFS
fIN = 1100 MHz	68.7	74.4	dBFS
fIN = 1900 MHz	66.7	71.3	dBFS
fIN = 2700 MHz	78.0	86.7	dBFS
fIN = 3600 MHz	62.6	69.2	dBFS
fIN = 4400 MHz	61.2	67.4	dBFS
最差其他杂散(不包括二次和三次谐波)			
fIN = 300 MHz	72.4	76.8	dBFS
fIN = 1100 MHz	76.0	70.8	dBFS
fIN = 1900 MHz	75.3	67.9	dBFS
fIN = 2700 MHz	70.2	74.9	dBFS
fIN = 3600 MHz	70.7	72.9	dBFS
fIN = 4400 MHz	65.0	66.8	dBFS

6.1.2 数字规格

除非另有规定，DVDD = JVTT = 1.0V，AVDD = 1.0V，JVDDH = BVDDH = 2.5V，SVDDH = 1.8V，额定最大采样速率，AIN = -1.0dBFS。

表 4 数字规格

参数	温度	典型值	单位
时钟输入			
差分输入电压	室温	800	mVp-p
共模输入电压	室温	0.675	V
输入电阻（差分）	室温	98	Ω
输入电容	室温	0.9	pF
SYSREF 输入(SYSREF±)			
差分输入电压	室温	1000	mVp-p
共模输入电压	室温	1	V
输入电阻（差分）	室温	97	Ω

参数	温度	典型值	单位
输入电容	室温	0.5	pF
逻辑输入(SDIO,SCLK,SCB, EXT_CLK,GPIO[0],SEL_CLK)			
逻辑兼容	室温	CMOS	
电压 逻辑 1	室温	$>0.7 \times \text{SVDDH}$	V
电压 逻辑 0	室温	$<0.3 \times \text{SVDDH}$	V
输入电阻	室温	44	k Ω
输入电容	室温	1.5	pF
SYNCINB $\pm$ 输入			
逻辑兼容	室温	CML	
电压	室温	1000	mV
输入电阻(差分)	室温	136	k Ω
输入电容	室温	1	pF
逻辑输出(SDIO)			
逻辑兼容	室温	CMOS	
电压 逻辑 1	室温	$>\text{SVDDH}-0.45$	V
电压 逻辑 0	室温	<0.45	V
复位(RSTB)			
电压 逻辑 1	室温	$>0.7 \times \text{SVDDH}$	V
电压 逻辑 0	室温	$<0.3 \times \text{SVDDH}$	V
输入电阻(差分)	室温	44	k Ω
输入电容	室温	1.5	pF

6.1.3 开关规格

除非另有规定，DVDD = JVTT = 1.0V，AVDD = 1.0V，JVDDH = BVDDH = 2.5V，SVDDH = 1.8V，额定最大采样速率，AIN = -1.0dBFS。

表 5 开关规格

参数	温度	最小值	典型值	最大值	单位
时钟(CLK)					
最大时钟速率	室温			8	GSPS
最小时钟速率	室温	2.5			GSPS
时钟占空比	室温	45	50	55	%占空比
延迟(Latency)					
流水线延迟	室温		654		时钟周期

参数	温度	最小值	典型值	最大值	单位
SYSREF(SYSREF±)					
建立时间	室温		-65		ps
保持时间	室温		95		ps
输出参数(Serdout)					
上升时间	室温		25		ps
下降时间	室温		25		ps
线速率	室温	3.125	7.5	10	Gbps
孔径					
延迟	室温		120		ps
不确定(抖动)	室温		50		(fs) rms

6.1.4 时序规格

表 6 时序规格

参数	测试条件/注释	最小值	典型值	最大值	单位
SPI 时序要求					
t _{DS}	数据与 SCLK 上升沿之间的建立时间	8			ns
t _{DH}	数据与 SCLK 上升沿之间的保持时间	8			ns
t _{CLK}	SCLK 周期	200			ns
t _S	SCB 与 SCLK 之间的建立时间	4			ns
t _H	SCB 与 SCLK 之间的保持时间	4			ns
t _{HIGH}	SCLK 应处于逻辑高电平状态的最短时间	20			ns
t _{LOW}	SCLK 应处于逻辑低电平状态的最短时间	20			ns
t _{ACCESS}	SCLK 下降沿和读指令输出有效数据之间的最大延迟时间		12	20	ns
t _{DIS_SDIO}	相对于 SCLK 上升沿, SDIO 引脚从输出状态切换到输入状态所需的时间	20			

6.1.4.1 时序图

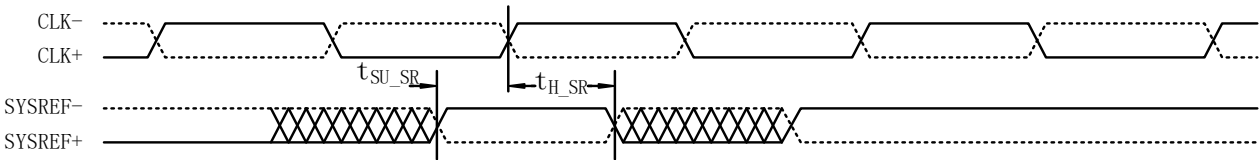


图 4 SYSREF±建立和保持时间

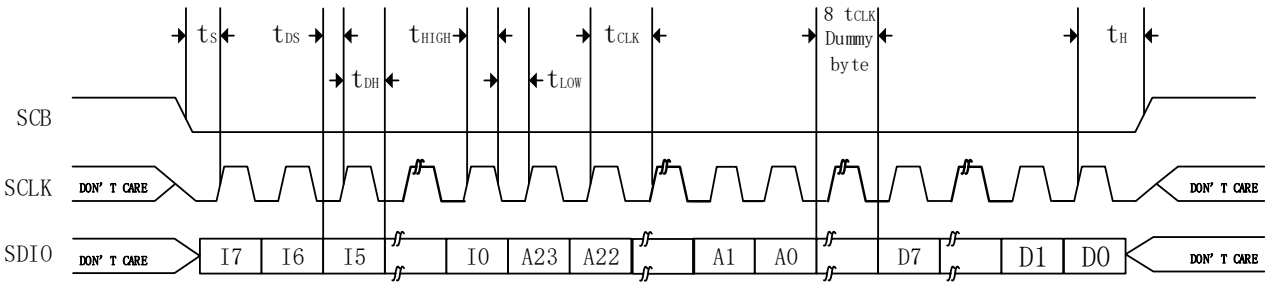


图 5 串行接口时序图（MSB 优先）

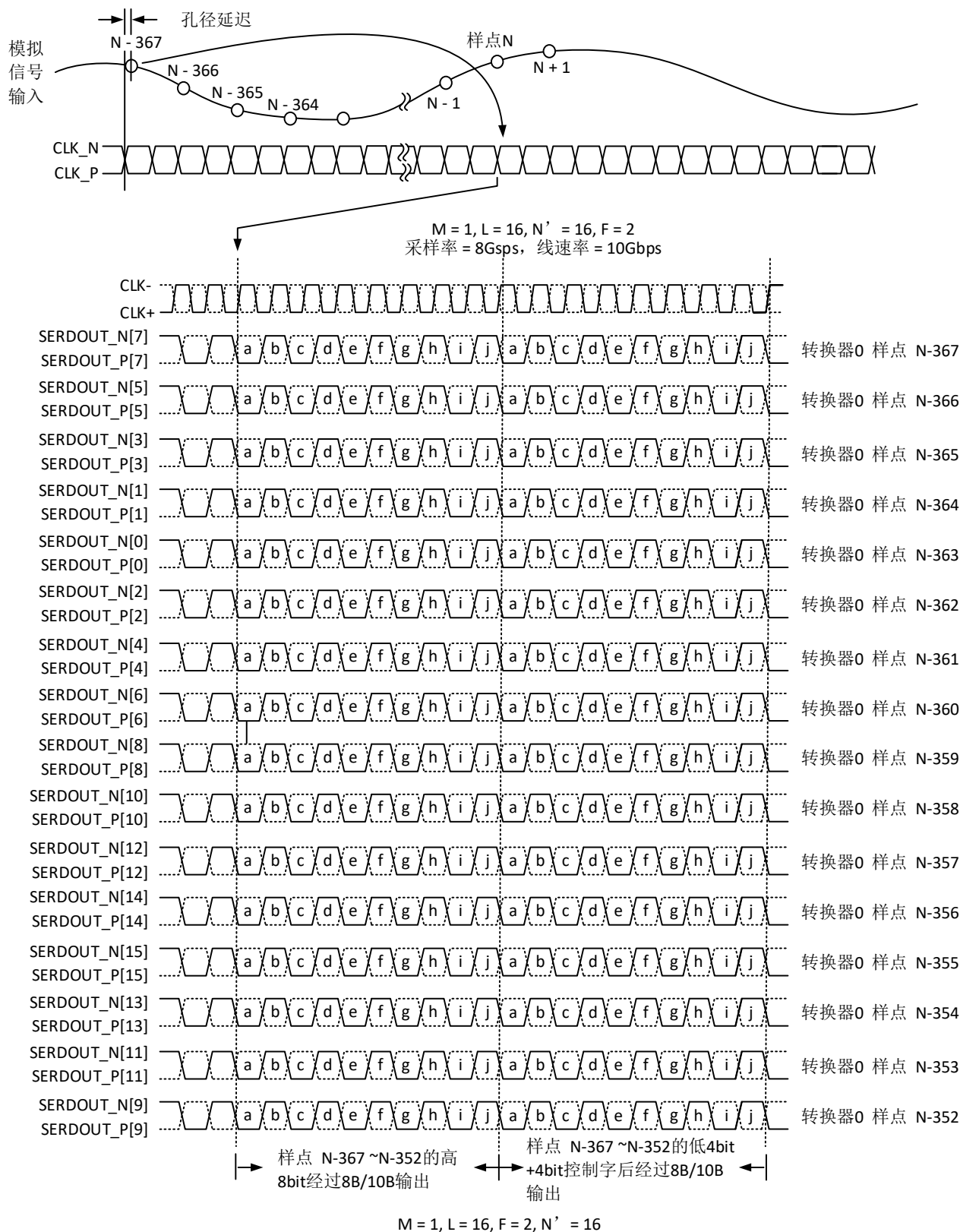


图 6 16 条通道数据输出图

6.2 典型性能参数

● HWD9213-6GSPS

测试条件: AVDD = 1V, DVDD = 1V, FS = 6GSPS, 室温, 信号差分输入, 124K FFT。

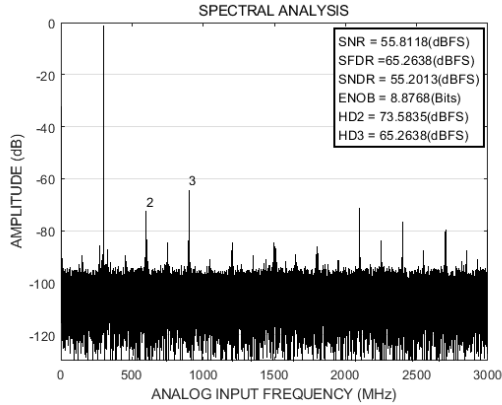


图 7 FFT at f_{IN} =300MHz, -1dBFS, 6GSPS

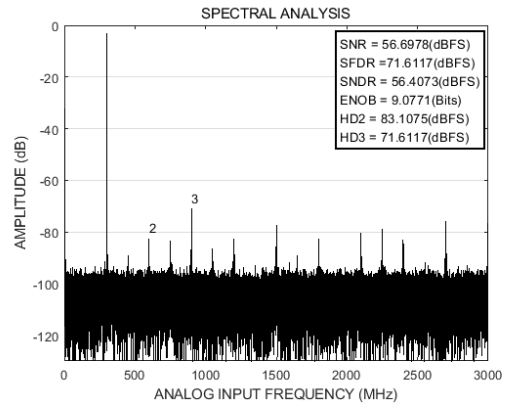


图 8 FFT at f_{IN} =300MHz, -3dBFS, 6GSPS

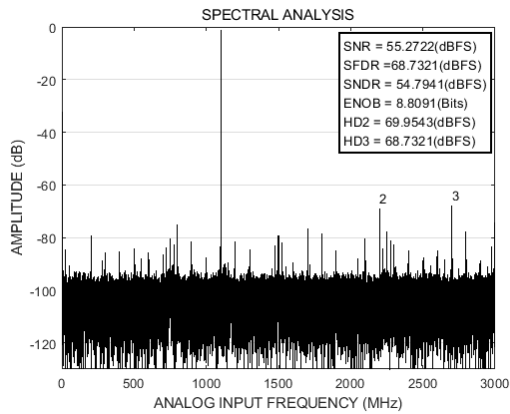


图 9 FFT at f_{IN} =1100MHz, -1dBFS, 6GSPS

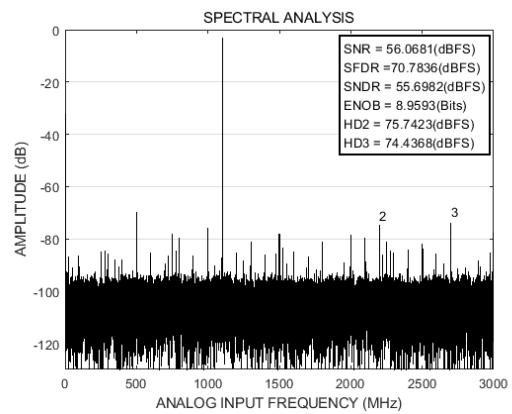


图 10 FFT at f_{IN} =1100Hz, -3dBFS, 6GSPS

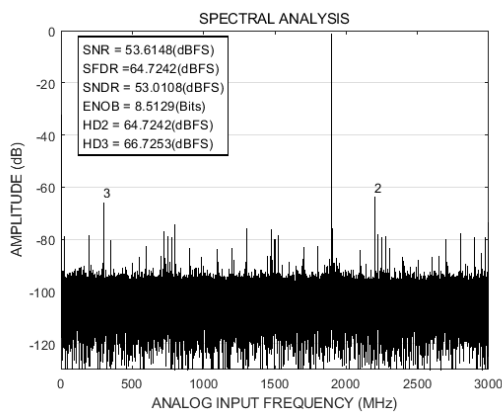


图 11 FFT at f_{IN} =1900MHz, -1dBFS, 6GSPS

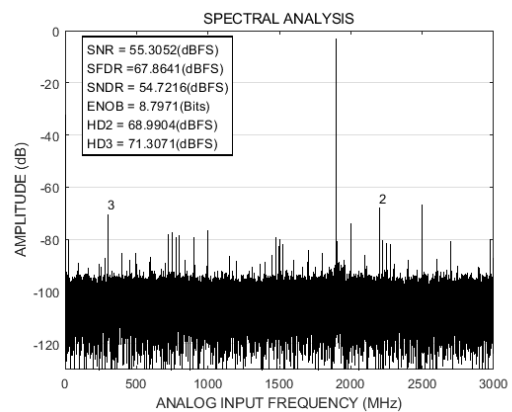
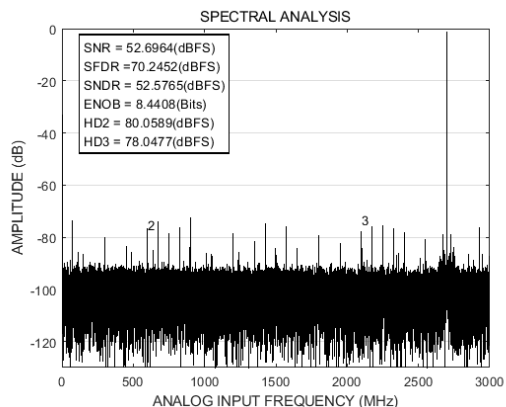
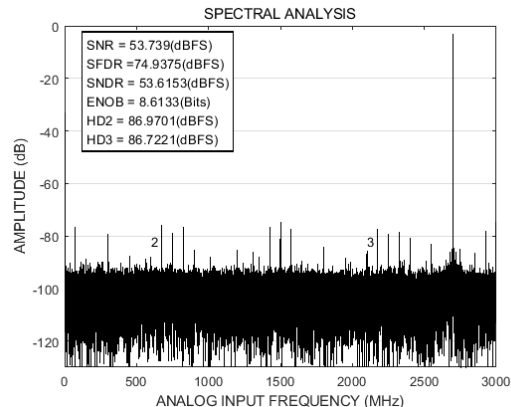
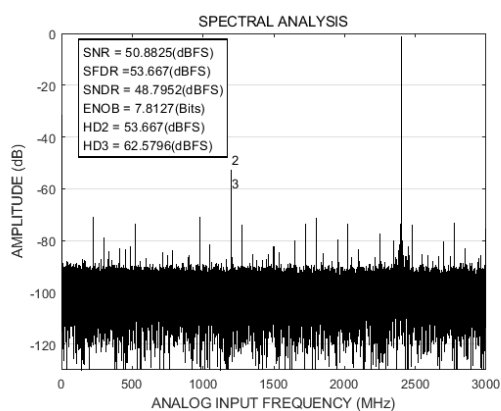
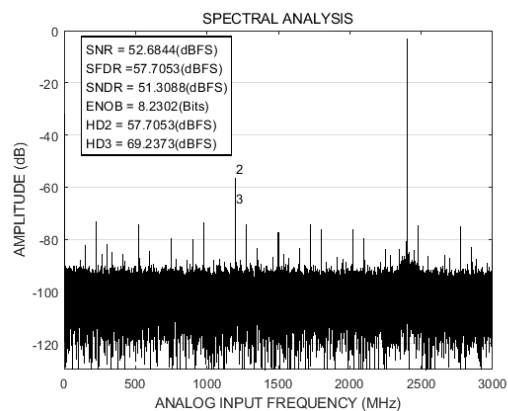
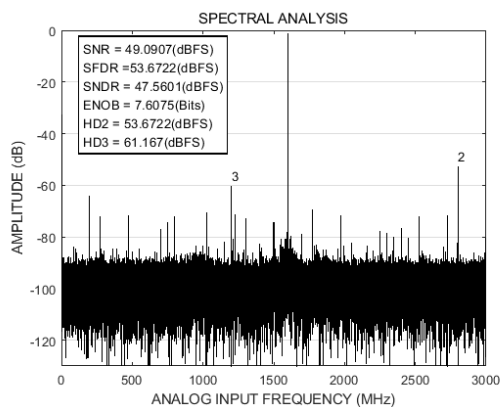
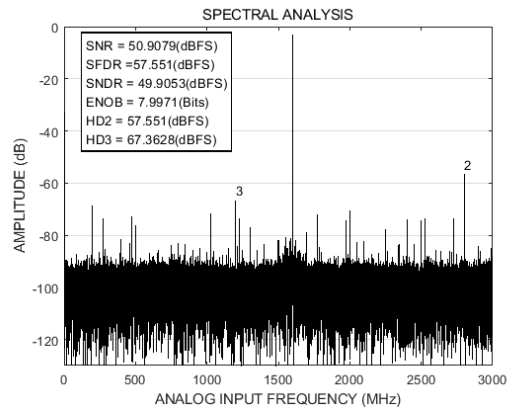
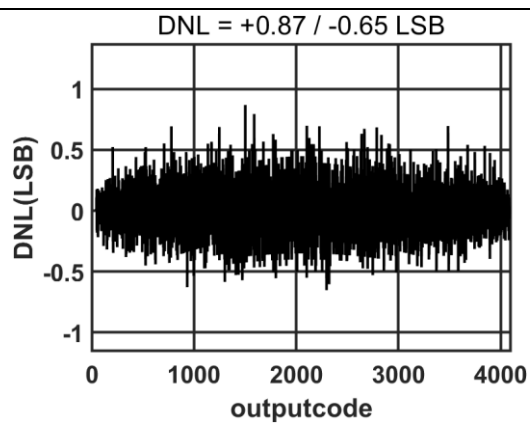
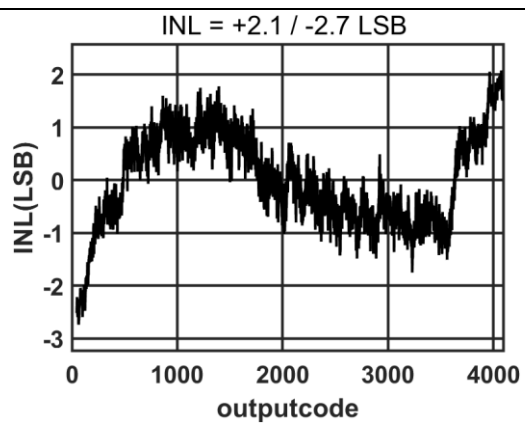


图 12 FFT at f_{IN} =1900MHz, -3dBFS, 6GSPS

图 13 FFT at $f_{IN}=2700\text{MHz}$, -1dBFS, 6GSPS图 14 FFT at $f_{IN}=2700\text{MHz}$, -3dBFS, 6GSPS图 15 FFT at $f_{IN}=3600\text{MHz}$, -1dBFS, 6GSPS图 16 FFT at $f_{IN}=3600\text{MHz}$, -3dBFS, 6GSPS图 17 FFT at $f_{IN}=4400\text{MHz}$, -1dBFS, 6GSPS图 18 FFT at $f_{IN}=4400\text{MHz}$, -3dBFS, 6GSPS

图 19 DNL at $f_{IN}=170\text{MHz}$, 6GSPS图 20 INL at $f_{IN}=170\text{MHz}$, 6GSPS

6.3 等效电路

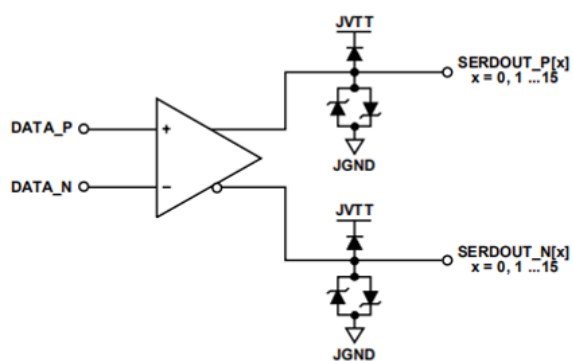


图 21 数字输出

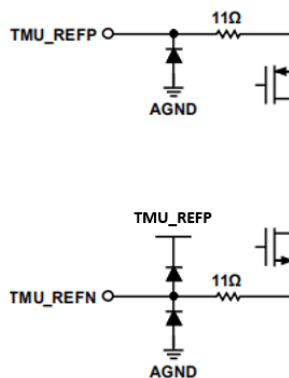


图 22 TMU_REF_x 输入

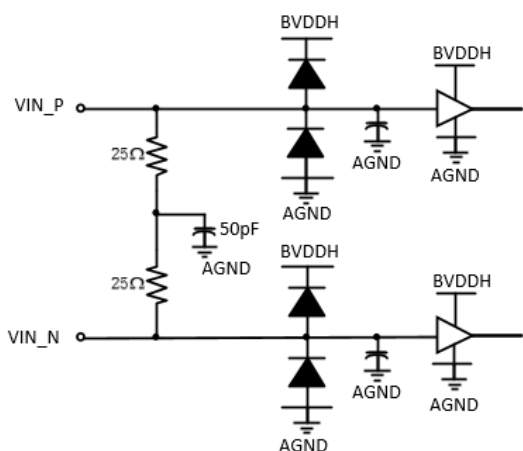


图 23 模拟输入

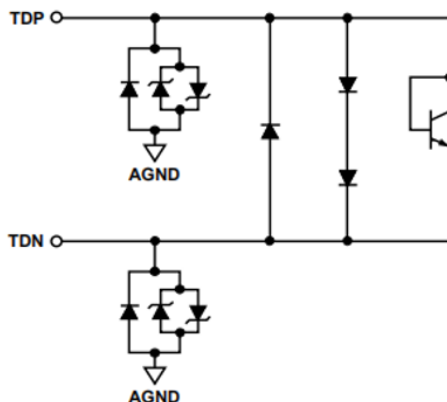


图 24 温度检测二极管(注 1)

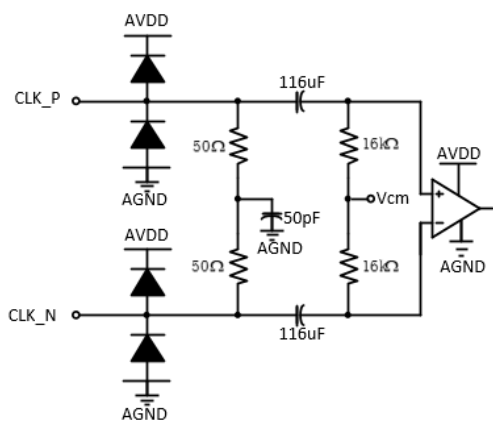


图 25 输入时钟

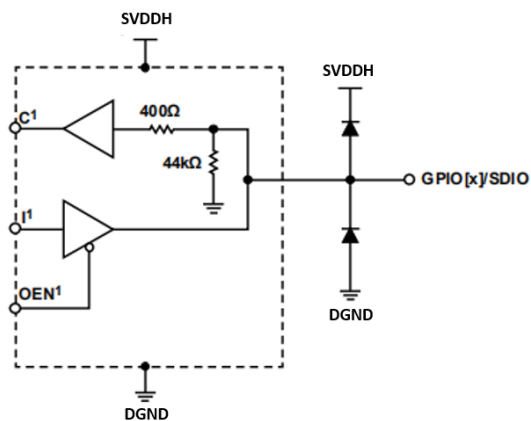


图 26 GPIO[x]和 SDIO

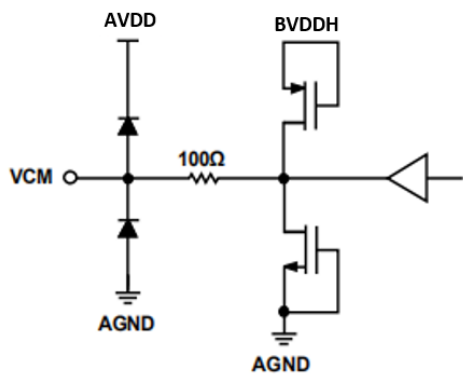


图 27 VCM

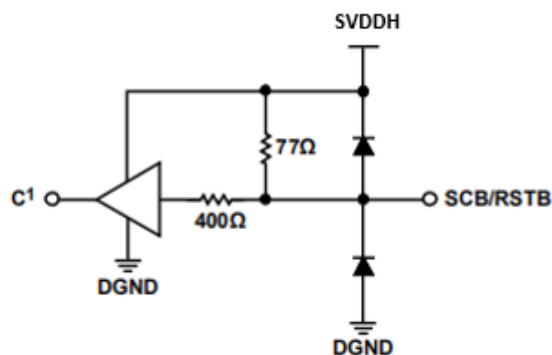


图 28 SCB 和 RSTB

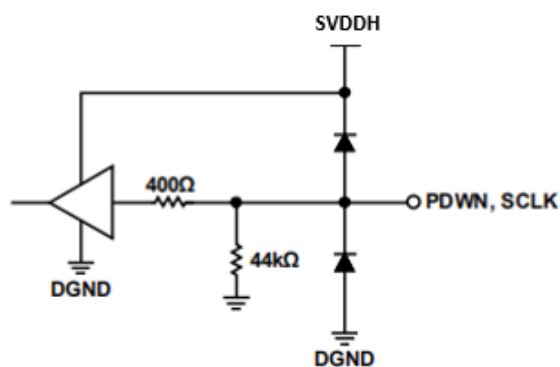


图 29 掉电和 SCLK

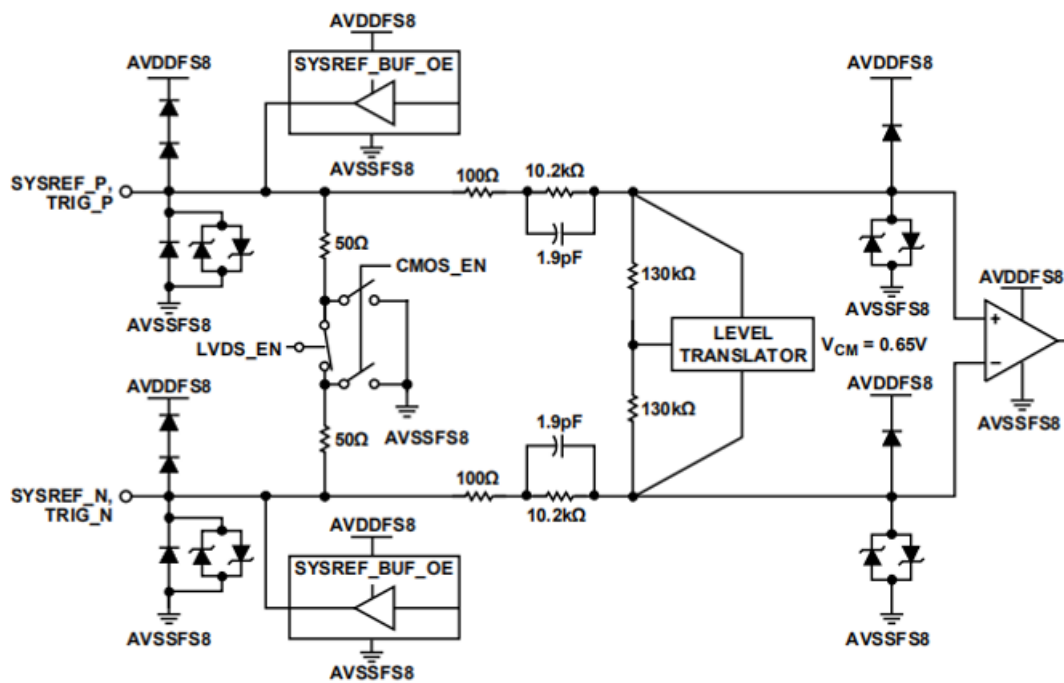


图 30 SYSREF_x 和 TRIG_x 输入

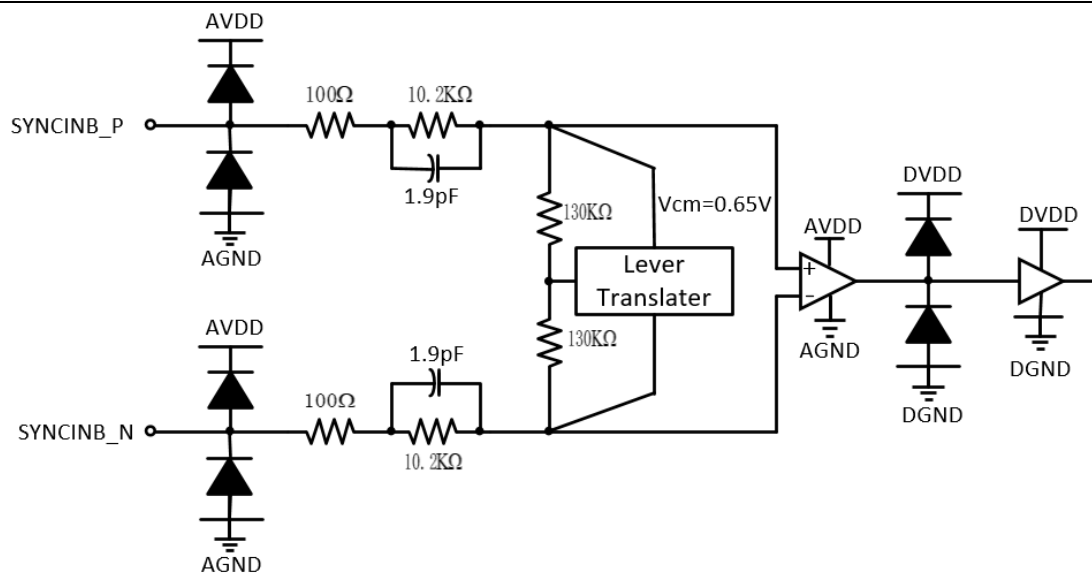


图 31 SYNCINB_x 输入

注(1): 图 24 对应的温度检测功能当前版本目前不支持, 后续版本会集成。

7 功能描述

7.1 概述

图 1 为 HWD9213 系列芯片的内部框图。芯片集成了 ADC 内核，JESD204B 接口模块，SPI 控制模块，时钟模块，外设 IO 模块等。

ADC 内核采用时间交织 Pipeline-SAR 结构实现，使用了宽带采样保持电路设计技术、时间交织及内部误差校正技术。

JESD204B 接口模块实现数据输出，支持 subclass0 和 subclass1 子类操作，最高 lane 速率可达 12.5Gbps，内置 16 个 lane 可配置使用。

SPI 接口模块主要实现 ADC 内部寄存器配置、通过指令实现时钟切换、芯片内部状态读取等功能。SPI 可以让用户根据实际应用场景灵活配置寄存器。

7.2 功能描述

7.2.1 工作原理

HWD9213 是一款流水线式 ADC，具有高输入带宽，高采样率，高线性度，低功耗的特点。HWD9213 采用 JESD204B 接口，支持 16 条 lane 输出以及 subclass0 和 subclass1 子类操作，实现高速数据传输以及灵活数字输出格式。

ADC 内核采用 8 通道时间交织的 Pipeline-SAR 架构，单通道采用单级 12 位 1Gsp/s Pipeline-SAR ADC。采用时间交织算法以及在线 dither 注入技术进行校正，在大部分输入信号条件下，均可达到较好的动态性能。

7.2.1.1 ADC 架构

HWD9213 由一个输入缓冲器，流水线式 ADC 组成。输入缓冲器给模拟信号提供一个差分 50Ω 的终端阻抗，其等效电路图可参见等效电路章节模拟输入图，输入缓冲器有助于实现高线性度，低噪声以及低功耗特性。

每一级流水线输出的量化结果最后组合生成 12bit 数字数据输出，其中第一级处理外部输入信号，同时其他级处理前级传输过来的采样点。

7.2.1.2 模拟差分输入

HWD9213 的模拟输入是一个差分缓冲器，内部缓冲器的共模电压是 1.2V。为了更好的动态性能，驱动 VIN_N 和 VIN_P 的源阻抗必须与 ADC 内部阻抗匹配，这样 ADC 输入端的共模误差就被抵消掉。

由于大部分放大器的噪声性能不足以使 HWD9213 发挥出真实的性能，为了获得更好的 SNR 和 SFDR 性能，建议使用差分变压耦合器作为差分输入配置。对于中低频场景建议使用两个巴伦或者两个变压器，对于高频场景建议去除前端不必要的无源器件来确保宽带功能和性能。

7.2.2 测试模式

7.2.2.1 ADC 测试模式

HWD9213 ADC core 内部有 2 处可以选择发送测试数据，具体信息如下：

- (1) ADC core 内部可以通过寄存器 0x001 bit[3]选择输出 ADC 数据或者 PRBS 测试数据；
- (2) ADC core 与 204B 之间可以通过寄存器 0x6D0 bit[3:2]选择输出数据模式；

详细信息可参见下表：

表 7 ADC 测试模式

寄存器名字	寄存器地址	位宽	含义
ADC_CORE_SEL	0x001	8	Bit[3]：sel_interface 模拟接口输出选择 =0x0：选择 ADC 输出 =0x1：选择 PRBS 输出
CONTROL10_IN	0x6D0	8	Bit[3:2]：alg_data_sel 2'b00：正常输出模式 2'b01：斜坡输出模式 2'b10：原始数据输出 2'b11：原始数据输出

7.2.2.2 204B 测试模式

HWD9213 在 204B 模块设计了灵活的测试模式用于通道调试和问题定位，相关寄存器信息和对应的功能见下图 32，图中对应的寄存器地址以 phy0 的 tx0 为参考，其他通道参考寄存器映射表 12 即可。

MUX1 模块，同一时刻最多只能有一个模式 enable，即寄存器 linktest_custom_enable_reg 0x827[0]、prbs_test_enable_reg1 0x828[7:0]、prbs_test_enable_reg2 0x829[7:0]和 jspat_test_enable_reg 0x82a[0]，最多只能有一个 enable，当这几个寄存器均 disable 时，MUX1 模块输出正常业务数据。

MUX2 模块的控制寄存器为 txrx_enablelinktest_reg 0x822[1:0]，可供选择发送/K28.5/重新进入 CGS 阶段或者 ILAS 信号。

MUX3 模块的控制寄存器为 bist_en 0x88c[0]，可供选择发送 PRBS 信号，此处的 PRBS 信号可以通过寄存器 pngctl 0x88c[6:4]实现对 PRBS 类型的选择，具体模式选择参见下表 8。

MUX4 模块的控制寄存器为 debug_reg_wr_2 0x88b[5]，主要用于时钟的选择。

MUX5 模块的控制寄存器为 bist_ilb_en 0x858[3:0]，主要用于选择是否要做每个 lane 的内部环回，并输出自 PRBS 模式下的自检测结果 bist_out。当 bist_ilb_en 0x858 配置为 0 时，bist_out 输出始终为 0，不能作为自检测结果依据。

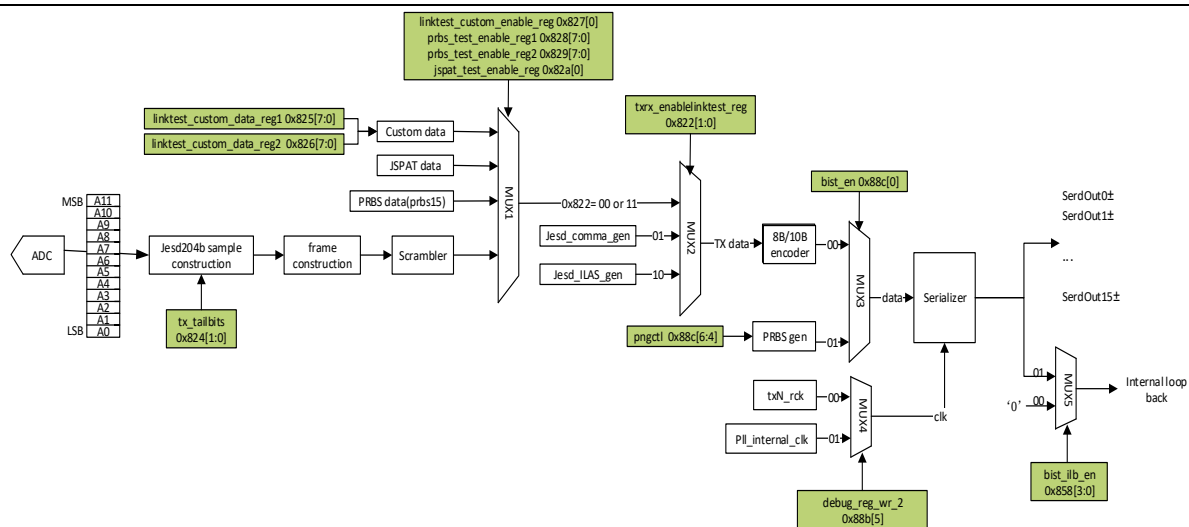


图 32 JESD204B 测试模式

表 8 MUX3 处 PRBS 类型选择

pngctl 0x88c[6:4]	PRBS 类型
000	PRBS07 (X^7+X^6+1)
001	PRBS15 ($X^{15}+X^{14}+1$)
010	0101...
011	全“0”
100	全“1”
101	00110011...
110	1111100000...
111	1111111100000000...

7.2.3 数字输出

7.2.3.1 JESD204B

HWD9213 采用 JESD204B 高速串行接口实现数据输出,支持 subclass0 和 subclass1 子类操作,最高 lane 速率可达 12.5Gbps, 内置 16 个 lane 可配置使用。

ADC 输出数据经过数据格式转换模块按系统工作模式设置进行组合后, 发送到 JESD204B 发送端接口 (JT_x) 进行组帧, 8B/10B 编码以及加扰 (可选) 等操作, 以及根据协议规范加入接收端同步所需的特殊控制字符, 生成链路层数据。链路层数据按照工作模式设置, 进行数据的并串转换和映射, 使用最多 16 个 lane 完成串行数据传输。

JESD204B 链路层主要配置参数如下:

- L: 每个转换器使用 lane 数量, L = 16。
- M: 器件中的转换器数量 (包括虚拟转换器), M = 1。
- F: 每帧中的字节数, F = 2。

- N': 每个样本的 bit 数, $N' = 16$ 。
- N: 转换器精度, $N = 12$ 。
- S: 每个转换器每帧中的样点数, $S = 16$ 。
- CS: 样本中的控制信号 bit 数, $CS = 0$ 。
- K: 每个多帧包含的帧数量, $K = 16$ 。
- HD: 高密度模式, $HD = 0$ 。
- CF: 每帧中的控制字个数, $CF = 0$ 。

该配置下, 若 ADC 的采样速率为 6GSPS, 所得对应 JESD204B 的线速度为 7.5Gbps。图 33 为一种工作模式下 JESD204B 传输链路工作框图。图 34 为 ADC 数据经过处理传输到物理层的实现框图。

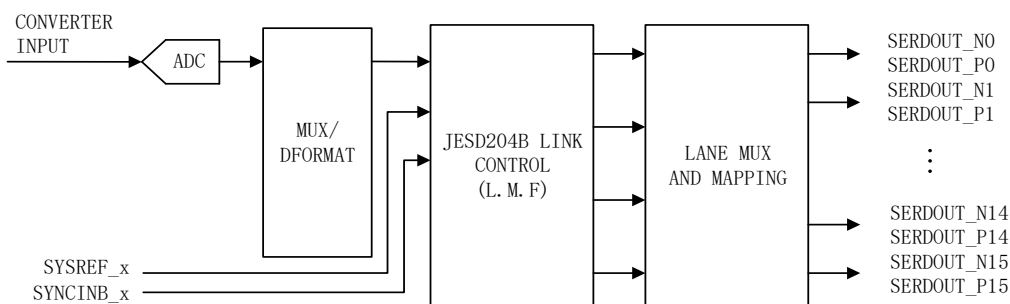


图 33 JESD204B 传输链路框图

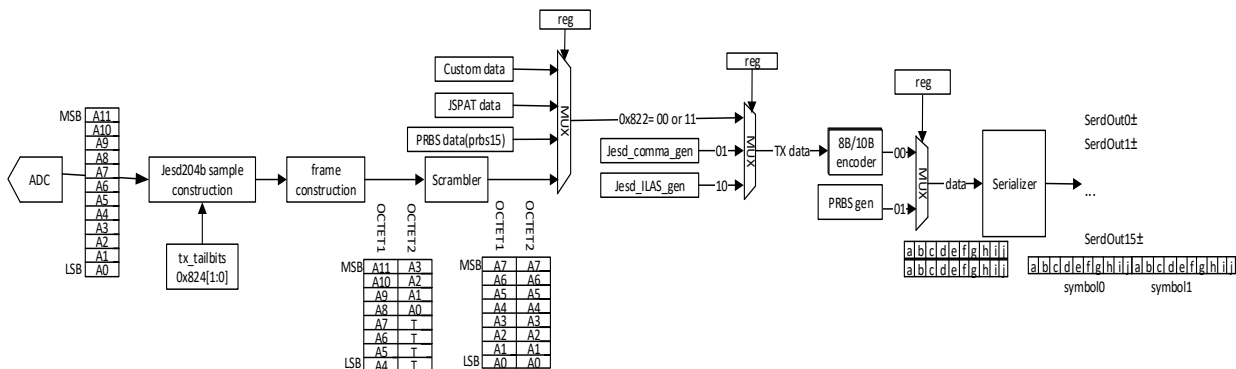


图 34 ADC 输出数据传输框图

7.2.3.2 功能概述

JESD204B 处理过程可以分为传输层, 数据链路层和物理层 (串行器), 如下图 35 所示, 下面对这些模块进行具体说明。

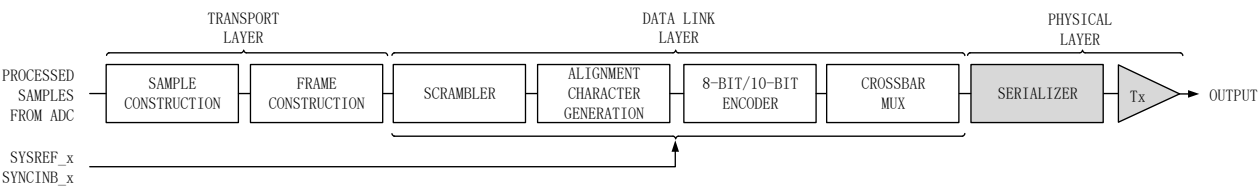


图 35 JESD204B 接口数据流图

传输层主要负责将数据(由样本和可选控制位组成)进行打包转化成 8 位字传送给数据链路层。传输层受链路配置数据产生的规则控制, 根据规则来对数据打包处理, 需要时添加结束位来填补空隙。

数据链路层主要包括数据加扰, 处理链路上的字符、帧和通道的同步过程, 8B/10B 编码, 以及在数据传输中插入适当的控制字。同时数据链路层还要负责发送初始通道对齐序列(ILAS), 用于接收端来验证数据链路层的配置。

物理层实现并行数据到串行的转化。

7.2.3.3 JESD204B建链

HWD9213 JESD204B发射端接口定义及基本功能可参考JEDEC 204B协议标准, 建链过程分为以下几个步骤: 代码组同步(CGS)和SYNCINB±, 初始通道对齐序列(ILAS), 用户数据和纠错。

7.2.3.3.1 代码组同步(CGS)和SYNCINB±

CGS是JESD204B接收机找到数据流中字符边界的过程, 在CGS阶段204B发射端传送/K28.5/字符, 接收端使用时钟和数据恢复技术(CDR)在输入数据流中定位/K28.5/字符。

接收机通过激活HWD9213中的SYNCINB±引脚, 发出一个同步请求, JESD204B Tx就开始发送/K28.5/字符, 直到下一个LMFC边界到来。当Rx端同步上以后, 需要等待至少正确收到4个连续的/K28.5/字符, 之后停止使用SYNCINB±。HWD9213接下来会在下一个LMFC边界上开始发送初始通道对齐序列(ILAS)。

7.2.3.3.2 初始通道对齐序列(ILAS)

CGS 阶段之后是 ILAS 阶段, 它在下一个 LMFC 边界开始。ILAS 由 4 个多帧组成, /R/字符表示开始, /A/字符表示结束。ILAS 从发送/R/字符开始, 然后发送一个多帧的 0 至 255 斜坡数据; 在第二个多帧, 第二个字符是/Q/字符用以确认随后是链路配置数据, 从第三个字符开始发送链路配置数据。所有未定义的数据都是斜坡数据填充, ILAS 数据不加扰。

ILAS 序列结构如下图 36 所示, 具体控制字符含义参见表 9, 4 个多帧包括:

多帧 1/3/4: 以/R/字符 K28.0 开始, 以/A/字符 K28.3 结束;

多帧 2: 以/R/字符开始, 后接/Q/字符 K28.4, 然后是 14 个配置 8 位字的链路配置参数, 最后以/A/字符结束。

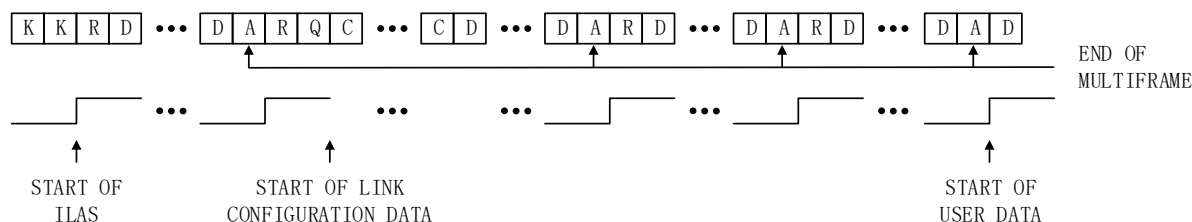


图 36 ILAS 序列图

表 9 JESD204B 控制字符

缩写	控制字符	8 位值	10 位值 RD (运行差异) = -1	10 位值 RD (运行差异) = +1	说明
/R/	/K28.0/	000 11100	001111 0100	110000 1011	多帧开始
/A/	/K28.3/	011 11100	001111 0011	110000 1100	通道对齐
/Q/	/K28.4/	100 11100	001111 0010	110000 1101	链路配置数据开始
/K/	/K28.5/	101 11100	001111 1010	110000 0101	组同步
/F/	/K28.7/	111 11100	001111 1000	110000 0111	帧对齐

7.2.3.3.3 用户数据和纠错

完成 ILAS 之后便开始发送用户数据，在普通的一帧数据中所有数据都是用户数据。为了监控帧时钟和多帧时钟同步，当数据符合某些条件时，通过一个机制来保证将字符替换为/F/或/A/对齐字符，该机制对于加扰和未加扰的数据条件是不同的，是否加扰可通过寄存器 0x81f 配置。

对于加扰的数据，帧末尾的任何 0xFC 字符都用/F/替换，多帧末尾的 0x7C 字符都用/A/替换。JESD204B Rx 检查接收到的数据中是否有/F/或/A/字符来验证它是否只出现在预期的位置上。如果发现意外的/F/或/A/字符，Rx 将利用动态对齐或者激活 SYNCINB±持续 4 帧以上时间重新启动同步来处理这种情况。

对于未加扰的数据，如果两个连续帧的最后一个字符相同，就会将第 2 帧的最后一个字符替换为/F/，如果它位于多帧的末尾，则替换为/A/。

7.2.3.4 物理层输出

JESD204B 通道恢复的数据眼图测试结果如下图 37 所示，其工作的线速率为 12.5Gbps。

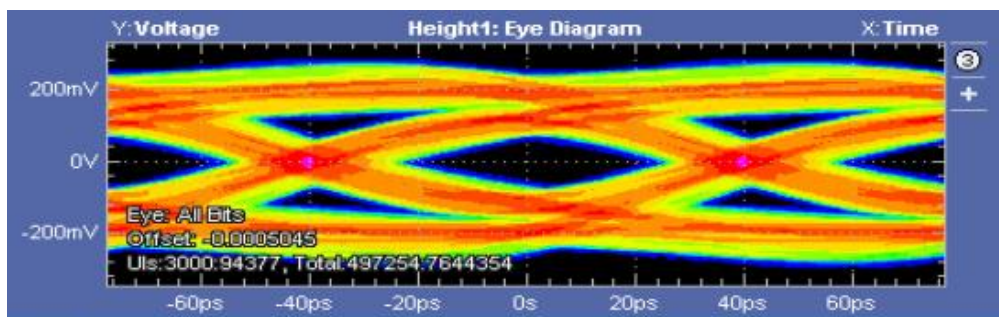


图 37 JESD204B 通道恢复的数据眼图 (lane rate = 12.5G)

7.2.3.5 多片同步(MCS)

HWD9213 当前版本不支持该功能，后续会集成。

7.2.4 串行端口接口 (SPI)

SPI 接口模块主要实现 ADC 内部寄存器配置、通过指令实现时钟切换、芯片内部状态读取等功能。SPI 可以让用户根据实际应用场景灵活配置寄存器来设置 HWD9213。

7.2.4.1 功能概述

HWD9213 中 SPI 由 3 个引脚组成：SCLK 引脚，SDIO 引脚，SCB 引脚，具体含义见下表 10。其中 SCLK(串行时钟)用于同步从 ADC 读出来的数据和写入 ADC 的数据，SDIO(串行双向输入输出)是一个双功能引脚，可通过此引脚将数据发送至内部 ADC 存储器映射寄存器或从该寄存器读出数据，SCB(片选信号)是低电平有效控制引脚，它能够使能或者禁用读写周期。

表 10 串行端口接口引脚

引脚	功能
SCK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。是双功能引脚，通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置。
SCB	片选信号。低电平有效控制信号，用来选通读写周期。

7.2.4.2 时序规格

HWD9213 中 SPI 读写时序如图 38 和图 39 所示。

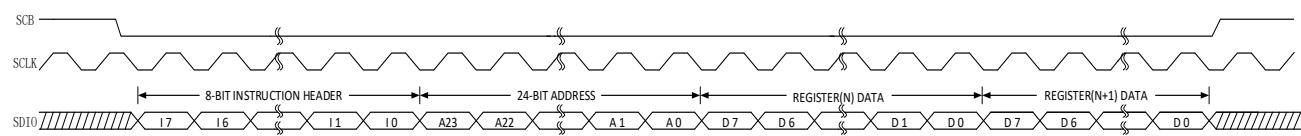


图 38 SPI 寄存器写时序

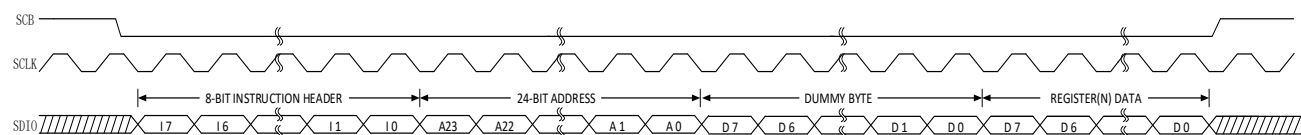


图 39 SPI 寄存器读时序

当 SCB 信号在指令传输阶段无效时，该指令及指令后跟随的数据都将被忽略；当 SCB 信号在第 N-1 个数据传输过程中无效时，第 N-1 个数据将被忽略，如图 40 和图 41 所示。

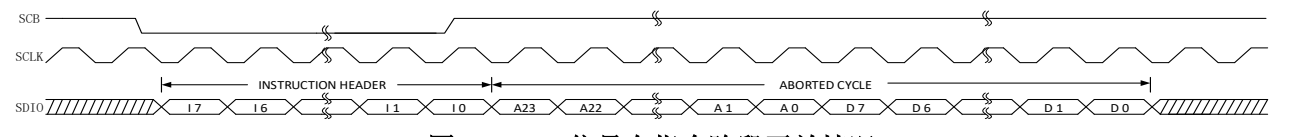


图 40 SCB 信号在指令阶段无效情况

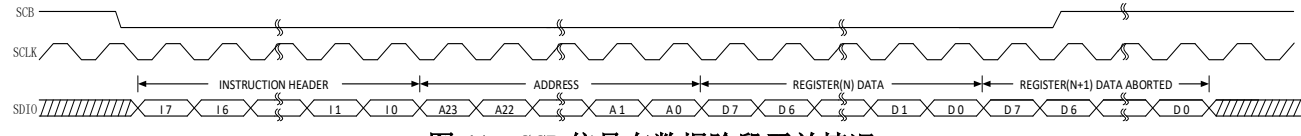


图 41 SCB 信号在数据阶段无效情况

注意：上图 40 和图 41 中的 instruction header 对应的具体信息参见接口指令章节中表格第一列 instruction header 内容。

7.2.4.3 接口指令

HWD9213 中 SPI 接口指令列表如下表 11 所示：

表 11 接口指令列表

Instruction Header	Description	Op Code	Address Cycle(s)	Dummy Cycle(s)	Data Cycle(s)
Read-Register	读寄存器指令	0x90	3	1	1 to ∞
Write-Register	写寄存器指令	0xAD	3	0	1 to ∞
WREN	写寄存器全局使能，芯片上电后，必须输出此 OP_CODE 才可对寄存器进行写操作	0x06	0	0	0
WRDI	写寄存器全局使能关闭，需再次输入 WREN 才可打开写寄存器全局使能	0x04	0	0	0

7.2.4.3.1 Read-Register 指令

当 SPI_CTRL 接收到 Read_register 指令后，继续接收 3 个 byte 的 ADC 寄存器初始地址，接收完三个初始地址后，SPI 接口需要等待一个 dummy byte 之后，SPI 接口将发出 ADC 寄存器数据。读 ADC 寄存器地址将继续累加，并读取 ADC 寄存器值。当 ADC 寄存器地址累加到最大值后，将回到 0 地址循环读取，直到 SPI 接口 SCB 信号回到高电平则结束当前读 ADC 寄存器操作。

读寄存器采用该指令，默认为多字节自动地址+1 读模式；单字节读出时，发送单字节对应地址，接收输出数据后，将 SCB 拉高结束读操作。

7.2.4.3.2 Write-Register 指令

当 SPI_CTRL 接收到 Write-Register 指令后，继续接收 3 个 byte 的写 ADC 寄存器初始地址，接收完三个初始地址后，SPI_CTRL 继续接收数据，并将数据存入响应地址的影子寄存器中，写 ADC 寄存器地址将继续累加，并将接收到的数据存入相应的寄存器的影子寄存器中。当 ADC 寄存器地址累加到最大值后，将回到 0 地址继续写入。直到 SPI 接口 SCB 信号回到高电平则结束当前写入 ADC 寄存器操作。并将本次写入的寄存器同时更新到 ADC 寄存器中。

写寄存器采用该指令，默认为多字节自动地址+1 写入模式；单字节写入时，发送单字节对应地址和数据后，将 SCB 拉高结束写操作。

注意：进行多字节地址连续写入操作时，需要确保对于寄存器表中未定义的地址不要进行任何写操作。

7.2.4.3.3 WREN 指令

当 SPI_CTRL 接收到 WREN 指令后，SPI_CTRL 进入写使能操作，内部写使能有效信号将被置高，当此指令有效后，所有写相关的指令将可以生效。在系统复位之后或上电复位之后，发送 Write-Register 等指令之前，需要先发送 WREN 使能写操作，否则写操作指令将失效。

7.2.4.3.4 WRDI 指令

当 SPI_CTRL 接收到 WRDI 指令后，SPI_CTRL 进入无效写使能操作，内部写使能信号将被置地，当此指

令有效后，所有写相关指令将不会生效，达到写保护功能。如果需要发送 Write-Register 等指令，在发送指令之前需要先发送 WREN 使能写操作，否则写操作指令将被无效。

7.2.5 存储器映射

HWD9213 的存储器映射寄存器表单参见下表 12，本章内容将具体介绍寄存器表单信息。

● 读取存储器映射寄存器

存储器映射寄存器的每一行有 8 位，存储器映射大致分为三部分：ADC 模拟寄存器，ADC 算法寄存器，JESD204B 寄存器。

存储器映射寄存器表列出了每个十六进制地址及十六进制默认值。

位 7 (MSB) 栏为给定十六进制默认值的起始位。例如，输出模式寄存器 (地址 0x001) 的十六进制默认值为 0x6。这表明，bit[1] 和 bit[2] = 1，其余位均为 0。

● 禁用位置和保留位置

本器件目前并不支持全部地址读写操作，有效地址中未使用的位应保持默认值不变。当一个地址仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址均禁用，则不应对该地址进行写操作。

● 默认值

HWD9213 复位后，关键寄存器将载入默认值，存储器映射寄存器表列出了各寄存器的默认值。如果是软复位操作，关键寄存器的值保持当前状态不变。

表 12 HWD9213 寄存器映射表

寄存器名字	地址	默认值	描述	备注	coe 配置
校准寄存器及 ADC 内部源切换寄存器					
自动校准寄存器	0x403	0x3F	Bit[7]: =1 自动校正使能, =0 自动校正关闭 Bit[6]: =0 不可更改 Bit[5]: =1 不可更改 Bit[4]: 通道间失调误差自动校正 =1 使能, =0 关闭 Bit[3]: 通道间增益误差自动校正 =1 使能, =0 关闭 Bit[2]: 通道间时钟误差自动校正 =1 使能, =0 关闭 Bit[1]: =1 校正噪声补偿开启, =0 校正噪声补偿关闭 Bit[0]: =1 时间校正参数间隔变化, =0 时间校正参数同时变化	bit7 自动校正使能关闭情况下，才能单独关闭每一种校正使能。	
手动校准寄存器	0x405	0x03	Bit[7]: =0 不可更改 Bit[6]: =1 不可更改 Bit[5]: =0 不可更改 Bit[4]: 通道间失调误差手动校正 =1 使能, =0 关闭 Bit[3]: 通道间增益误差手动校正 =1 使能, =0 关闭 Bit[2]: 通道间时钟误差手动校正 =1 使能, =0 关闭 Bit[1]: =1 不可更改 Bit[0]: =1 不可更改	手动校准开启寄存器	0x5f, 默认设置为手动校准模式
内部源切换寄存器	0x6d0	0x00	bit[7]: 算法模块软复位端口 = 1 复位, =0 结束复位	配置为 0x4, 斜坡输出	0x03。

寄存器名字	地址	默认值	描述	备注	coe 配置
			bit[6]: 保留位 bit[5:4]: =0 正常输出模式 : =1 斜坡输出模式 : =2 原始数据输出 : =3 原始数据输出 bit[1:0]: =3 不可更改	配置为 0x3, 模拟信号输出	如果觉得数据对齐有问题, 需要设置为 0x4, 检查 lane 的对齐。
204B 寄存器配置表					
PROTC-SUBCLASS	0x812	0x01	Bit[7:3]: 保留位 Bit[2:0]: 子类操作模式 (0、1、2)	subclass 配置值=0/1/2, 典型值 subclass1	0x00
PROTC_F	0x817	0x01	每帧中的字节数, 该值固定为 2	F=2, 配置时-1; 基于当前帧结构, F=2 时 S=16	
PROTC_K	0x818	0x0f	Bit[7:5]: 保留位 Bit[4:0]: 每个多帧包含的帧数量, 该值固定为 16	K=16, 配置时-1	
PROTC_L	0x819	0x0f	Bit[7:5]: 保留位 Bit[4:0]: 每个转换器使用的 lane 数量, 该值固定为 16	L=16, 配置时-1	
PROTC_N	0x81a	0x0f	Bit[7:5]: 保留位 Bit[4:0]: 转换器精度, 该值固定为 12	N=12, 配置时-1	0x0b
PROTC_M	0x81b	0x00	器件中的转换器数量 (包括虚拟转换器), 该值固定为 1	M=1, 配置时-1	使用默认值
PROTC_NTOTAL	0x81c	0x0f	Bit[7:5]: 保留位 Bit[4:0]: 每个样本的总位数(N'), 该值固定为 16	N'=16, 配置时-1	使用默认值
PROTC_SCR	0x81f	0x00	Bit[7:1]: 保留位 Bit[0]: 加扰使能 =1 表示 enable, =0 表示 disable	根据是否需要加扰功能配置该寄存器	使用默认值 (不加扰)
PROTC_TX_ILAS_DELAY	0x821	0x09	定义从 TX 样点端口的初始采样请求到链路层从传输层请求第一帧的延迟。The resolution is clk_character cycles. 一个粗略的公式: F=1: delay 必须被设置为 4。F=2: delay 必须被设置为 6。F=3: delay 必须被设置为 8。F>3: delay 必须为 8 + F。 对于 F>3, 该值可能需要调好, 尤其当 clk_character 和 clk_sample 之间的比值不是 1:1。在大多数情况下, 它应该是有效的。 推荐用户在特定情况下的仿真中验证设置	寄存器配置原则见左边, 此结果与 F 的配置强相关 当 F=4 时, delay=8+F=12 当 F=2 时, delay=6	0x06
PROTC_ENABLELINKTEST	0x822	0x00	Bit[7:2]: 保留位 Bit[1:0]: 0: 没有链路层测试执行 1: 发送连续的/K28.5/字符序列 (LINKTEST1) 2: 发送代码组同步序列, 后接通道对齐序列 (LINKTEST2) 3: 没有链路层测试执行		
PROTC_ENABLEMODULE	0x823	0x01	模块使能操作, module 是指整个 TXRX 204B 0: 模块不使能 1: 模块使能	此寄存器的配置原则: enable 之前需要先把相关参数配置正确	使用默认值
PROTC_TAILBITS	0x824	0x00	Bit[7:2]: 保留位 Bit[1:0]: tail bits 配置值 0: 插入'0'; 1: 插入'1'; 3: 无效 (插入'0') 2: 来自 LFSR 或其他结构的插入尾位, 需确保 low DC content		
PROTC_TEST_	0x825	0x00	可以连续发射的 16bit 数据的低 8 位		

寄存器名字	地址	默认值	描述	备注	coe 配置
CUSTOM_DATA_LOW			此数据发送的是一个单音信号，用于链路测试		
PROTC_TEST_ CUSTOM_DATA_HIGH	0x826	0x00	可以连续发射的 16bit 数据的高 8 位 此数据发送的是一个单音信号，用于链路测试		
PROTC_LINKTEST_ CUSTOM_ENABLE	0x827	0x00	Bit[7:1]: 保留位 Bit[0]: 链路测试数据发送使能开关, 0 表示 disable		
PROTC_PRBS_TEST_ ENABLE_LOW	0x828	0x00	使能每个单独链路的的 PRBS 测试。比如 bit 0 对应通道 0, bit 1 对应通道 1, 依次类推, 最大值为 16。		
PROTC_PRBS_TEST_ ENABLE_HIGH	0x829	0x00	使能每个单独链路的的 PRBS 测试。比如 bit 0 对应通道 0, bit 1 对应通道 1, 依次类推, 最大值为 16。		
PROTC_JSPAT_ TEST_ENABLE	0x82a	0x00	Bit[7:2]: 保留位 Bit[1]: 为 1 表示传送的第一个符号应该包含正向偏差 Bit[0]: 对所有链路使能 JSPAT 测试		
PROTC_NUM_ MULTIFRAMES	0x833	0x10	ILAS 中多帧的个数。合法值为 3 到 255	通常 ILAS 是 4 个多帧， 配置时-1	0x03
PHY_PD	0x849	0x00	Bit[7]: LC PLL 开关 0: 正常操作; 1: 关闭 LC PLL Bit[6]: RC PLL 开关 0: 正常操作; 1: 关闭 RC PLL Bit[5:4]: 保留位 Bit[3]: 0: 正常操作; 1: 关闭 TX 模块, LFPS/OOB 传输块除外 Bit[2]: 0: 正常操作; 1: 关闭 TX 模块, LFPS/OOB 传输块除外 Bit[1]: 0: 正常操作; 1: 关闭 TX 模块, LFPS/OOB 传输块除外 Bit[0]: 0: 正常操作; 1: 关闭 TX 模块, LFPS/OOB 传输块除外	RC 和 LC 的 PLL 模式选择	0x80: LC 配置为 关闭, RC 配置为 normal 模式, 即 选择 RC PLL 模 式。
PHY0_ LANE_BIST_ ILB_EN	0x858	0x00	Bit[7:4]: 保留位 Bit[3]: 0: 正常模式, 1: 使能每条通道内部回环 Bit[2]: 0: 正常模式, 1: 使能每条通道内部回环 Bit[1]: 0: 正常模式, 1: 使能每条通道内部回环 Bit[0]: 0: 正常模式, 1: 使能每条通道内部回环		
PHY0_TX0_DEBUG_ WR_HIGH	0x88b	0x00	Bit[7]: 并行数据样点控制信号 0: txN_rck 采样 txN_data[39:0], 1: txN_rck 不采样 txN_data[39:0] Bit[6]: 回环并行数据样点控制信号 0: 选择上升沿触发并行数据, 1: 选择下降沿触发并行数据 Bit[5]: 选择 txN_pck 控制信号源 Bit[4]: txN_pck_8_10 使能控制信号 0: 不使能, 1: 使能 Bit[3]: txN_pck 关闭控制信号 0: 使能, 1: 不使能 Bit[2]: 0: 驱动器电容无效, 1: 驱动器电容使能 Bit[1]: 0: 正常模式, 1: 驱动器电流加载自偏置模式 Bit[0]: 0: prbs 模式没有错误位, 1: prbs 模式有错误位		
PHY0_TX0_BIST	0x88c	0x00	Bit[7]: 保留位 Bit[6:4]: PRBS 生成器模式选择 Bit[3:1]: 保留位 Bit[0]: PRBS 生成器选择使能 0: 数据来自 PCS 层, 1: PRBS 模式		

8 应用建议

本章节内容主要介绍 HWD9213 启动流程、应用电路、回流焊条件及注意事项(注 1)。

8.1 启动流程

- 1) HWD9213 上电没有强制上电顺序要求，上电前供采样时钟或者上电同时提供采样时钟。
- 2) 上电后，将 RSTB 拉低进行复位，然后再拉高。
- 3) 配置寄存器列表，主要包含 ADC 基础参数与 JESD204B 相关参数。
- 4) GPIO[0]先拉低，配置寄存器 0x4E = 0xE3, 0x4E = 0x63, GPIO[0]再拉高。
- 5) 读取寄存器 0xA23、0xA33、0xA43、0xA53，检查 PLL 锁定状态，bit[0]=1 表示锁定，ADC 工作正常。bit[0]=0 表示未锁定，重复步骤 2~5，直到 ADC 工作正常。

8.2 应用电路

应用电路设计应符合 HWD9213 数据手册中额定参数要求，推荐参考 HWD9213 官方 DEMO 板设计或联系我们的销售人员。

在实际应用前，应对包含 ADC 的系统进行充分的测试，保证各项指标均在设计范围内，确保 ADC 按照设计参数进行工作。

8.2.1 电源供应

HWD9213 电源部分典型应用电路如图 42 所示。对于多片 HWD9213，推荐复制前级电源模块保证单个 HWD9213 电流供应和电源噪声。另外为了保证 ADC 性能，推荐使用 LDO 作为 ADC 电源的供电的最后一级。

HWD9213 不同电源轨的上电顺序没有严格的约束，只需要保证 ADC 进行配置之前，各电源轨满足所需要的额定电压和电流值。

与大多数 ADC 类似，我们也建议在 PCB 设计和布板上，使用低 ESR 的电容作为 ADC 的滤波/去耦电容，并将它们放置在尽量靠近芯片的电源管脚处，以实现电源完整性设计。

所有的 GND 管脚尽可能短地接入完整的地平面。

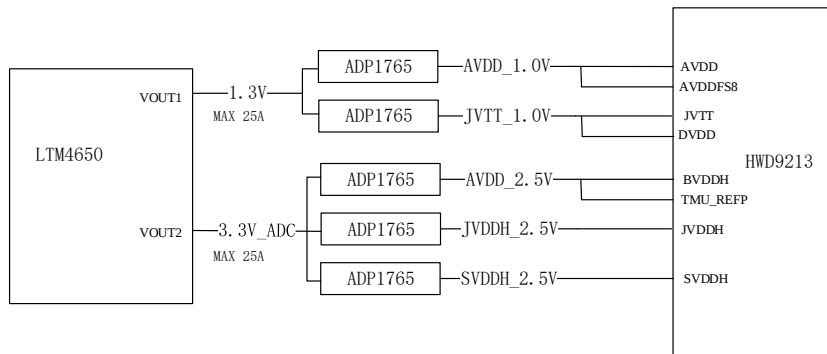


图 42 典型电源供应示意图

8.2.2 配置电路

8.2.2.1 SPI 及管脚选择典型配置

HWD9213 的复位源选择管脚 (SEL_POR) 工作于 AVDD 电源域, 因此推荐上拉电源采用 AVDD 电源域。

HWD9213 的时钟源选择管脚 (SEL_CLK)、复位管脚 (RSTB)、GPIO_0 管脚工作于 SVDDH 电源域, 因此推荐上拉电源采用 SVDDH 电源域。

RSTB 和 GPIO 作为芯片复位和下发配置使能的功能, 需要连接至上位机或 FPGA, 需注意上位机或 FPGA 的电平转换匹配。

HWD9213 采用三线制 SPI, SPI 电源域为 SVDDH, SDIO 为收发数据管脚, 推荐采用 TXS0108 等双向电平转换芯片, 若采用单向电平转换芯片, 需注意数据方向的控制和时序。因为 ADC 的状态及配置大多通过 SPI 进行读写, 因此我们推荐在初次设计时预留一组外接 SPI 接口, 作为 ADC 配置 debug 接口, 从而提高初次设计的 debug 便利性。

配置电路如图 43 所示。

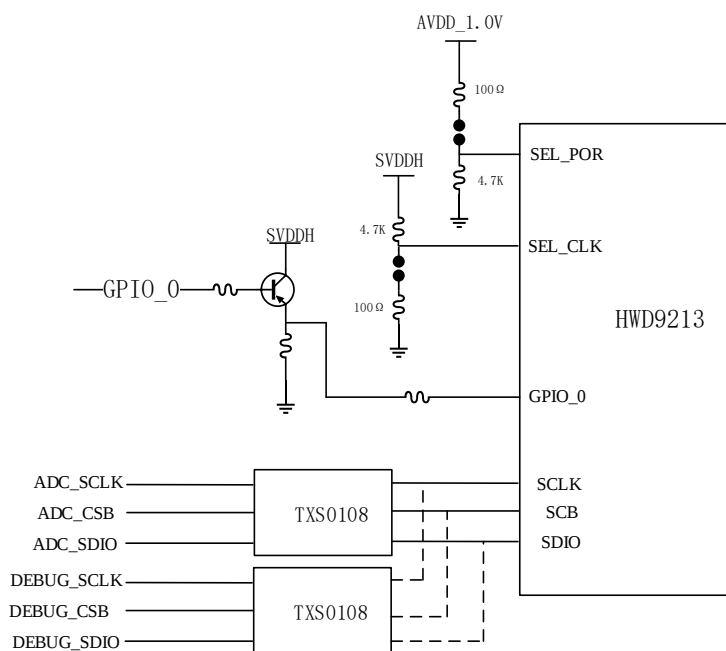


图 43 SPI 及管脚选择典型配置示意图

8.2.2.2 时钟典型配置

HWD9213 支持内部 PLL 生成采样时钟和外部输入采样时钟, 当使用 PLL 生成时钟时, 通过 EXT_CLK 管脚提供时钟源, EXT_CLK 工作于 SVDDH 电源域, 应注意电平转换。当使用外部输入时钟时, 通过 CLK_P/N 管脚输入差分时钟, 由于该时钟应用于 ADC 采样, 因此需保证外接时钟的信号质量, 另外该时钟为高频时钟信号, 还应保证外接时钟源到管脚的信号幅值, 我们推荐使用高速 PCB 板材和低插损的连接器, 过低的 CLK 幅

值将影响 ADC 性能。

REFCLK 和 SYSREF 为 ADC 的 SERDES 链路时钟，推荐使用符合 JESD 204B 标准的时钟芯片来产生严格同步的时钟信号。如果是用于初次设计，推荐在原理设计中采用备用外接时钟输入，这样可以提高初次设计的成功率。

差分时钟链路在 PCB 上的应满足 100Ω 差分阻抗匹配。

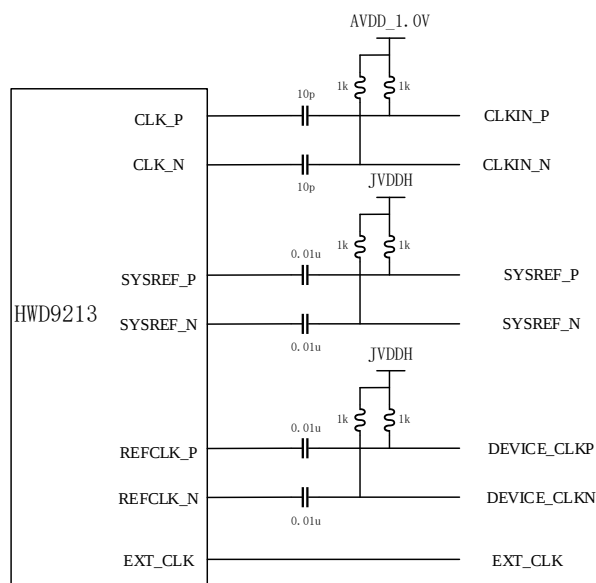


图 44 时钟配置典型示意图

8.2.3 SERDES 电路

HWD9213 具有 16 条 JESD204B 链路，通过 ADC 的 JESD204B 寄存器配置，可以很快建立符合 JESD204B 的数据链路，每条数据链路速率（Lane Rate）由以下公式决定：

$$\text{Lane Rate} = \frac{f_{\text{sample}} * N' * (\frac{10}{8})}{L}$$

- ADC 采样率 f_{sample}
- ADC 位数 N'
- ADC Serdes 数量 L

每条 SERDES 链路采用 AC 耦合隔离，建议使用低 ESR（0201 封装）电容来实现这一功能，如果使用板-板连接方式设计应用系统，那么满足 JESD204B 电气特性的连接器是必须需要考虑的。为了保证传输链路的可靠性，建议在设计前对高速链路进行信号完整性仿真（含连接器），另外在布线条件允许的情况下，lane 的组与组之间尽量缩小等长差异，这样对于实现数据对齐无疑减小了风险。

如果采用 FPGA 作为接收端设计，推荐采用 FPGA 中有关 ibert 的误码测试，来验证 ADC 到接收端的误

码率状态。具备相关仪器条件的，也可使用外部仪器对链路眼图进行测试。

SERDES 电路示意如图 45 所示。

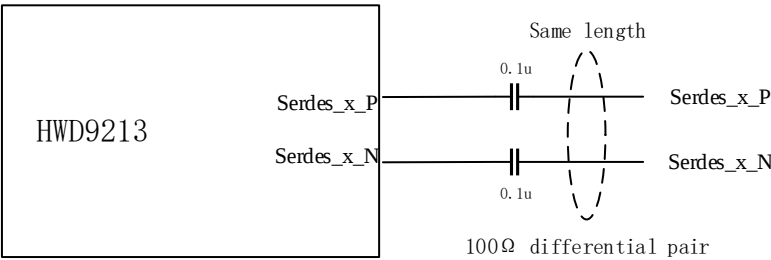


图 45 Serdes 电路示意图

8.3 回流焊条件

回流焊的条件可参考表 13 的规定，回流焊的温度曲线如图 46 所示。

表 13 回流焊条件

步 骤	条 件
预热区 最高温度 25℃ 升至 150℃ 的时间	150℃ 60s~120s
保温区 保温区温度 温变率	150℃~179℃ 最大 3℃/s
再流区 再流时间 再流区温度 峰值温度 峰值温度保持时间	30s~60s 179℃ 205℃~220℃ 6s~10s
冷却区	30s~60s

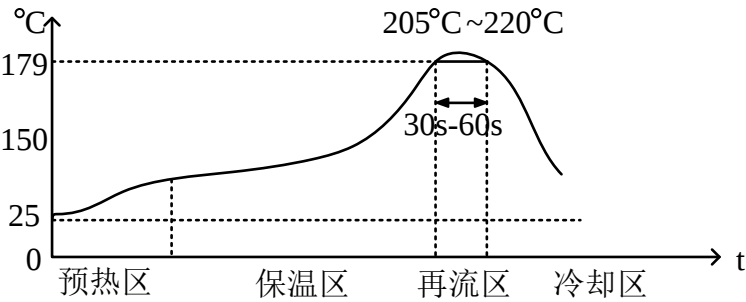


图 46 回流焊温度曲线

注 1:

- a) 本章节内容待后续配套使用软件成熟后，将会同步更新其使用方法。
- b) 本型号未集成OTP熔丝固化参数，配套提供寄存器表供修调使用，该寄存器表需用户上电后写入。
- c) 可根据用户关注的信号中心频率进行性能优化。

9 使用注意事项

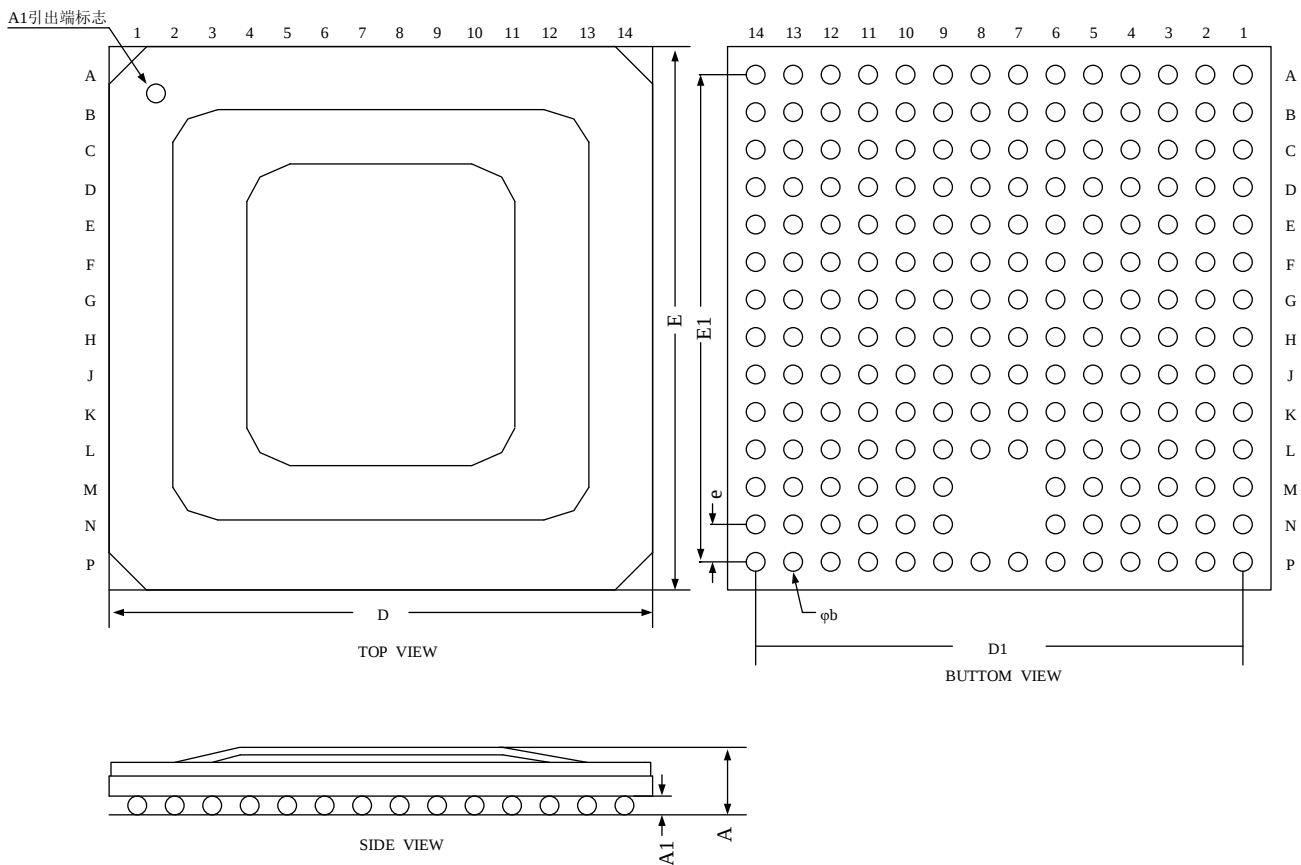
器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物；
- f) 若可行，相对湿度保持在 50%以上。

10 外形尺寸

HWD9213 采用 192 引出端，封装形式为塑封 BGA192，外形尺寸参照 GB/T 7092-2021 的规定，外形尺寸见下图 47：



单位：毫米

尺寸符号	数值		
	最小	公称	最大
A	—	—	3.10
A ₁	0.20	—	0.50
Φb	—	0.40	—
D	10.8	—	13.2
E	10.8	—	13.2
D1	—	10.40	—
E1	—	10.40	—
e	—	0.80	—

图 47 外形尺寸图

11 订货信息

表 14 产品订货信息

序号	型号	封装形式	封装材料	器件等级	详细规范	产品状态
1	HWD9213PBGA192M3	BGA192	塑料	N1 级	Q/HWD 50325-2023	量产
2	HWD9213PBGA192E	BGA192	塑料	军温级	Q/HWD 50275-2023	量产

注1:

a)

N/N1级器件满足GJB 7400《合格制造厂认证用半导体集成电路通用规范》N/N1级的筛选要求。

b)

军温级器件满足Q/HWD40020-2018《华微军温级产品通用规范》的筛选要求，其工作环境温度范围应为-55℃~+125℃。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。