



HWD7656 型 16 位 6 通道 A/D 转换器

产品手册

Ver1.2

成都华微电子科技股份有限公司
2024 年 06 月 06 日

版本历史

版次	更改说明	更改单号	更改人	更改日期	备注
V1.0	初始发行版本	NA	王海柱	2023/8/30	
V1.1	增加差异说明 P8、P9	NA	王海柱	2023/9/30	
V1.2	更新产品状态	NA	王海柱	2024/06/06	

目 次

1 概述 1

2 产品特点 1

3 功能框图 1

4 引脚信息 2

4.1 引脚排列图 2

4.2 引脚描述 2

5 绝对最大额定值及推荐工作范围 4

5.1 绝对最大额定值 4

5.2 推荐工作范围 4

6 电特性参数 5

7 功能描述 6

7.1 概述 6

7.2 功能描述 6

8 应用建议 12

8.1 典型应用 12

9 使用注意事项 13

10 外形尺寸 14

10.1 陶瓷 CQFP64 封装（HWD7656CQFP64APM1） 14

10.2 陶瓷 CQFP64 封装（HWD7656CQFP64AKM1） 15

10.3 塑料 LQFP64 封装（HWD7656LQFP64M3） 16

11 订货信息 17

1 概述

该器件是一款 6 通道 16 位 250ksps 高压 A/D 转换器，用于模拟信号到数字信号的转换。电源电压包含 $\pm 15V/5V/5V$ 的多电源供电，模拟输入量程为 $\pm 10V$ 或 $\pm 5V$ 。内部包含高压采保、6 路独立 DA 内核、内部基准、内部时钟、基准缓冲、SAR 逻辑控制、数字逻辑等单元。

2 产品特点

- 片内集成 6 个 16 位 250kSPS ADC
- 6 个真双极性、高阻抗模拟输入
- 高速并行和串行接口

3 功能框图

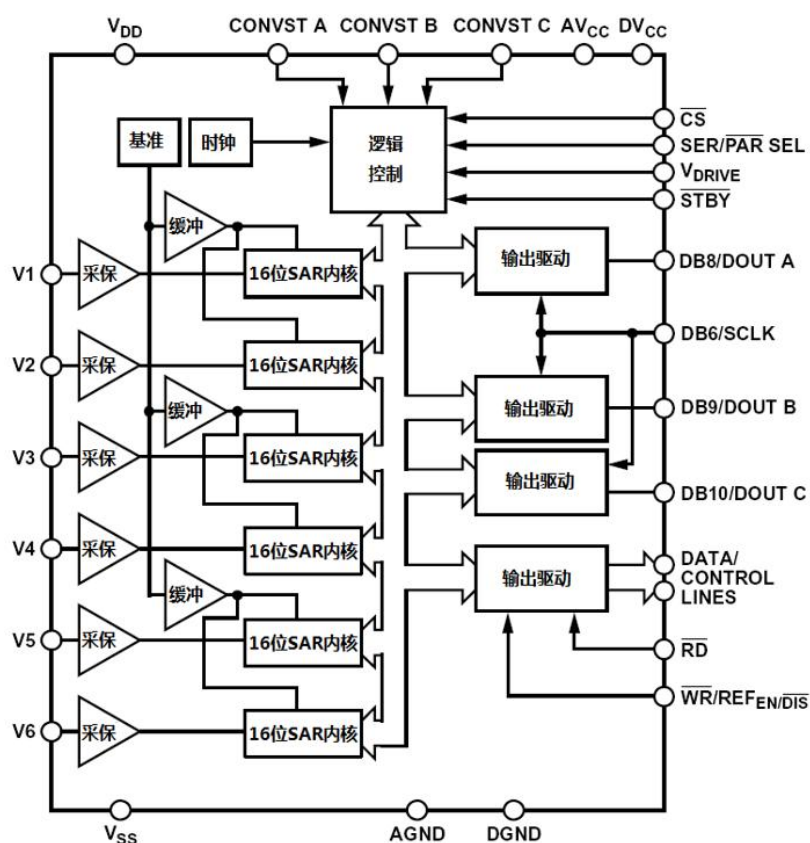


图 1 功能框图

4 引脚信息

4.1 引脚排列图

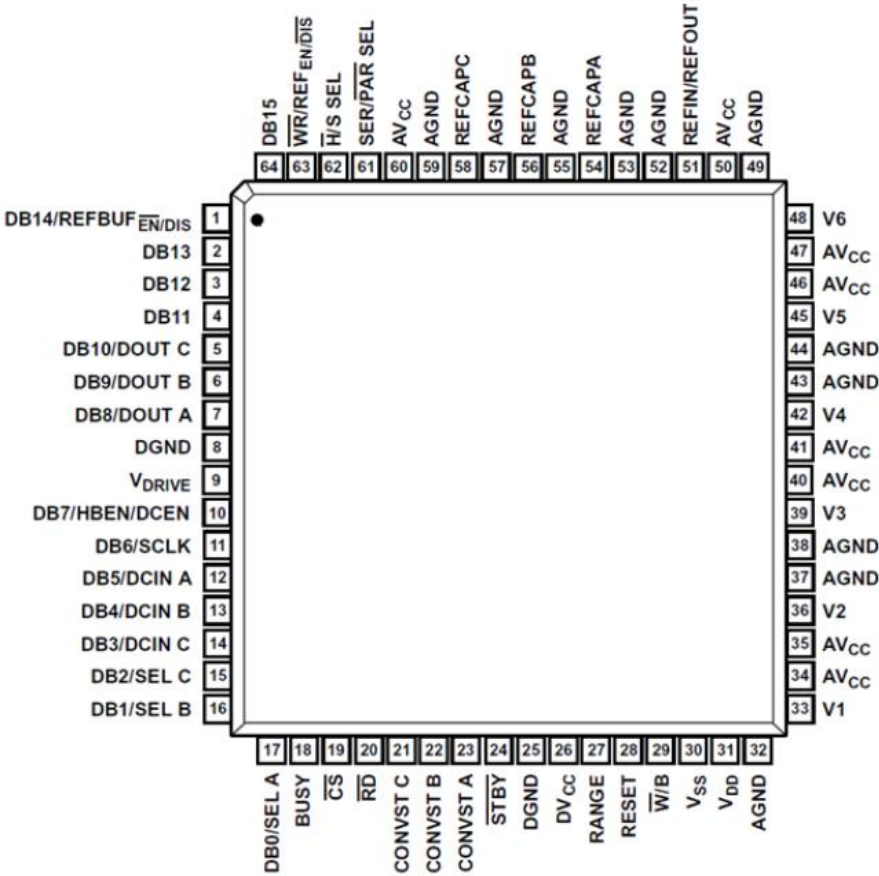


图 2 HWD7656 引脚排列图

4.2 引脚描述

表 1 引脚描述

管脚	管脚名	功能描述
1	DB14/REFBUF $\overline{\text{EN}}$ / DS	数据 14 位/缓冲使能端
2	DB13	数据 13 位
3	DB12	数据 12 位
4	DB11	数据 11 位
5	DB10/DOUT C	数据 10 位/数据 C 输出端
6	DB9/DOUT B	数据 9 位/数据 B 输出端
7	DB8/DOUT A	数据 8 位/数据 A 输出端
8	DGND	数字地
9	VDRIVE	数字接口电源
10	DB7/HBEN/DCEN	数据 7 位/高位使能/菊花链使能

11	DB6/SCLK	数据 6 位/时钟
12	DB5/DCIN A	数据 5 位/菊花链输入 A
13	DB4/DCIN B	数据 4 位/菊花链输入 B
14	DB3/DCIN C	数据 3 位/菊花链输入 C
15	DB2/SEL C	数据 2 位/C 选择端
16	DB1/SEL B	数据 1 位/B 选择端
17	DB0/SEL A	数据 0 位/A 选择端
18	BUSY	转换指示信号
19	$\overline{\text{CS}}$	片选信号
20	$\overline{\text{RD}}$	读信号
21	CONVST C	C 转换信号
22	CONVST B	B 转换信号
23	CONVST A	A 转换信号
24	$\overline{\text{STBY}}$	待机端
25	DGND	数字地
26	DV _{CC}	数字电源
27	RANGE	极性选择端
28	RESET	重置信号
29	$\overline{\text{W/R}}$	字/字节控制端
30	V _{SS}	负电源
31	V _{DD}	正电源
32	AGND	模拟地
33	V1	模拟输入 1
34	AV _{CC}	模拟电源
35	AV _{CC}	模拟电源
36	V2	模拟输入 2
37	AGND	模拟地
38	AGND	模拟地
39	V3	模拟输入 3
40	AV _{CC}	模拟电源
41	AV _{CC}	模拟电源
42	V4	模拟输入 4
43	AGND	模拟地
44	AGND	模拟地
45	V5	模拟输入 5
46	AV _{CC}	模拟电源
47	AV _{CC}	模拟电源

48	V6	模拟输入 6
49	AGND	模拟地
50	AV _{CC}	模拟电源
51	REFIN/REFOUT	基准输入/输出端
52	AGND	模拟地
53	AGND	模拟地
54	REFCAPA	基准 A 缓冲端
55	AGND	模拟地
56	REFCAPB	基准 B 缓冲端
57	AGND	模拟地
58	REFCAPC	基准 C 缓冲端
59	AGND	模拟地
60	AV _{CC}	模拟电源
61	SER/ $\overline{\text{PAR}}$ SEL	串行/并行控制端
62	$\overline{\text{H}}$ /S SEL	硬件/软件控制端
63	$\overline{\text{WR}}$ /REFEN/ $\overline{\text{DIS}}$	写信号/基准使能控制端
64	DB15	数据 15 位

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

V_{DD} 到 AGND 和 DGND 电压 (V_{DD})	-0.3 V~18V
V_{SS} 到 AGND 和 DGND 电压 (V_{SS})	0.3 V~-18V
DV_{CC} 到 AGND 和 DGND 电压 (DV_{CC})	-0.3 V~7V
AV_{DD} 到 AGND 和 AGND 电压 (AV_{DD})	-0.3 V~7V
V_{DRIVE} 到 AGND 和 DGND 电压 (V_{DRIVE})	-0.3 V~7V
贮存温度范围 (T_{stg})	-65°C~150°C
引线耐焊接温度 (T_h)	300°C
结温 (T_J)	175°C

5.2 推荐工作范围

电源电压 (V_{DD})	11.4V~16.5V
电源电压 (V_{SS})	-11.4V~-16.5V
电源电压 (DV_{CC})	4.75V~5.25V
电源电压 (AV_{CC})	4.75V~5.25V

电源电压 (V_{DRIVE})3.15V~5.25V

模拟信号输入量程 (V_{IN}) $V_{\text{SS}}+3\text{V}\sim V_{\text{DD}}-1.5\text{V}$

工作环境温度 (T_{A})-55°C~125°C

注：如器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

6 电特性参数

表 2 电特性

特 性	符号	条 件 (除非另有规定, $AV_{\text{CC}}=5\text{V}$, $DV_{\text{CC}}=5\text{V}$, $V_{\text{DD}}=15\text{V}$, $V_{\text{SS}}=-15\text{V}$, $V_{\text{DRIVE}}=5\text{V}$, 模拟输入量程 $V_{\text{IN}}=-10\text{V}\sim 10\text{V}$, $-55^{\circ}\text{C}\leq T_{\text{A}}\leq 125^{\circ}\text{C}$)	极限值		单位
			最小	最大	
分辨率	RES		—	16	Bits
微分非线性误差	DNL	$AV_{\text{CC}}=V_{\text{DRIVE}}=5\text{V}$	-5	5	LSB
积分非线性误差	INL	$AV_{\text{CC}}=V_{\text{DRIVE}}=5\text{V}$	-5	5	LSB
电源电流	I_{AV}		—	26	mA
正满度误差	$FSE+$		-0.75	0.75	%FSR
负满度误差	$FSE-$		-0.75	0.75	%FSR
双极零点误差	E_{ZS}		-0.038	0.038	%FSR
基准输出电压	V_{REF}		2.49	2.51	V
数字逻辑输入漏电流	I_{IN}	$T_{\text{A}}=25^{\circ}\text{C}$	-10	10	μA
数字输入高电平	V_{IH}		$0.7\times V_{\text{DRIVE}}$	—	V
数字输入低电平	V_{IL}		—	$0.3\times V_{\text{DRIVE}}$	V
数字输出高电平	V_{OH}		$V_{\text{DRIVE}}-0.2$	—	V
数字输出低电平	V_{OL}		—	0.2	V
数字输入控制电压	V_{DRIVE}		2.7	5.25	V
信噪比	SNR		78	—	dB
转换时间	T_{con}		—	3100	ns
最高工作频率	F_{SD}		—	12	MHz

注1：所有电压都是参考ground。

7 功能描述

7.1 概述

该器件是一款 6 通道 16 位 250ksps 高压 A/D 转换器，用于模拟信号到数字信号的转换。电源电压包含 $\pm 15V/5V/5V$ 的多电源供电，模拟输入量程为 $\pm 10V$ 或 $\pm 5V$ 。内部包含高压采保、6 路独立 DA 内核、内部基准、内部时钟、基准缓冲、SAR 逻辑控制、数字逻辑等单元。

7.2 功能描述

7.2.1 参数测试信息

所有输入信号除特别说明， AV_{CC} 和 $DV_{CC}=4.75V\sim 5.25V$ ， $V_{DD}=5V\sim 16.5V$ ， $V_{SS}=-5V\sim -16.5V$ ， $V_{DRIVE}=2.7V\sim 5.25V$ ， $V_{REF}=2.5V$ 内部/外部基准电压， $TA = -55^{\circ}C\sim 125^{\circ}C$ 。

表 3 时序特性

参数 ¹	在 tMIN、tMAX 时的极限值		单位	描述
	VDRIVE<4.75V	VDRIVE=4.75V~5.25V		
并行接口				
tCONVST	3	3	μs（典型值）	转换时间，内部时钟
tQUIET	150	150	ns（最小值）	总线释放到下一次转换开始的最短安静时间
tACQ	550	550	ns（最小值）	采集时间
t10	25	25	ns（最小值）	最短 CONVST 低电平脉冲
t1	60	60	ns（最大值）	CONVST 高电平到 BUSY 高电平
tWAKE-UP	2	2	ms（最大值）	$\overline{STBY}$ 上升沿到 CONVST 上升沿
	25	25	μs（最大值）	部分省电模式
并行读取操作				
t2	0	0	ns（最小值）	BUSY 到 $\overline{RD}$ 延迟
t3	20	20	ns（最小值）	$\overline{CS}$ 到 $\overline{RD}$ 设置时间
t4	0	0	ns（最小值）	$\overline{CS}$ 到 $\overline{RD}$ 保持时间
t5	45	36	ns（最小值）	$\overline{RD}$ 脉冲宽度
t6	45	36	ns（最大值）	$\overline{RD}$ 下降沿后的数据访问时间
t7	10	10	ns（最小值）	$\overline{RD}$ 上升沿后的数据保持时间
t8	12	12	ns（最大值）	$\overline{RD}$ 上升沿后的总线释放时间
t9	20	20	ns（最小值）	两次读取之间的最短间隔时间
并行写入操作				
t11	15	15	ns（最小值）	$\overline{WR}$ 脉冲宽度
t12	0	0	ns（最小值）	$\overline{CS}$ 到 $\overline{WR}$ 设置时间
t13	5	5	ns（最小值）	$\overline{CS}$ 到 $\overline{WR}$ 保持时间
t14	5	5	ns（最小值）	$\overline{WR}$ 上升沿前的数据设置时间
t15	5	5	ns（最小值）	$\overline{WR}$ 上升沿后的数据保持时间
串行接口				
fSCLK	18	18	MHz（最大值）	串行读取时钟频率

t_{16}	12	12	ns (最大值)	从 $\overline{CS}$ 直到 DOUTx 三态禁用的延迟时间
t_{17}^2	22	22	ns (最大值)	SCLK 上升沿/ $\overline{CS}$ 下降沿后的数据访问时间
t_{18}	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns (最小值)	SCLK 低脉冲宽度
t_{19}	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns (最小值)	SCLK 高脉冲宽度
t_{20}	10	10	ns (最小值)	在 SCLK 下降沿后 SCLK 到数据的有效保持时间
t_{21}	18	18	ns (最大值)	$\overline{CS}$ 上升沿到 DOUTx 高阻抗状态

¹所有输入信号均指定 $t_R=t_F=5\text{ns}$ (10%到 90%的 V_{DD}) 并从 1.6V 电平起开始计时。

²DOUTx 引脚 (引脚 5 到 7) 上利用一个缓冲进行此项测量。

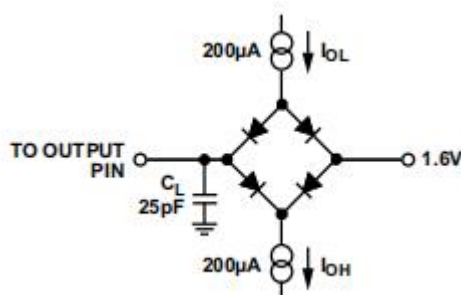


图 3 数字输出时序规格负载电路

7.2.2 并行接口 ($\overline{SER}/\overline{PAR}$ SEL=0)

HWD7656 包括六个 16 位 ADC。将所有三个 CONVST 引脚 (CONVST A、CONVST B 和 CONVST C) 连在一起，便可对六个 ADC 进行同步采样。HWD7656 需由 CONVST 脉冲启动转换；CONVST 脉冲应包括一个 CONVST 下降沿，随后为一个 CONVST 上升沿。CONVST 上升沿对所选的 ADC 启动同步转换。HWD7656 各内置一个片内振荡器用于转换。转换时间 t_{CONVST} 为 $3\mu\text{s}$ 。BUSY 信号变为低电平表示转换结束。BUSY 信号下降沿用来让采样保持放大器进入跟踪模式。

分别向三个 CONVST 引脚发出脉冲信号，HWD7656 还可以实现六个 ADC 的成对同步转换。CONVST A、CONVST B、CONVST C 分别用于对 V1 和 V2、V3 和 V4、V5 和 V6 启动同步采样。同步采样 ADC 的转换结果储存在输出数据寄存器内。注意，任何一个 CONVST 引脚上一旦出现上升沿启动转换后，只要 BUSY 处于高电平，便会忽略任何 CONVST 引脚上的任何其他 CONVST 上升沿。

可利用标准 $\overline{CS}$ 和 $\overline{RD}$ 信号 ($\overline{W}/B=0$)，通过并行数据总线读取 HWD7656 的数据。通过并行总线读取数据时，需将 $\overline{SER}/\overline{PAR}$ SEL 和低电平相连。通过内部选通 $\overline{CS}$ 和 $\overline{RD}$ 输入信号，可以将转换结果输出到数据总线。当 $\overline{CS}$ 和 $\overline{RD}$ 同时处于逻辑低电平时，数据先 DB0 至 DB15 不再呈高阻态。

$\overline{CS}$ 信号可永久性地接低电平，而 $\overline{RD}$ 信号可用来获取转换结果。BUSY 信号变为低电平后即可开始读取操作。所需读取操作次数取决于同步采样的 ADC 数目 (见图 4)。如果 CONVST A 和 CONVST B 同时变低，

需要四次读取操作从V1、V2、V3及V4获得转换结果。如果CONVST A和CONVST C同时变低，需要四次读取操作从V1、V2、V5及V6获得转换结果。转换结果以升序输出。

使用三个CONVST信号独立地启动三对ADC转换时，任何一个CONVST引脚一旦出现上升沿启动转换后，只要BUSY处于高电平，便会忽略任何CONVST引脚上的任何其他上升沿。

尽管在读取序列期间可以启动转换，但可能会影响转换性能，因此建议不要这样做。要获得指定性能，建议在转换后进行读取。对于未使用的输入通道对，将相应CONVST引脚和V_{DRIVE}相连。

如果只能使用8位总线，则可将HWD7656并行接口配置成字节工作模式（ $\overline{W}/B=1$ ）。在此配置下，DB7/HBEN/DCEN引脚具有HBEN功能。HWD7656各通道转换结果可通过两次读取操作来获取，每次读取操作在DB15至DB8上获取8位数据（见图5）。HBEN引脚决定读取操作先获取16位转换结果的高字节还是低字节。若始终先获取DB15至DB8上的高字节，需将HBEN引脚和高电平相连。在字节模式下，当所有三个CONVST引脚一起发出脉冲，启动所有六个ADC的同步转换时，需进行12次读取操作来读取六个16位转换结果。在字节模式下，DB[6:0]应保持不连接。

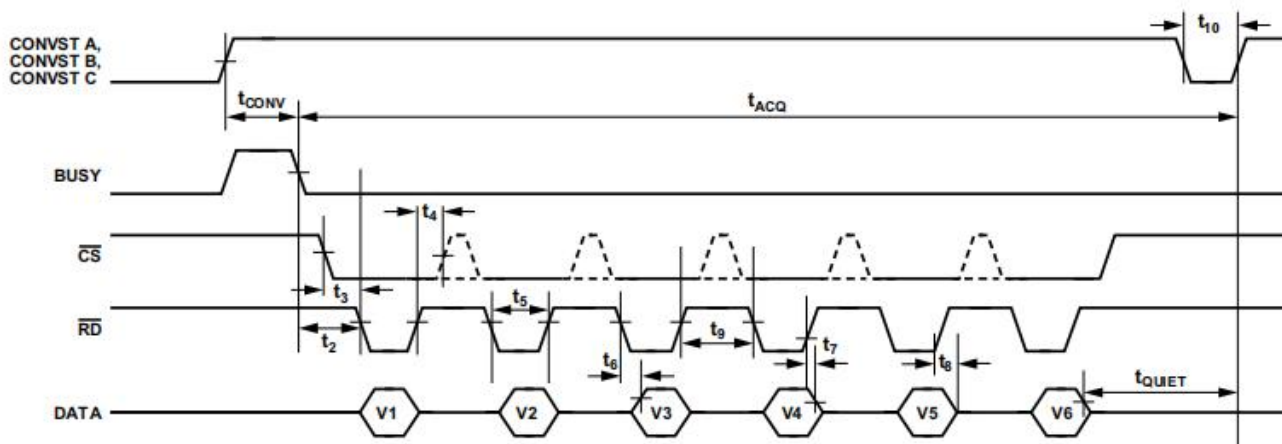


图4 并行接口时序图（ $\overline{W}/B=0$ ）

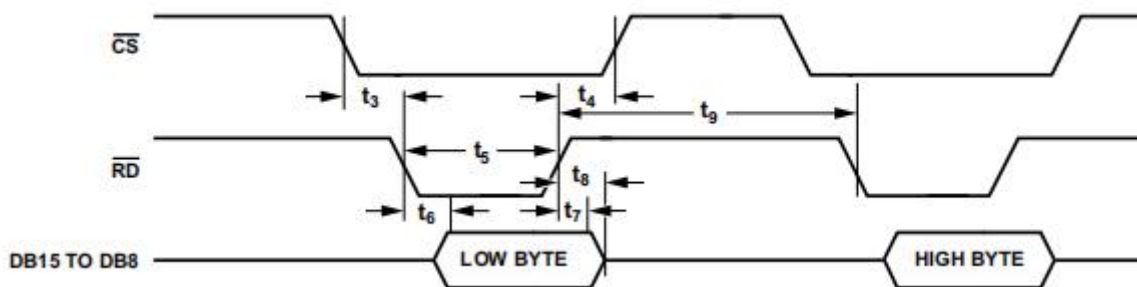


图5 并行接口一字节操作模式的读取周期（ $\overline{W}/B=1$ ，HBEN=0）

开关参数差异：

在字节模式或者字模式读操作时，如上图所示，片选信号CS低与读信号RD低之间建立时间t₃最小时间为20ns(国外产品为0ns)，片选信号CS高与读信号RD高之间保持时间t₄最小时间为0ns(国外产品为0ns)，t₅最

小读脉冲宽度时间为36ns(国外产品为36ns)，t₉多通道最小读间隔时间为20ns(国外产品为6ns)，转换时间t_{CONV}为2us左右，读信号下降沿与数据有效时间t₆为100ns数据就建立到95%以上。

多通道读方式差异：

字模式下，

读通道V1，启动CONVSTA信号，转换完成后，在片选CS信号拉低下，读信号RD拉低1次时读取通道V1数据；

读通道V2，启动CONVSTA信号，转换完成后，在片选CS信号拉低下，读信号RD拉低2次时读取通道V2数据；

读通道V3，启动CONVSTB信号，转换完成后，在片选CS信号拉低下，读信号RD拉低3次时读取通道V3数据；

读通道V4，启动CONVSTB信号，转换完成后，在片选CS信号拉低下，读信号RD拉低4次时读取通道V4数据；

读通道V5，启动CONVSTC信号，转换完成后，在片选CS信号拉低下，读信号RD拉低5次时读取通道V5数据；

读通道V6，启动CONVSTC信号，转换完成后，在片选CS信号拉低下，读信号RD拉低6次时读取通道V6数据；

字节模式下，

读通道V1，启动CONVSTA信号，转换完成后，在片选CS信号拉低下，读信号RD拉低第1次、第2次时分别读取通道V1两个字节数据；

读通道V2，启动CONVSTA信号，转换完成后，在片选CS信号拉低下，读信号RD拉低第3次、第4次时分别读取通道V2两个字节数据；

读通道V3，启动CONVSTB信号，转换完成后，在片选CS信号拉低下，读信号RD拉低第5次、第6次时分别读取通道V3两个字节数据；

读通道V4，启动CONVSTB信号，转换完成后，在片选CS信号拉低下，读信号RD拉低第7次、第8次时分别读取通道V4两个字节数据；

读通道V5，启动CONVSTC信号，转换完成后，在片选CS信号拉低下，读信号RD拉低第9次、第10次时分别读取通道V5两个字节数据；

读通道V6，启动CONVSTC信号，转换完成后，在片选CS信号拉低下，读信号RD拉低第11次、第12次时分别读取通道V6两个字节数据；

7.2.3 串行接口 (SER/ $\overline{PAR}$ SEL=1)

通过脉冲发出 1、2 或全部 3 个 CONVST 信号，HWD7656 就可利用其片上调整振荡器，在 CONVST 上升沿对所选通道进行同步转换。达到 CONVST 上升沿后，BUSY 信号变为高电平，表明已开始转换。完成转换后(3 μ s 后)，BUSY 信号恢复低电平。只要 BUSY 保持高电平，便会忽略 CONVST A、CONVST B 或 CONVST C 上的任何其他 CONVST 上升沿。在 BUSY 信号的下降沿，输出寄存器载入新转换结果，并可从 HWD7656 读取数据。若要通过串行接口从这些器件回读数据，SER/ $\overline{PAR}$ SEL 应连接高电平。 $\overline{CS}$ 和 SCLK 信号用来传输 HWD7656 的数据。这些器件具有三个 DOUT 引脚：DOUT A、DOUT B 及 DOUT C。可通过单、双或三个 DOUT 线路从各器件回读数据。

图 6 显示六个同步转换以及采用三路 DOUT 线的读取序列。同样在图 6 中，通过 32 个 SCLK 传输获取 HWD7656 的数据；不过，利用 $\overline{CS}$ 信号单独的两组 16 个 SCLK 帧传输，也可以获取三路 DOUT 线上的数据。数据读取完成后，施加任何额外的 SCLK 都只会得到全零输出。当选择串行接口，且在所有三路 DOUT 线上逐个输出转换数据时，将 DB0/SEL A、DB1/SEL B 及 DB2/SEL C 和 VDRIVE 相连。这些引脚分别用来启用 DOUT A 至 DOUT C 线路。

如果需要在两路数据输出线上逐个输出转换数据，则使用 DOUT A 和 DOUT B。若要启用 DOUT A 和 DOUT B，将 DB0/SEL A 及 DB1 SEL B 和 VDRIVE 相连，而 DB2/SEL C 应接低电平。当进行六个同步转换，并且仅用两路 DOUT 线时，可通过一个 48-SCLK 传输分别从这两路 DOUT 线获取 HWD7656 的数据。读取数据完成后，施加任何额外的 SCLK 都只会得到全零输出。利用两路 DOUT 线实现所有六个 ADC 同步转换的读取序列如图 7 所示。如果所有六个 ADC 进行同步转换，且只用两路 DOUT 线来读取 HWD7656 的结果，则 DOUT A 逐个输出 V1、V2 及 V5 的结果，而 DOUT B 逐个输出 V3、V4 及 V6 的结果。

也可只用一路 DOUT 线逐个输出数据，此时利用 DOUT A 来获取转换数据。HWD7656 若要配置为这种工作模式，可将 DB0/SEL A 接 VDRIVE，将 DB1/SEL B 与 DB2/SEL C 接低电平。只用一路 DOUT 线的缺点是吞吐率下降。可利用一个 96-SCLK 单独的帧传输来获取 HWD7656 数据。数据读取完成后，施加任何额外的 SCLK 都只会得到全零输出。采用串行接口时，将 $\overline{RD}$ 信号和低电平相连，并且未使用的 DOUT 线路保持不连接状态。

不论使用一路、两路还是三路数据输出线，如果转换周期中未使用某个 CONVST 引脚，那么尽管在转换周期中未被使用，在未被使用的 ADC 对的相应输出位置仍输出全零作为其 A/D 转换结果。这意味着，如果（例如）仅脉冲激活 CONVST B 并使用一个数据输出引脚，则需用 64 个 SCLK 来获取 V3 和 V4 的结果，若使用两路或三路数据输出线则只需要 32 个 SCLK。

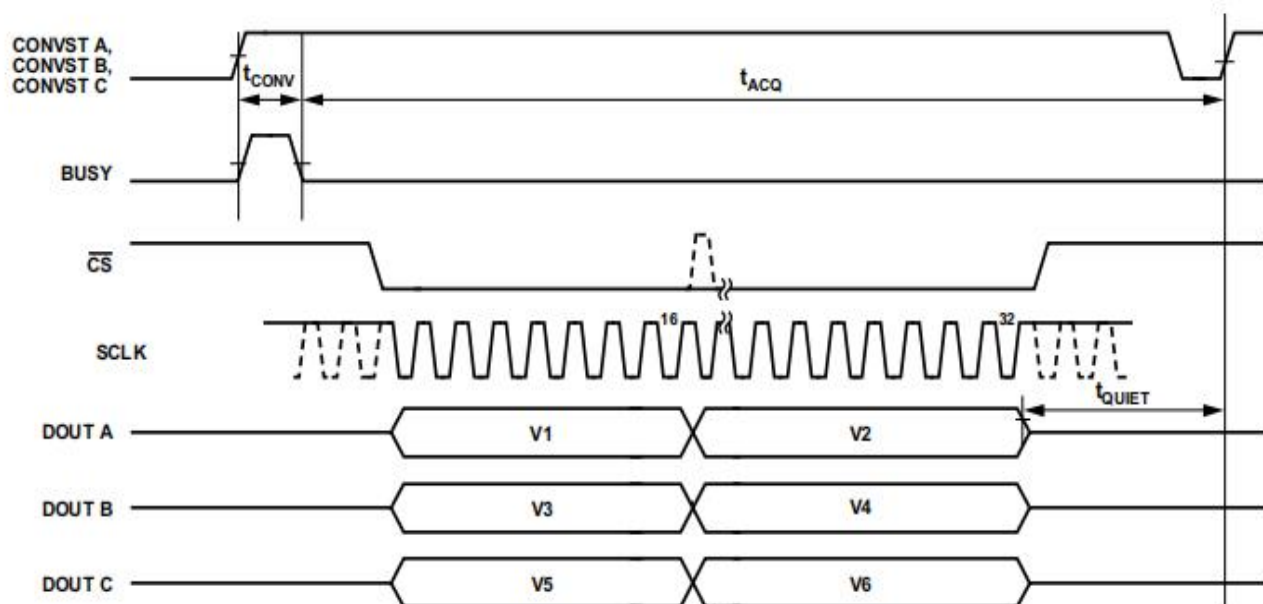


图 6 采用三路 DOUT 线的串行接口

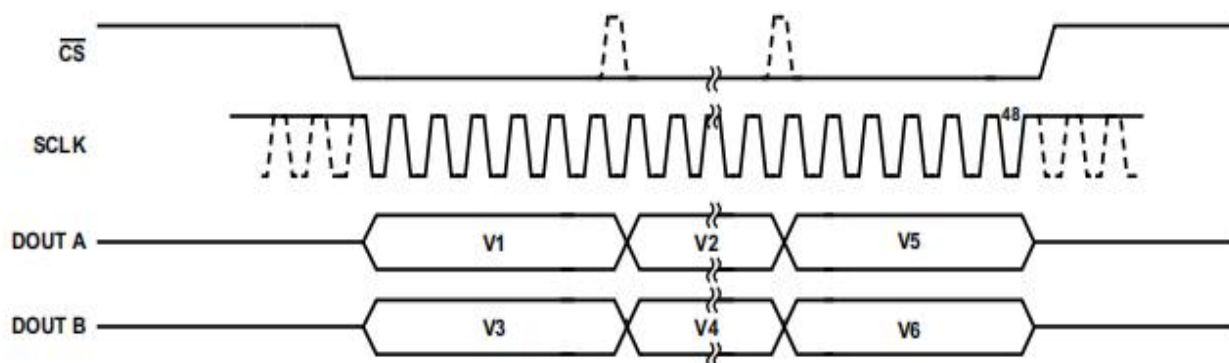


图 7 采用两路 DOUT 线的串行接口

7.2.4 串行读取操作

图 8 显示选择串行接口时，从 HWD7656 读取数据的时序图。SCLK 输入信号为串行接口提供时钟源。 $\overline{CS}$ 信号变为低电平，即可从 HWD7656 获取数据。 $\overline{CS}$ 下降沿使总线脱离三态，并逐个输出 16 位转换结果的 MSB。ADC 输出 16 位转换结果；HWD7656 的数据流由 16 位转换数据所组成，假设 MSB 在前。

转换结果的首个数据位在 $\overline{CS}$ 下降沿后的第一个 SCLK 下降沿有效。随后 15 个数据位在 SCLK 信号的上升沿逐个输出。数据在 SCLK 下降沿有效。要获取各转换结果，必须向 HWD7656 发送 16 个时钟脉冲。图 8 显示如何利用 16-SCLK 读取操作来获取转换结果。

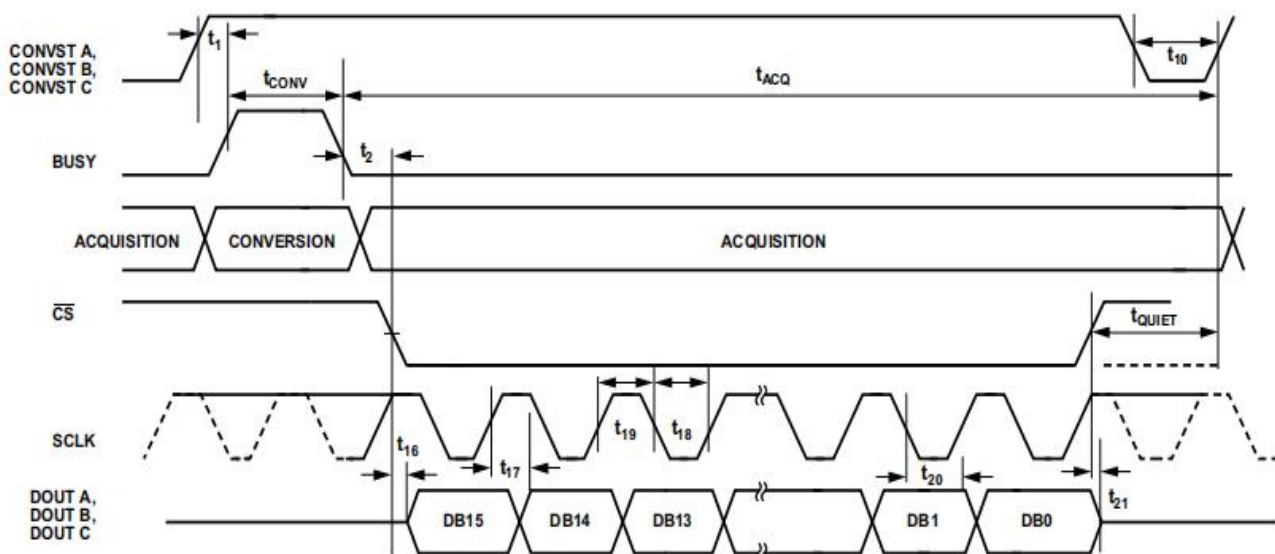


图 8 串行读取操作

8 应用建议

8.1 典型应用

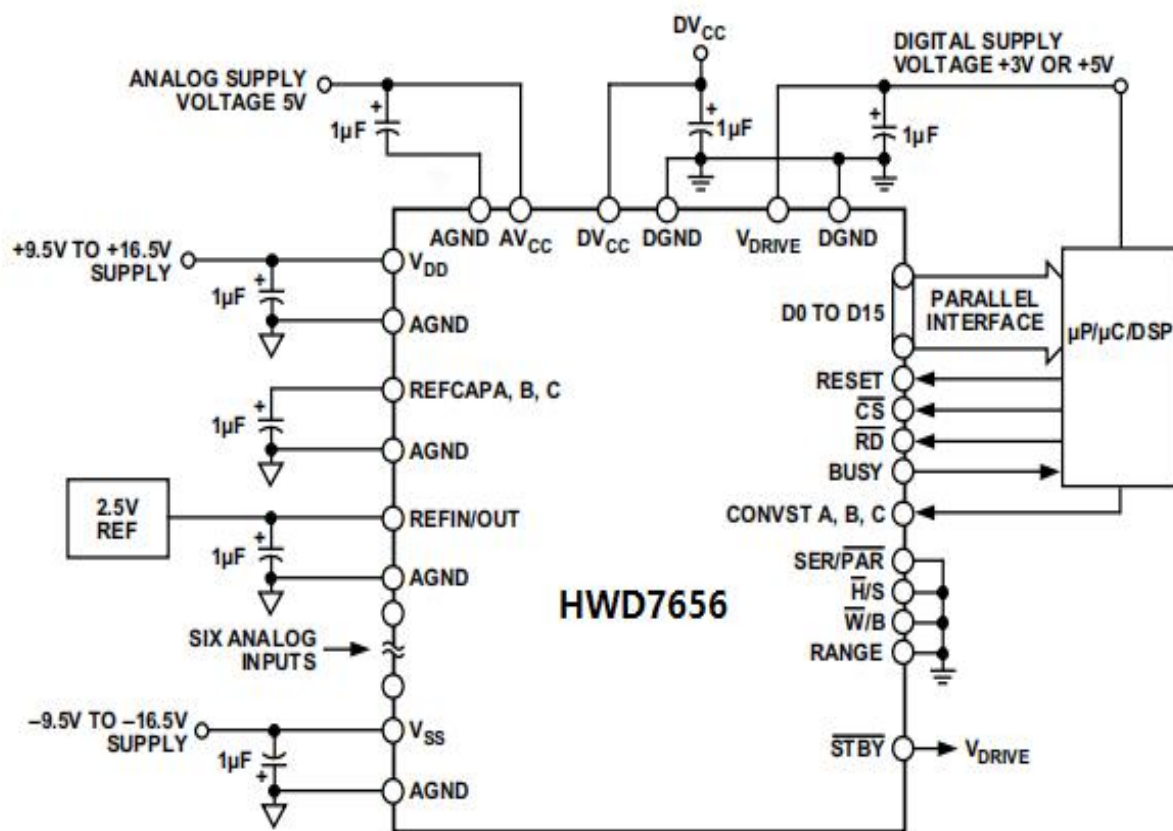


图 9 典型连接图

如果 AV_{CC} 和 DV_{CC} 采用相同的电源，则在电源引脚之间放置一个铁氧化磁珠或小型 RC 滤波器。

AGND 引脚连到系统 AGND 平面。DGND 引脚连接到系统内部的数字接地平面。在系统内将 AGND 和 DGND 层连在某处。此连接应尽可能靠近系统内的 HWD7656。

V_{DRIVE} 电源连接到为处理器供电的同一电源。 V_{DRIVE} 的电压控制输出逻辑信号的电压值。

各使用一个至少 $1\mu F$ 的去耦电容对 V_{DD} 和 V_{SS} 信号进行去耦。这些电源用于 HWD7656 模拟输入端的高压模拟输入结构。

9 使用注意事项

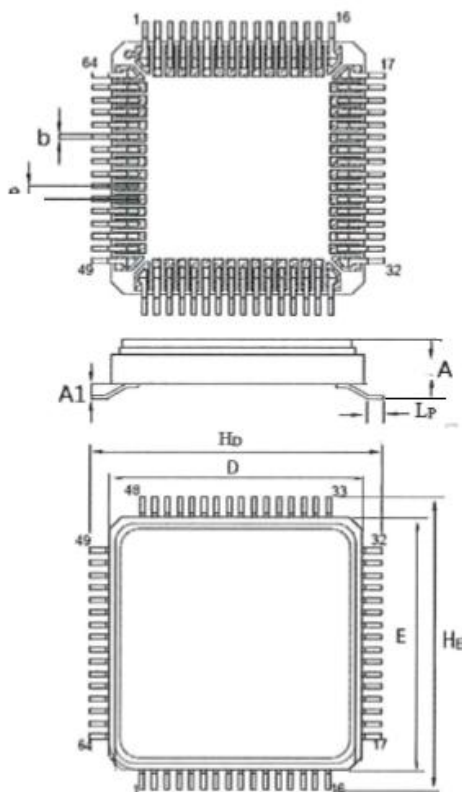
器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物；
- f) 若可行，相对湿度保持在 50%以上。

10 外形尺寸

10.1 陶瓷 CQFP64 封装（HWD7656CQFP64APM1）

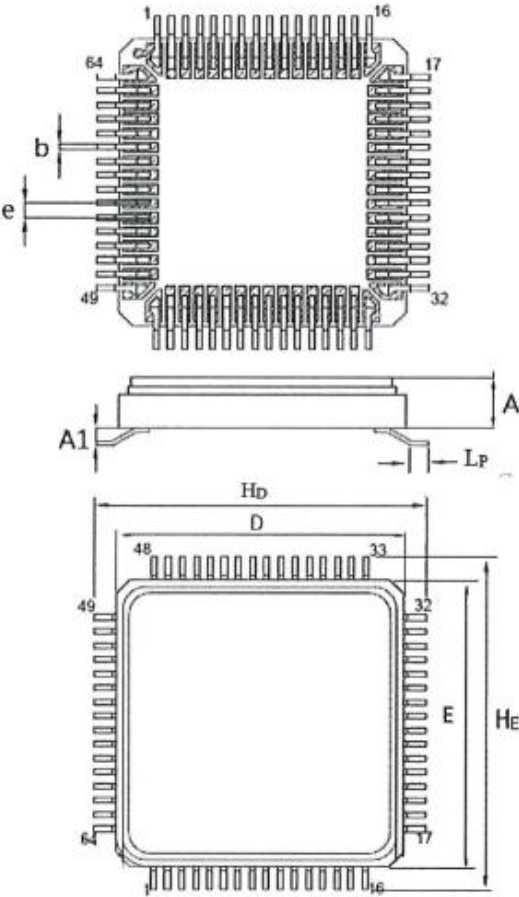


单位为毫米

尺寸符号	数值		
	最小	公称	最大
H _D	11.90	—	12.30
D	9.95	—	10.45
H _E	11.90	—	12.30
E	9.95	—	10.45
b	0.10	—	0.30
c	—	0.5	—
L _P	0.40	—	0.95
A	—	—	3.50
A1	0.40	—	0.90

图 10 陶瓷 CQFP65 封装外形尺寸图

10.2 陶瓷 CQFP64 封装（HWD7656CQFP64AKM1）

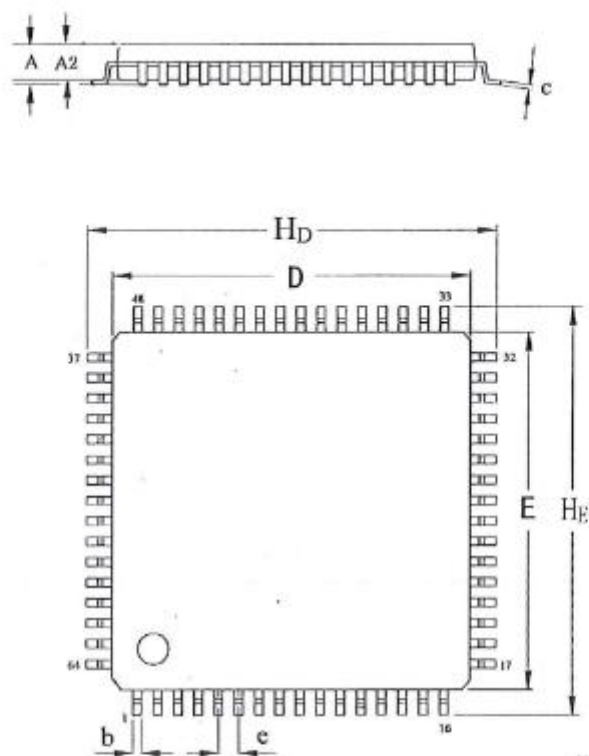


单位为毫米

尺寸符号	数值		
	最小	公称	最大
HD	17.00	—	20.20
D	14.30	—	14.90
HE	17.00	—	20.20
E	14.30	—	14.90
b	0.15	—	0.35
e	—	0.80	—
LP	0.40	—	—
A	—	—	3.00
A1	0.25	—	0.75

图 11 陶瓷 CQFP65 封装外形尺寸图

10.3 塑料 PLQFP64 封装 (HWD7656LQFP64M3)



单位为毫米

尺寸符号	数值		
	最小	公称	最大
D	9.80	—	10.20
E	9.80	—	10.20
H _D	11.70	—	12.30
H _E	11.70	—	12.30
A	—	—	1.70
A2	1.25	—	1.55
b	0.13	—	0.31
c	0.08	—	0.22
e	—	0.50	—

图 12 塑料 LQFP64 封装外形尺寸图

11 订货信息

表 5 产品订货信息

序号	型号	封装形式	封装材料	器件等级	详细规范	产品状态
1	HWD7656CQFP64APM1	CQFP64	陶瓷	B 级	Q/HWD 50330-2023	量产
2	HWD7656CQFP64AKM1	CQFP64	陶瓷	B 级	Q/HWD 50304-2023	量产
3	HWD7656LQFP64M3	PLQFP64	塑料	N1 级	Q/HWD 50305-2023	量产

注1:

- a) Q/B/B1级器件满足GJB 597A-1996或GJB 597B-2012 《半导体集成电路通用规范》Q/B/B1级的筛选要求。
- b) N/N1级器件满足GJB 7400 《合格制造厂认证用半导体集成电路通用规范》N/N1级的筛选要求

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。

注3: HWD7656CQFP64AKM1与国外AD7656的外形尺寸不兼容。