



HWD7710MCSOP24 型

24 位 A/D 转换器

产品手册

V1.0.0

成都华微电子科技股份有限公司

2025 年 6 月 19 日

版本历史

版次	更改说明	更改单号	更改人	更改日期	备注
V1.0.0	新增产品手册	NA	徐旺	20250619	

目 录

1 概述.....	1
2 产品特点.....	1
3 功能框图.....	2
4 封装信息.....	3
4.1 HWD7710MCSOP24 封装信息.....	3
4.2 HWD7710MCSOP24 焊盘推荐.....	4
4.3 HWD7710MCSOP24 焊接推荐.....	5
5 绝对最大额定值及推荐工作范围.....	7
5.1 绝对最大额定值.....	7
5.2 推荐工作范围.....	7
6 电特性参数.....	8
7 功能描述.....	13
7.1 概述.....	13
7.2 工作原理.....	14
7.3 系统设计考虑.....	19
8 应用建议.....	22
9 使用注意事项.....	24
10 订货信息.....	25

1 概述

HWD7710MCSOP24是一款24位高精度模数转换器芯片，采用 Σ - Δ 算法实现，双通道采样，差分输入模式，具有 $\pm 2.5V$ 模拟输入范围。通过片上校准功能及斩波功能的应用使得该芯片在整个工作范围内具有出色的线性性能和动态范围。

内部电路分为模拟电路和数字电路两部分。模拟电路主要由调制器、内部基准电路组成；数字电路由模式控制电路、时钟分频电路和数字滤波器组成。它具有可编程增益前端使得该芯片可直接与传感器等连接工作；该芯片可直接与微控制器或DSP连接应用，方便实现对该模数转换控制器的控制（如输入端增益、通道选择、信号极性、校准模式等）。该芯片具有灵活的电源适应能力，其电源电压可以选择5V、10V、 $\pm 5V$ 。

2 产品特点

- 电荷平衡 ADC
 - 24 位无误码
 - $\pm 0.0015\%$ 非线性
- 二通道可编程增益前端
 - 增益从 1 到 128
 - 差分输入
- 带可编程滤波截止的低通滤波器
- 能读出/写入校准系数
- 双向微控制串行接口
- 内部/外部参考选项
- 单/双供电运转
- 低功耗（典型值 25mW）并带有降低功耗模式（典型值 7mW）

3 功能框图

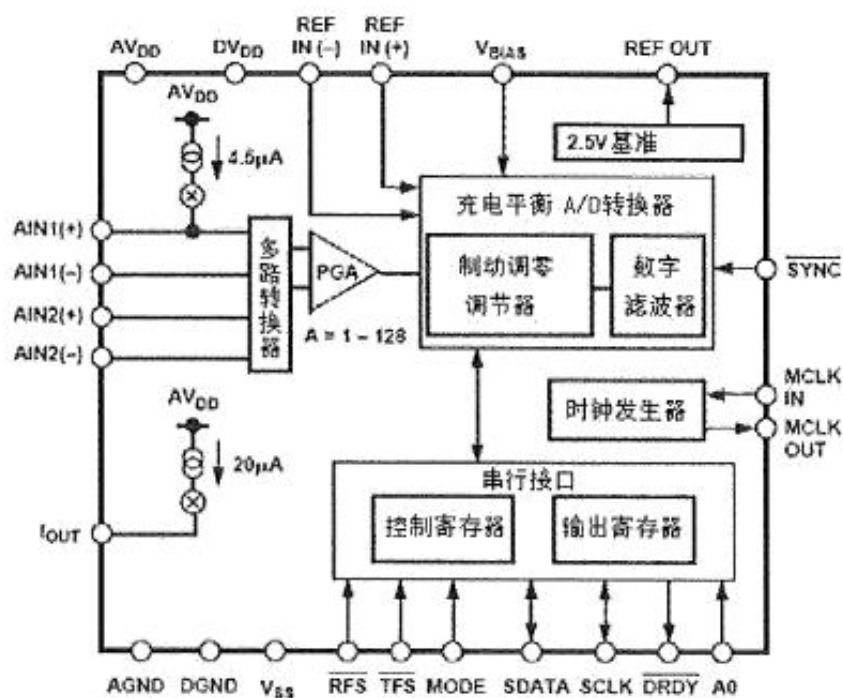


图 1 功能框图

4 封装信息

4.1 HWD7710MCSOP24 封装信息

HWD7710MCSOP24封装外形及引脚排列图如下图所示。

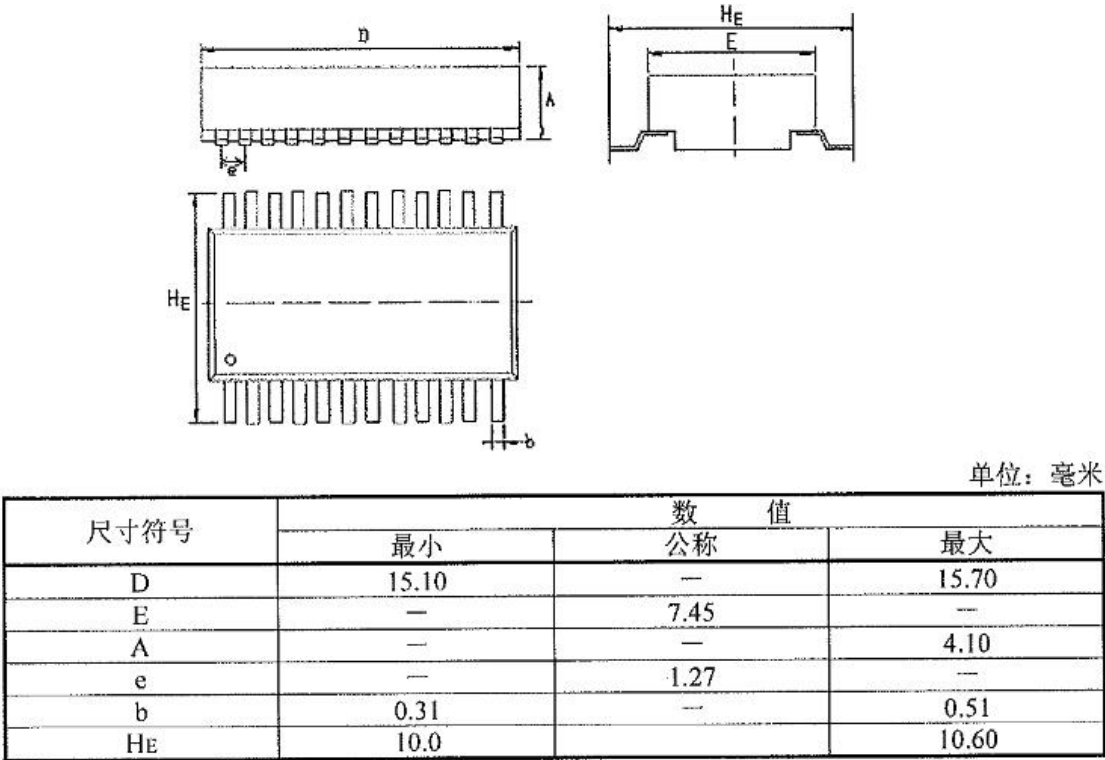


图 2 HWD7710MCSOP24 封装外形尺寸图

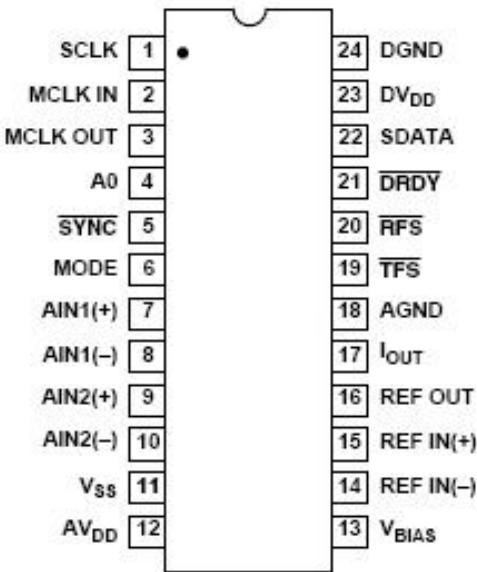


图 3 HWD7710MCSOP24 引脚排列图

HWD7710MCSOP24引脚描述描述如下表所示。

表 1 引脚描述

管脚	管脚名	功能描述
1	SCLK	串行时钟
2	MCLK IN	主时钟输入端
3	MCLK OUT	主时钟输出端
4	A0	地址输入
5	$\overline{SYNC}$	逻辑输入
6	MODE	模式输入端, MODE=1 或 MODE=0
7	AIN1 (+)	模拟输入通道 1, 正输入
8	AIN1 (-)	模拟输入通道 1, 负输入
9	AIN2 (+)	模拟输入通道 2, 正输入
10	AIN2 (-)	模拟输入通道 2, 负输入
11	V _{SS}	模拟负电源
12	AV _{DD}	模拟正电源
13	V _{BIAS}	输入偏置电压
14	REF IN (-)	基准输入负端
15	REF IN (+)	基准输入正端
16	REF OUT	基准电压源输出端
17	I _{OUT}	补偿电流输出端
18	AGND	模拟地
19	$\overline{TFS}$	数据发送端
20	$\overline{RFS}$	数据接收端
21	$\overline{DRDY}$	逻辑输出端
22	SDATA	串行数据端
23	DV _{DD}	数字电源
24	DGND	数字地

4.2 HWD7710MCSOP24 焊盘推荐

HWD7710MCSOP24焊盘推荐如下图所示, 用户可根据焊接要求进行调整。

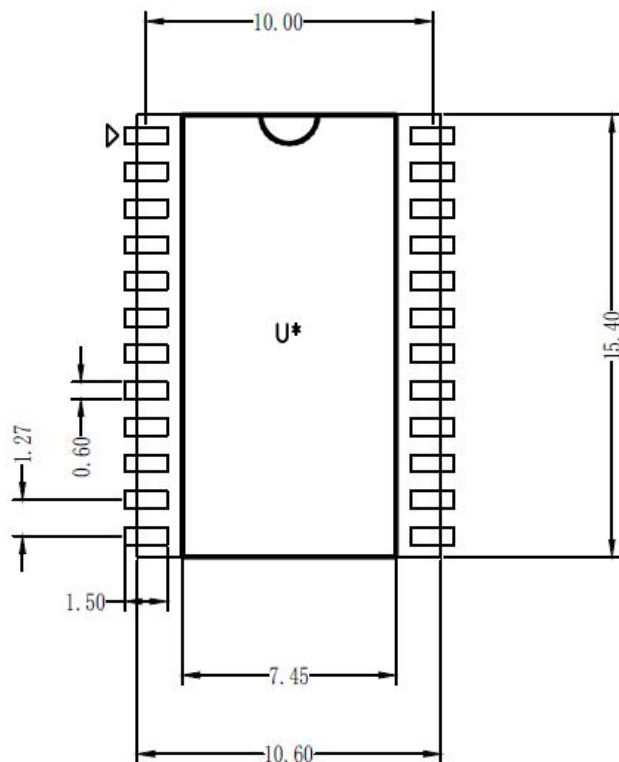


图 4 HWD7710MCSOP24 推荐焊盘图

4.3 HWD7710MCSOP24 焊接推荐

HWD7710MCSOP24产品建议有铅焊料Sn63Pb37回流曲线

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 120℃~160℃	60s~120s
熔点以上温度保持时间（回流时间）	60s~120s
低于峰值温度 5℃以内的保持时间	最大 30s
引脚/焊球峰值温度	最低 210℃，典型温度 218℃，不超过 225℃
降温速度	最大 5℃/s
室温到峰值温度时间	最小 3 分钟，典型值 4.5 分钟，不超过 8 分钟
备注	根据选择的焊膏特性作调整

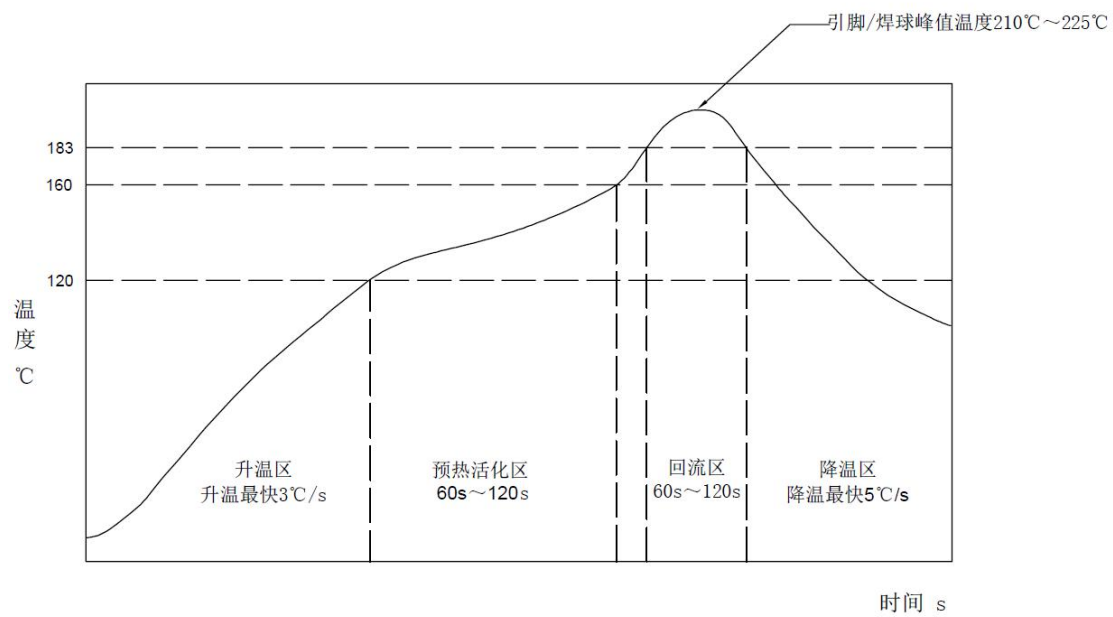


图 5 有铅焊料 Sn63Pb37 回流曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

AVDD 到 DVDD 电压 (V_{AD})	-0.3 V~12V
AVDD 到 VSS 电压 (V_{AS})	-0.3 V~12V
AVDD 到 AGND 电压 (V_{AA})	-0.3 V~12V
AVDD 到 DGND 电压 (V_{ADG})	-0.3 V~12V
DVDD 到 AGND 电压 (V_{DAG})	-0.3 V~6V
DVDD 到 DGND 电压 (V_{DDG})	-0.3 V~6V
VSS 到 AGND 电压 (V_{VA})	0.3 V~-6V
VSS 到 DGND 电压 (V_{VD})	0.3 V~-6V
模拟输入电压到 AGND (V_{AIA})	VSS-0.3 V~AVDD +0.3V
参考输入电压到 AGND (V_{RIA})	VSS-0.3 V~AVDD +0.3V
参考输出电压到 AGND (V_{ROA})	-0.3 V~AVDD +0.3V
数字输入电压到 AGND (V_{DIA})	-0.3 V~AVDD +0.3V
数字输出电压到 AGND (V_{DOA})	-0.3 V~AVDD +0.3V
储存温度 (T_{STG})	-65°C~150°C
引线耐焊接温度 (T_{SOL})	260°C

5.2 推荐工作范围

数字电源电压 (DV_{DD})	5V
模拟正电源电压 (AV_{DD})	5 V 或 10V
模拟负电源电压 (V_{SS})	0V 或 -5V
工作环境温度 (T_A)	-55°C~125°C

注：如器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

6 电特性参数

表 2(A) 电特性

特 性	符号	条 件 (除非另有规定, $AV_{DD}=5V$ $DV_{DD}=5V, V_{SS}=0$ V 或 -5V, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	极限值		单位
			最小	最大	
单极偏移误差	UOE		—	200	$\mu V/^{\circ}C$
单极偏移温漂	UOD		—	5.0	$\mu V/^{\circ}C$
增益温漂	GD		—	20	ppm/ $^{\circ}C$
双极负满度误差	$BNFSE$	25 $^{\circ}C$	—	± 0.006	
		-55 $^{\circ}C, 125^{\circ}C$	—	± 0.012	
共模输入范围	$CMRR$		V_{SS}	AV_{DD}	
输入采样电压范围	V_{IVR}	单极	0	2.5	
		双极	-2.5	2.5	
参考输入			2.5	5.0	V
基准温漂	V_{REFD}		—	100	ppm/ $^{\circ}C$
基准输出电压	V_{REF}		2.45	2.55	V
偏置输入电压范围	V_{BIAS}		$V_{SS}+0.85V_{REF}$ 或 $V_{SS}+3$	$AV_{DD}-0.85V_{REF}$ 或 $AV_{DD}-3.5$	V
逻辑输入电流	I_{INL}		—	± 10	μA
输入低电平电压	V_{INL}		—	0.8	%FSR
输入高电平电压	V_{INH}	输入端	2.0	—	V
		MCLKIN 端	3.8	—	V
逻辑输出低电压	V_{OL}	$I_{SINX}=1.6mA$	—	0.4	V
逻辑输出高电压	V_{OH}	$I_{SOURCE}=100\mu A$	$DV_{DD}-1$	—	V
TRANSDUCER BURNOUT 电流			3.0	6.0	μA
AV_{DD} 电源电流	I_{AVDD}		—	8.0	mA
DV_{DD} 电源电流	I_{DVDD}		—	9.0	mA
V_{SS} 电流	I_{VSS}	$V_{SS}=-5V$		3.0	mA
工作功耗	P_{OD}	$V_{SS}=0V$	—	90	mW
		$V_{SS}=-5V$	—	105	
无丢失码	NMC	滤波器截止频率 ^{a)} $\leq 60Hz, f_{CLKIN}=10$	24	—	bits

特 性	符号	条 件 (除非另有规定, $AV_{DD}=5V$ $DV_{DD}=5V, V_{SS}=0V$ 或 $-5V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	极限值		单位
			最小	最大	
		MHz			
		滤波器截止频率 $\leq 100\text{Hz}, f_{CLKIN}=10\text{MHz}$	22	—	
		滤波器截止频率 $\leq 250\text{Hz}, f_{CLKIN}=10\text{MHz}$	18	—	
		滤波器截止频率 $\leq 500\text{Hz}, f_{CLKIN}=10\text{MHz}$	15	—	
		滤波器截止频率 $\leq 1\text{kHz}, f_{CLKIN}=10\text{MHz}$	12	—	
积分非线性	INL	滤波器截止频率 $\leq 60\text{Hz}, 25^{\circ}C$	—	± 0.0015	%FSR
		滤波器截止频率 $\leq 60\text{Hz}, -55^{\circ}C, 125^{\circ}C$	—	± 0.006	

表 2(B) 电特性

特 性	符号	条 件 (除非另有规定, $AV_{DD}=5V$ $DV_{DD}=5V$ $V_{SS}=0V$ 或 $-5V$ $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	极限值		单位
			最小	最大	
内部时钟					
/SYNC 脉宽	t_1	—	1000	—	ns
/DRDY 到/RFS 建立时间	t_2	图 6	0	—	ns
/DRDY 到/RFS 保持时间	t_3	图 6	0	—	ns
/A0 到/RFS 建立时间	t_4	图 6	$2 \times t_{CLK\ IN}$	—	ns
/A0 到/RFS 保持时间	t_5	图 6	0	—	ns
/RFS 低电平到 SCLK 下降沿时间	t_6	图 6	—	$4 \times t_{CLK\ IN} + 20$	ns
存取时间	t_7	图 6	—	$4 \times t_{CLK\ IN} + 20$	ns
SCLK 下降沿到数据有效延迟时间	t_8	图 6	$t_{CLK\ IN}/2$	$t_{CLK\ IN}/2 + 30$	ns
SCLK 高电平脉宽 ^{b)}	t_9	图 6	—	$t_{CLK\ IN}/2$	ns

特 性	符号	条 件 (除非另有规定, $AV_{DD}=5V$ $DV_{DD}=5V$ $V_{SS}=0V$ 或 $-5V$ $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	极限值		单位
			最小	最大	
SCLK 低电平脉宽 ^{o)}	t_{10}	图 6	—	$3 \times t_{CLK\ IN}/2$	ns
A0 到/RFS 建立时间	t_{14}	图 7	50	—	ns
A0 到/RFS 保持时间	t_{15}	图 7	0	—	ns
/TFS 到 SCLK 下降沿延迟时间	t_{16}	图 7	—	$4 \times t_{CLK\ IN} + 20$	ns
/TFS 到 SCLK 下降沿保持时间	t_{17}	图 7	$4 \times t_{CLK\ IN}$	—	ns
数据有效到 SCLK 建立时间	t_{18}	图 7	0	—	ns
数据有效到 SCLK 保持时间	t_{19}	图 7	10	—	ns
外部时钟					
/DRDY 到/RFS 建立时间	t_{20}	图 8	0	—	ns
/DRDY 到/RFS 保持时间	t_{21}	图 8	0	—	ns
/A0 到/RFS 建立时间	t_{22}	图 8	$2 \times t_{CLK\ IN}$	—	ns
/A0 到/RFS 保持时间	t_{23}	图 8	0	—	ns
/RFS 低电平到数据有效延迟时间	t_{24}	图 8	—	$4 \times t_{CLK\ IN}$	ns
SCLK 下降沿到数据有效延迟时间	t_{25}	图 8	10	$2 \times t_{CLK\ IN} + 20$	ns
SCLK 高电平脉宽	t_{26}	图 8	$2 \times t_{CLK\ IN}$	—	ns
SCLK 低电平脉宽	t_{27}	图 8	$2 \times t_{CLK\ IN}$	—	ns
SCLK 下降沿到/DRDY 高电平时间	t_{28}	图 8	—	$t_{CLK\ IN} + 10$	ns
SCKL 到数据有效保持时间	t_{29}	图 8	10	$t_{CLK\ IN} + 10$	ns
/RFS 到数据有效保持时间	t_{31}	图 8	—	$5 \times t_{CLK\ IN}/2 + 50$	ns
A0 到/TFS 建立时间	t_{32}	图 10	0	—	ns
A0 到/TFS 保持时间	t_{33}	图 10	0	—	ns
SCLK 下降沿到/TFS 保持时间	t_{34}	图 11	$4 \times t_{CLK\ IN}$	—	ns
数据有效到 SCLK 建立时间	t_{35}	图 11	$2 \times t_{CLK\ IN} - SCLKH$	—	ns
数据有效到 SCLK 保持时间	t_{36}	图 11	30	—	ns

注1:

- a. 此表电参数由设计保证，不进行测试，仅供用户使用时参考。

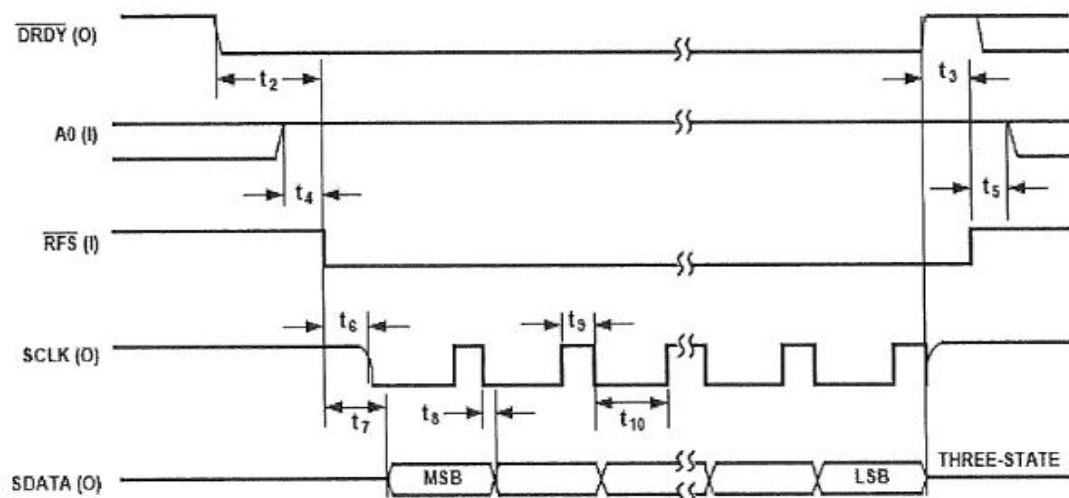


图6 内部时钟方式，读操作时序

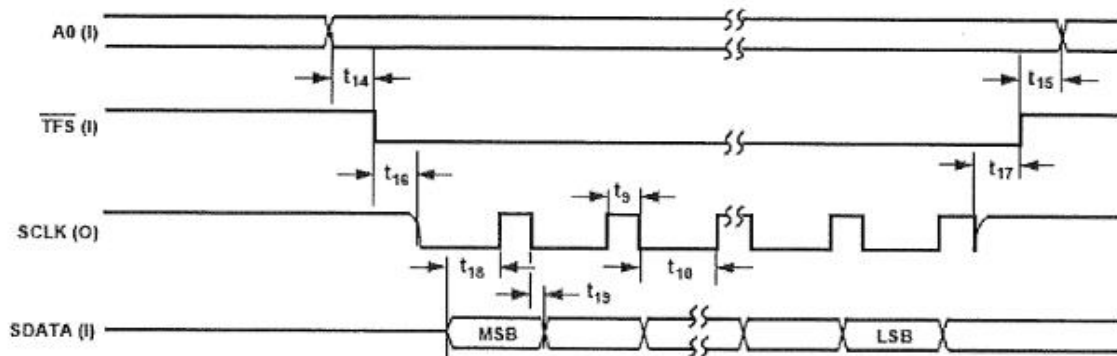


图7 内部时钟方式，控制/定标寄存写操作时序

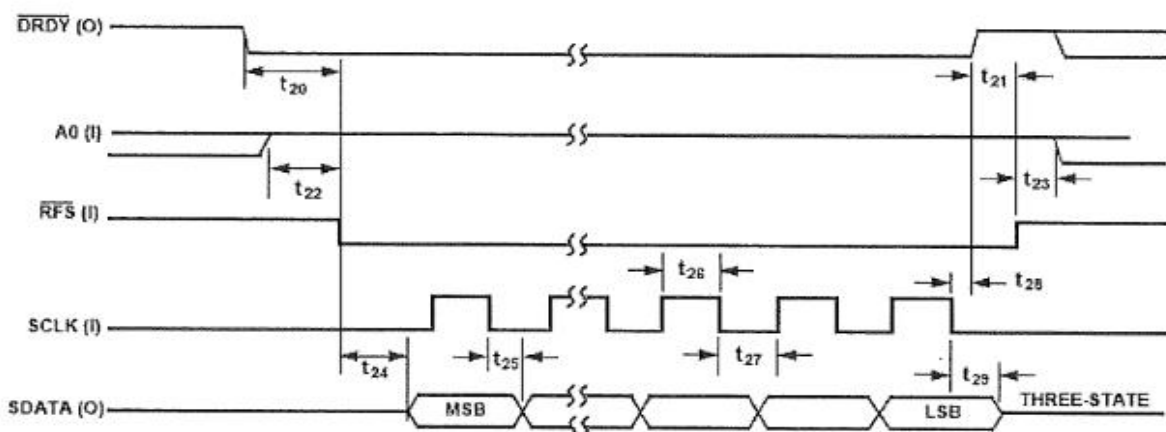


图8 外部时钟方式，输出数据读操作时序

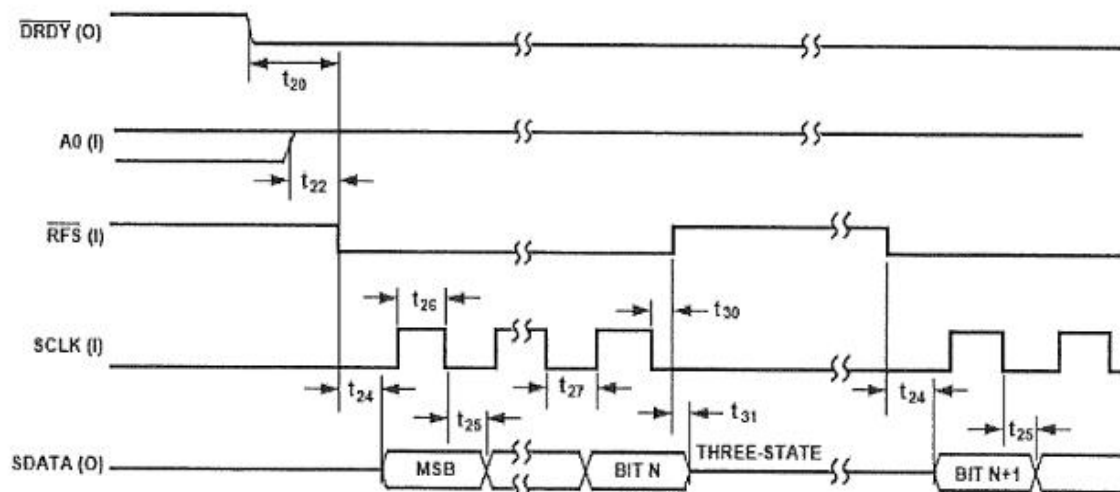


图9 外部时钟方式，输出数据读操作时序（/RFS 回高电平时读操作时序）

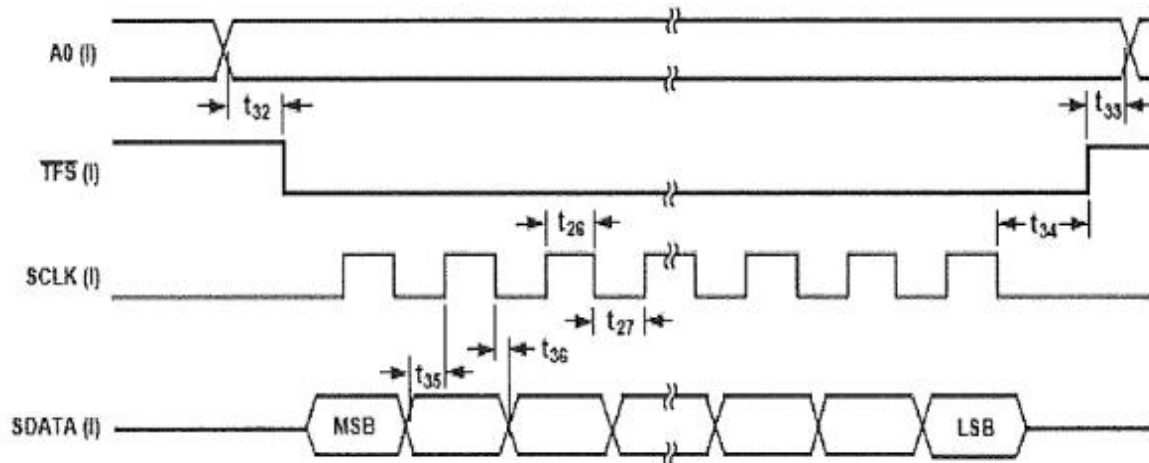


图10 外部时钟方式，控制/定标寄存写操作时序

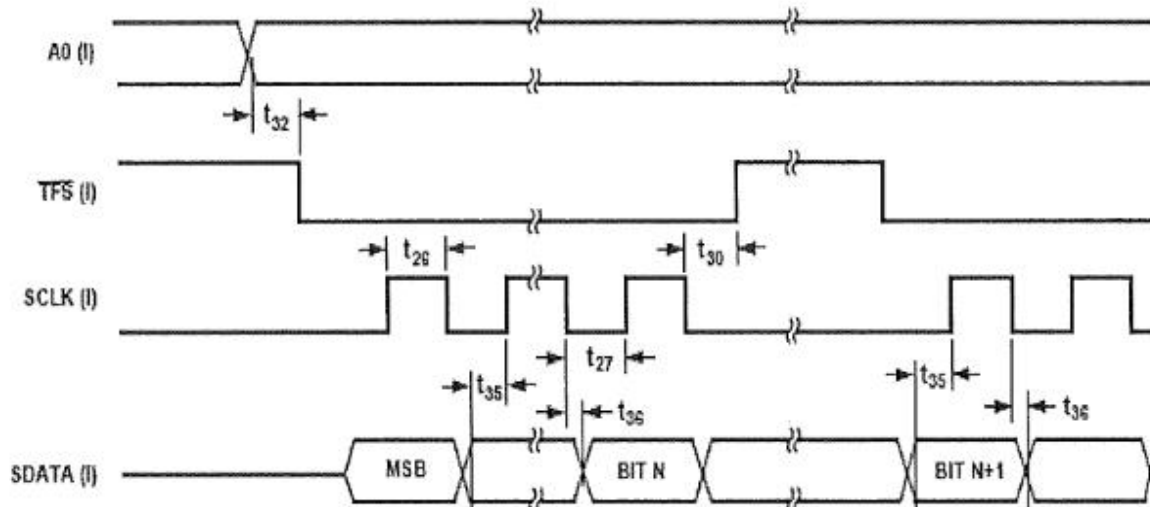


图11 外部时钟方式，控制/定标寄存写操作时序（/RFS 回高电平时读操作时序）

7 功能描述

7.1 概述

HWD7710MCSOP24 是一种带片上数字滤波器的 sigma-delta A/D 转换器，用于测量宽动态范围、低频信号等。例如在称量刻度中，工业控制或工艺控制中应用。它包含一个 sigma-delta ADC, 一个带片上静态 RAM 的校准微控制器，一个时钟振荡器，一个数字滤波器和一个双向串行通信端口。

HWD7710MCSOP24 包含两个可编程增益差分模拟输入通道。增益范围从 1 到 128，允许其接受 0 mV 到 +20 mV 和 0 V 到 +2.5 V 的单极信号，或接受当参考输入电压等于 +2.5 V 时，范围在 $\pm 20 \text{ mV}$ 到 $\pm 2.5 \text{ V}$ 的两极信号。所选择模拟输入通道的输入信号被不断采样，采样率由主时钟频率 MCLK IN 和所选择的增益（见表 4）决定。

一个电荷平衡 A/D 转换器（Sigma-Delta Modulator）转换采样信号为数字脉冲序列，这些序列的 duty cycle 包含数字信息。随着输入采样频率被改进，对模拟输入的可编程增益方程与 sigma-delta 调节器合为一体。一个 sinc3 数字低通滤波器作用到 sigma-delta 调节器的输出，并且以此滤波器 first notch 频率所决定的速率，来更新输出寄存器。输出数据能从串行端口随机地或周期性地被读出到输出寄存器。数字滤波器的 first notch（同时它的 -3 dB 频率）能通过一个偏上控制寄存器被编程。first notch 频率的可编程范围从 9.76 Hz 到 1.028 kHz，对应 -3 dB 频率的一个可编程范围从 2.58 Hz 到 269 Hz。

HWD7710MCSOP24 的基本接线图如图 12 所示。图中显示 HWD7710MCSOP24 工作在外部时钟模式，AVDD 和 DVDD 引脚通过模拟 +5 V 电源驱动。

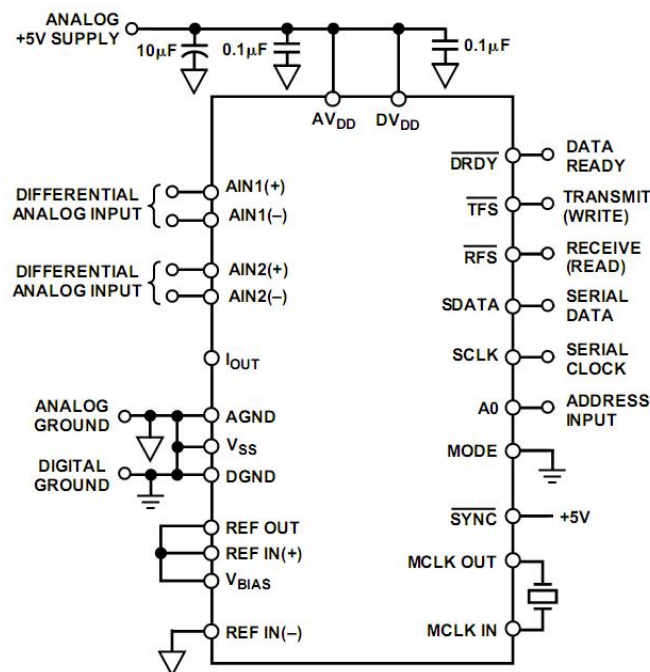


图12 HWD7710MCSOP24基本接线图

HWD7710MCSOP24 提供了许多校准选项，这些选项可以通过片上控制寄存器编程。对控制寄存器进行写入后，一个校准周期可能开始于任何时间。HWD7710MCSOP24 能使用片上微控制器和 SRAM 存储校准参数而进

行自校准。其它系统元件可能同样包含在校准回路中，用以在系统校准模式中，在输入通道里消除失调和增益误差。其它选项是一个背景校准模式，这种模式下 HWD7710MCSOP24 不断地进行自校准并更新校准系数。一旦在这种模式下，使用者不需要考虑发出周期的校准命令到器件，或者要求器件在环境温度或供电电压改变的情况下要求器件重新校准。

HWD7710MCSOP24 给用户提供了到片上校准寄存器的通路，允许微处理器读取器件的校准系数和将预存在 E2PROM 上，它自身的校准系数写入 HWD7710MCSOP24 中，这可以让微处理器更有效地控制 HWD7710MCSOP24 的校准过程。它同样意味着用户能通过在校准后将校准系数与预存在 E2PROM 上的值比较，从而验证器件校准的正确性。

如果模拟输入电压没有比 -30 mV 更小，则 HWD7710MCSOP24 能在单电源供电系统中工作，对于大一些的双极信号，器件要求一个 -5 V 的 VSS。对于电池运行，HWD7710MCSOP24 同样提出一个软件可编程的待机模式，从而降低空闲电流消耗到 7 mW 。

7.2 工作原理

一个 sigma-delta ADC 概括的结构如图 11，它包含以下部分：采样保持放大器、差动放大器或减法器、模拟低通滤波器、一位 A/D 转换器（比较器）、一位 DAC 及数字低通滤波器。

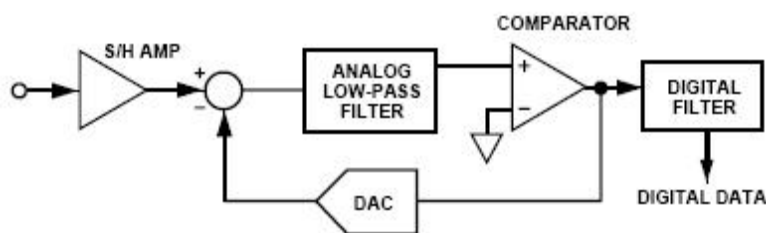


图13 sigma-delta ADC原理图

在操作中，模拟信号采样连同一位 DAC 的输出，经过滤波的差分信号流入比较器，比较器的输出以一个高于模拟采样频率很多倍（过采样）的频率来采样差分信号。过采样是 sigma-delta ADC 基本原理。对一个 ADC 使用量化噪声公式：

$$\text{SNR} = (6.02 \times \text{number of bits} + 1.76) \text{ dB}$$

HWD7710MCSOP24 在 39 kHz 或更高的频率下采样输入信号（见表 3）。结果量化噪声被分布在一个比 the band of interest 更宽频率。band of interest 中的噪声被通过调节环路中的模拟滤波器进一步降低，模拟滤波器塑造了量化噪声谱，将大多数噪声能量移到 band of interest 频率之外。

表 3 输入采样频率与增益的关系

增益	输入采样频率
1	$f_{\text{CLK IN}}/256$ ($39\text{ kHz}@f_{\text{CLK IN}}=10\text{ MHz}$)
2	$2 \times f_{\text{CLK IN}}/256$ ($78\text{ kHz}@f_{\text{CLK IN}}=10\text{ MHz}$)
4	$4 \times f_{\text{CLK IN}}/256$ ($156\text{ kHz}@f_{\text{CLK IN}}=10\text{ MHz}$)
8	$8 \times f_{\text{CLK IN}}/256$ ($312\text{ kHz}@f_{\text{CLK IN}}=10\text{ MHz}$)
16	$8 \times f_{\text{CLK IN}}/256$ ($312\text{ kHz}@f_{\text{CLK IN}}=10\text{ MHz}$)

32	$8 \times f_{\text{CLK IN}} / 256$ (312kHz@ $f_{\text{CLK IN}}=10\text{MHz}$)
64	$8 \times f_{\text{CLK IN}} / 256$ (312kHz@ $f_{\text{CLK IN}}=10\text{MHz}$)
128	$8 \times f_{\text{CLK IN}} / 256$ (312kHz@ $f_{\text{CLK IN}}=10\text{MHz}$)

比较器的输出提供了一位 DAC 的数字输入，所以负反馈环路的系统函数将设法减小差分信号。描绘模拟输入电压的数字数据被包含在脉冲序列的占空因数中，并出现在比较器的输出端。它通过使用一个并行二进制传输字的数字滤波器找回。

7.2.1 数字滤波器

HWD7710MCSOP24 的数字滤波器类似于模拟滤波器，仅有较小差别。首先，尽管数字滤波在 A-D 转换过程之后发生，但它能消除在转换过程中产生的噪声，而模拟滤波不能做到这一点。另一方面模拟滤波能在模拟信号到达 ADC 之前，消除其中的成阶层的噪声，数字滤波器不能做到这一点，并且依靠在满度附近的信号的噪声峰值，有可能使得模拟调节器和数字滤波器饱和。为了缓解这个问题，HWD7710MCSOP24 在模拟调节器和数字滤波器中拥有过量程余量，循序模拟输入范围超过 5%。如果噪声信号大于这一值，则需要考虑模拟输入滤波，或者降低输入通道电压以至于让它的满度为模拟输入通道满度的一半。在降低 1 位的动态范围下，可提供一个超过 100% 的过量程容限。

数字滤波器的截止频率由载入控制寄存器中 FS0 到 FS11 的值所决定。在 10 MHz 的最大时钟频率下，滤波器的最小截止频率为 2.58 Hz，最大可编程截止频率为 269Hz。

图 14 表示了对于截止频率为 2.62 Hz 的滤波器频率响应，相应的 first filter notch 频率为 10 Hz。这是一个 $(\sin x/x)^3$ 响应（也叫做 sinc3），提供了 >100 dB, 50 Hz 和 60 Hz 的抑制。通过 FS0 - FS11 来安排一个不同的截止频率并未改变滤波器响应的 profile，它改变了 notches 的频率。

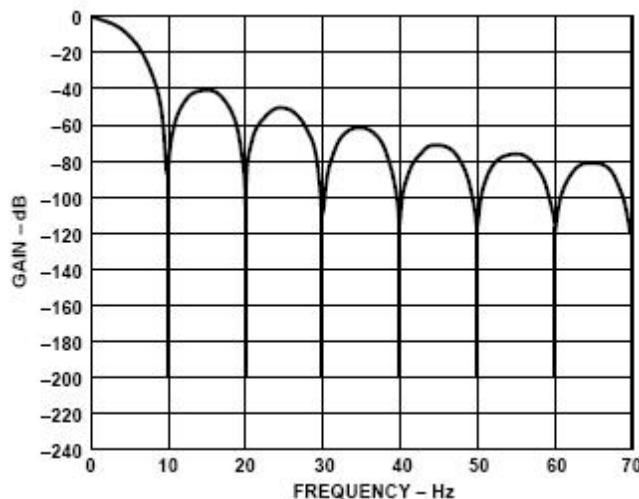


图14 HWD7710MCSOP24滤波器的频率响应

既然 HWD7710MCSOP24 包含这个片上低通滤波器，便有一个联系阶梯函数输入的建立时间，在阶梯变化到建立时间过完之前，输出的数据会是无效的。建立时间依赖于为滤波器选择的 notch 频率。数据的输出速率等于滤波器 notch 频率，滤波器对满度阶梯输入的建立时间是输出数据周期的四倍。在应用中使用双通道输入，在第二个通道数据被取出之前，滤波器的建立时间必须被过完。

7.2.2 模拟输入范围

所有模拟信号都是差分、增益可编程、输入通道能处理单极或双极的输入信号。如果模拟输入电压的绝对值介于 $V_{SS} - 30\text{ mV}$ 和 $AVDD + 30\text{ mV}$ 之间，则输入端的共模范围从 V_{SS} 到 $AVDD$ 。

直流输入泄露电流在 25°C 时最大为 10pA ($\pm 1\text{ nA over temperature}$)。这将导致一个直流失调电压穿越电源阻抗产生。尽管如此，通过结合 HWD7710MCSOP24 的差分输入能力和其自身的系统校准模式，这个直流失调效果得到补偿。

HWD7710MCSOP24 的 $A_{IN1}(+)$ 输入端包括一个 4.5 mA 的电流源，这个电流源能通过控制寄存器被打开/关闭。这个电流源能在检查一个传感器没有被烧坏或在测量通道之前开路中用到。如果电流被打开并允许流入传感器和在 A_{IN1} 输入端进行一个输入电压测量，它能指示出传感器被烧坏或开路。对普通的运行而言，这个 burnout 电流在写入一个 0 到控制寄存器的 $B0$ 端时被关闭。

HWD7710MCSOP24 同样包含这样一个特性，使用户能在热电偶应用中执行冷节点补偿。这可以通过使用来自器件 I_{OUT} 引脚的输出补偿电流达到。同样，此电流能通过控制寄存器被打开/关闭。对控制寄存器的 $I0$ 位写入一个 1 使补偿电流可用。

补偿电流提供了一个 $20\mu\text{A}$ 的恒定电流源，此电流源能被连接到一个电热调节器或一个二极管，用以提供冷节点补偿。一种产生冷节点补偿的普通方式是，使用依赖于温度的电流流过固定的电阻，来提供一个等于在任何环境温度范围内冷节点所产生的电压。在这种情况下，补偿电流的温度系数比起电热调节器的温度系数较低，能近似认为在温度变化下恒定。这时电热调节器电阻随温度的变化提供了温度的变化。

通常来说，冷节点补偿是通过将补偿电压接到 HWD7710MCSOP24 的第二输入通道中来执行。这条通道的周期转换给用户提供了一个与冷节点补偿电压相对应的电压。依照补偿通道中的结果，热电偶的输入被校正，这个电压就可以用来执行软件中的冷节点补偿。此电压还能模拟方式从输入端以被减去，因此仅仅使用 HWD7710MCSOP24 的一个通道。

7.2.3 双/单极输入

HWD7710MCSOP24 的两个模拟输入端能接收或单或双极的输入电压范围。双极或单极的选项将由控制寄存器的 B/U 位的编程所选择。这安排了两个通道的单双极选项。对 HWD7710MCSOP24 的单双极选项的安排没有改变任何输入信号调节，它仅仅改变了输出数据码。对单极输入来说数据码是二进制的，对双极输入来说数据码是失调二进制的。

输入通道是差分的，对单双极信号被参考的电压是 $A_{IN}(-)$ 输入端电压。举例来说，如果 $A_{IN}(-)$ 是 $+1.25\text{ V}$ ，HWD7710MCSOP24 在增益为 1 和 V_{REF} 为 $+2.5\text{ V}$ 时被设置为双极模式， $A_{IN}(+)$ 的模拟输入电压范围从 -1.25 V 到 $+3.75\text{ V}$ 。

7.2.4 V_{BIAS} 输入

V_{BIAS} 输入决定了内部模拟电路被偏置在什么电压下。它在本质上为流经调节器的模拟电流提供了回路，它被从一个低阻抗驱动以最小化误差。对内部最大的 headroom 来说， V_{BIAS} 电压应该被设置到 $AVDD$ 和 V_{SS} 之间。 $AVDD$ 和 $(V_{BIAS} + 0.85 \times V_{REF})$ 之间的差别决定了电路 headroom 的量已经在高端，同时 $AVDD$

和 $(V_{BIAS} - 0.85 \times V_{REF})$ 之间的差别决定了电路 headroom 的量已经在低端。应该注意到选择 V_{BIAS} 电压来确保它停留在给定极限中。对于一个单独+5 V 的运转来说, 所选择的 V_{BIAS} 电压必须确保 $(V_{BIAS} \pm 0.85 \times V_{REF})$ 没有超过 $AVDD$ 和 VSS , 或者 V_{BIAS} 本身电压没有高于 $VSS + 2.1 V$ 和低于 $AVDD - 2.1 V$ 。对于一个单独+10 V 或双±5 V 的运转来说, 所选择的 V_{BIAS} 电压必须确保 $(V_{BIAS} \pm 0.85 \times V_{REF})$ 没有超过 $AVDD$ 或 VSS , 或 V_{BIAS} 电压自身高于 $VSS + 3 V$ 和低于 $AVDD - 3 V$ 。举例讲, 对于 $AVDD = +4.75 V$, $VSS = 0 V$ 和 $V_{REF} = +2.5 V$, 所允许的 V_{BIAS} 电压范围为+2.125 V 到+2.625 V。对于 $AVDD = +9.5 V$, $VSS = 0 V$ 和 $V_{REF} = +5 V$, V_{BIAS} 的范围是+4.25 V to +5.25 V。对于 $AVDD = +4.75 V$, $VSS = -4.75 V$ 和 $V_{REF} = +2.5 V$, V_{BIAS} 的范围是 $-2.625 V$ to $+2.625 V$ 。

V_{BIAS} 电压有对于 HWD7710MCSOP24 对 $AVDD$ 的电源抑制有一定作用。如果 V_{BIAS} 电压跟踪 $AVDD$ 电源, 它将对 $AVDD$ 的电源抑制从 80 dB 改善到 95 dB。使用一个内部齐纳二极管, 连接在 $AVDD$ 和 V_{BIAS} 之间, 作为 V_{BIAS} 电压对 $AVDD$ 电源抑制性能的改善。

7.2.5 控制寄存器 (24 位)

$A0$ 输入低电平写入数据到控制寄存器, 器件开始写入数据。 $A0$ 输入高电平取出控制寄存器的内容, 器件开始读出数据。控制寄存器有 24 位宽, 并且在寄存器写入的时候, 24 位数据必须被写入, 否则数据便不会被加载到控制寄存器中。换句话说, 不能只写入前 12 位数据到控制寄存器。如果要在 $\overline{TFS}$ 变高之前提供高于 24 个时钟脉冲, 那么在第 24 个时钟之后的所有脉冲都将被忽略。类似的, 对控制寄存器的读出操作中, 也应该取出 24 位数据。

MSB

MD2	MD1	MD0	G2	G1	G0	CH	PD	WL	IO	BO	B/U
FS11	FS10	FS9	FS8	FS7	FS6	FS5	FS4	FS3	FS2	FS1	FS0

LSB

MD2	MD1	MD0	工作模式
0	0	0	普通模式。这是器件的普通运作模式, 这种模式下, 对器件的读取是以 $A0$ 为高, 从数据寄存器读出数据。这是内部清零后的默认状态。
0	0	1	自校准触发。它触发了系统的自校准, 通道的选取由 CH 决定。这是一个一步校准序列, 当它完成后, 这部分又重回普通模式 (控制寄存器的 $MD2$, $MD1$, $MD0$ 回到 0, 0, 0)。 $\overline{DRDY}$ 的输出标志着自校准的进行。这种校准类型中, 短路 (零) 输入时零刻度校准在内部进行, V_{REF} 输入时满度校准在内部完成。
0	1	0	系统校准触发。它触发了系统校准, 通道的选取由 CH 决定。这是一个两步校准序列。零刻度校准首先在选择输入通道进, $\overline{DRDY}$ 指示零刻度校准完成。第一步结束, HWD7710MCSOP24 重回普通模式准备进入第二步。 系统校准触发。它是系统校准的第二步, 在选择输入通道中满度校准实现以后。

MD2	MD1	MD0	工作模式
0	1	1	这一次， DRDY 指示了满度校准完成。当这一步校准完成以后，HWD7710MCSOP24重回普通模式。
1	0	0	系统失调误差触发。它触发了系统失调校准，通道由CH选择。这是一步校准序列。当其完成时， DRDY 指示出系统失调校准完成，HWD7710MCSOP24重回普通模式。
			对于这种校准形式而言，零刻度校准在选择输入通道完成，满度校准在内部由 V_{REF} 完成。
1	0	1	激活背景校准。它激活了背景校准，通道由CH选择。如果背景校准模式打开，HWD7710MCSOP24提供了参考和短路（零点）输入的持续自校准。这种校准作为转换序列的一部分发生，延长了转换时间并且以6的倍数降低了码字率。它主要的优势在于使用者不需要担心在周围环境温度改变的情况下重校准器件。在这种模式下，短路（零点）输入和 V_{REF} ，与模拟输入电压一样，不断被监控并且器件的校准自动更新。
1	1	0	读/写零刻度校准系数。这是以A0高电平取出由CH选择所通道的零刻度校准系数的内容，从而实现对器件的读出。以A0高度写入数据到CH所选择通道的零刻度校准系数，从而实现对器件的写入。在不考虑控制寄存器WL位的情况下，读出和写入这些系数的码字长度是24位。因此，当写入校准寄存器时，24位数据必须被写入，否则新数据不会被传输到校准寄存器。
1	1	1	读/写满度校准系数。以A0高度取出CH所选择通道的满度系数的内容，从而实现对器件的读出。以A0高度写入数据到CH所选择通道的满度校准系数，从而实现对器件的写入。在不考虑控制寄存器WL位的情况下，读出和写入这些系数的码字长度是24位。因此，当写入校准寄存器时，24位数据必须被写入，否则新数据不会被传输到校准寄存器。

7.2.6 PGA 增益

表4 PGA增益

G2	G1	G0	增益	备注
0	0	0	1	内部开机复位后的默认情况
0	0	1	2	
0	1	0	4	
0	1	1	8	

G2	G1	G0	增益	备注
1	0	0	16	
1	0	1	32	
1	1	0	64	
1	1	1	128	

7.2.7 通道选择

表 5 通道选择

CH	Channel	备注
0	AIN1	内部开机复位后的默认情况
1	AIN2	
关机 PD		
0	普通运转	内部开机复位后的默认情况
1	关机	—
码字长度		
WL	输出码字长度	—
0	16-Bit	内部开机复位后的默认情况
1	24-Bit	—
输出补偿电流 IO		
0	关断	内部开机复位后的默认情况
1	开启	—
Burn-Out Current BO		
0	关断	内部开机复位后的默认情况
1	开启	—
双/单极选择(Both Inputs) B/U		
0	双极	内部开机复位后的默认情况
1	单极	—

7.3 系统设计考虑

7.3.1 自动校准

HWD7710MCSOP24 的自动校准消除了失调和来自器件的增益误差。一个器件的校准程序应该当运行的环境温度 and 供电电压改变时开始启动。它也应该在选择增益、filter notch 或单/双极输入范围发生改变时启动。尽管如此，如果 HWD7710MCSOP24 处在背景校准模式，以上的改变都会被自动地注意到（在滤波器的建立时间被考虑到以后）。

HWD7710MCSOP24 提供了自校准、系统校准和背景校准设备。对于发生在选择通道的校准，片上微控制器在两种不同的输入条件下记录调节器输出。两种条件即“零刻度”和“满度”点。有了这些记录，微控制器能为转换器输入到输出的转移函数计算增益斜率。在内部，HWD7710MCSOP24 以 33 位分辨率工作来决定转换结果是 16 位或是 24 位。

HWD7710MCSOP24 也提供了写入片上校准寄存器的工具，通过这种方式 HWD7710MCSOP24 的范围和失调能被用户调整。失调校准寄存器包含一个会从所有转换结果中减去的值，同时满度校准寄存器包含一个会乘到所有转换结果中的值。失调校准系数先被减去，满度系数再做乘法。在这里列出的前三种模式中， $\overline{DRDY}$ 变低指示校准完成。如果 $\overline{DRDY}$ 在校准命令之前为低（或在校准命令之内变低），它可能会在 $\overline{DRDY}$ 变高指示校准进行之前，占据一个调节器周期。因此在最后一位校准命令被写入控制寄存器之后，一个调节器周期内的 $\overline{DRDY}$ 应该被忽略。

7.3.2 自校准

在单极输入范围自校准模式下，零刻度点用来决定校准系数，输入端短路（即， $A_{IN}(+) = A_{IN}(-) = V_{BIAS}$ ）满度点是 V_{REF} 。零刻度系数由一个内部短路输入节点的转换来决定，满度系数由短路输入到内部 V_{REF} 输入的范围来决定。自校准模式通过写入适当的值 (0, 0, 1) 到控制寄存器的 MD2, MD1 and MD0 位来调用。在这种校准模式之下，短路输入节点首先切换到调节器，转换开始执行； V_{REF} 节点接着切换到调节器，从而另一个转换执行。当校准序列完成，校准系数更新，滤波器重设到模拟输入电压， $\overline{DRDY}$ 输出变低。自校准程序应考虑 PGA 的选择增益。

对自校准模式的双极输入范围而言，序列非常相似于刚刚列出的描述。在这种情况下，HWD7710MCSOP24 校准的两点是中刻度（双极零）和正满度。

7.3.3 系统校准

系统校准允许 HWD7710MCSOP24 补偿系统的增益和失调误差以及它自身的内部误差。系统校准计算和自校准同样的斜率因子，但是使用系统为零刻度点和满度点呈现到 A_{IN} 输入的电压值。系统校准是一个两部过程。零刻度点必须先递送到转换器。它必须在校准步骤被初始化之前施加于转换器，在步骤完成时保持稳定。系统校准由写入适当的值 (0, 1, 0) 到控制寄存器的 MD2, MD1 和 MD0 位来开始。来自于器件的 $\overline{DRDY}$ 输出信号将要在步骤完成时变低。在零刻度点被校准之后，满度点被应用，校准过程的第二个步骤再次通过写入适当的值 (0, 1, 1) 到控制寄存器的 MD2, MD1 和 MD0 位来开始。同样的，满度电压必须在校准开始之前被提出，并且必须在校准步骤中始终保持恒定。 $\overline{DRDY}$ 在第二个步骤结束时变低，指示系统校准完成。在单极模式中，系统校准在转移函数的两个端点之间执行；在双极模式中，在中刻度和正满度之间执行。

这种两步系统校准模式提供了另一个特性。在两个步骤依次被完成以后，额外的失调和增益校准能自动执行来调整零参考点或者系统增益。这一点通过执行系统校准序列的第一步（通过写入 0, 1, 0 到 MD2, MD1, MD0）来达到。这将会调整零刻度点或失调点，但是在整个系统校准序列中所设置的斜率。

系统校准还能用来消除任何在模拟输出端、来自于抗混滤波器的误差。前端一个简单的 R, C 滤波器可能为模拟输入电压引入增益误差, 但是系统校准能用来消除这种误差。

7.3.4 系统失调校准

系统失调校准是系统校准和自校准的一种变体。在这种情况下, 系统的零刻度点被地送到转换器的 AIN 输入端。系统失调校准通过将 1, 0, 0 写入到 MD2 来开启。系统零刻度系数由转换电压到 AIN 输入端来决定, 满度系数由 AIN 转换和 VREF 转换之间的范围来决定。零刻度点应该在校准序列的整段时期内被提交到 AIN 输入端。这是一个单步校准序列, 序列完成后 $\overline{DRDY}$ 变低电平。在单极模式下, 系统失调校准由传输函数的两个端点来执行; 在双极模式下, 由半刻度和正满度来执行。

7.3.5 背景校准

HWD7710MCSOP24 同样提供了一种背景校准模式, 在该模式下, 器件的校准程序与正常转换序列交错进行。在背景校准模式中, 使用和自校准模式中同样的电压作为校准点, 也就是说, 相同的短路输入和 VREF。背景校准模式通过对控制寄存器的 MD2, MD1, MD0 写入 1, 0, 1 来开启。当背景校准模式被调用时, 背景校准模式将 HWD7710MCSOP24 的输出数据速率降低 6 倍, 而 -3 dB 带宽不变。它的优点是 HWD7710MCSOP24 不断地执行校准并自动更新校准系数。结果温漂、电源的敏感性和时钟的漂移对零满度的影响被自动消除。当背景校准模式打开时, HWD7710MCSOP24 会在控制寄存器的 MD2, MD1 和 MD0 改变之前保持这种模式。在背景校准模式打开, 由于满度校准没有执行, HWD7710MCSOP24 的第一个结果会是不正确的。对于输入的一个阶梯改变, 第二个输出更新将要最终值的 100%。

8 应用建议

图 15 显示了直接到 HWD7710MCSOP24 模拟输入通道其中之一的一个应力计接口。HWD7710MCSOP24 的差分输入被直接连接到应力计器的桥接网络。如图所示，HWD7710MCSOP24 的片上参考为桥接网络以及 HWD7710MCSOP24 参考电压提供了一个电压。如图 14 的另一种方案，显示了模拟正电压为桥接网络和 HWD7710MCSOP24 供电，此 HWD7710MCSOP24 的参考电压产生自一桥接网络的串联电阻。在这种情况下，参考电阻的值由要求的参考电压处以激励电流值来决定。片上 PGA 允许 HWD7710MCSOP24 操作一个低至满度为 20mV 的模拟输入电压范围。HWD7710MCSOP24 的差分输入允许模拟输入范围有个处于 VSS 和 AVDD 的绝对值。

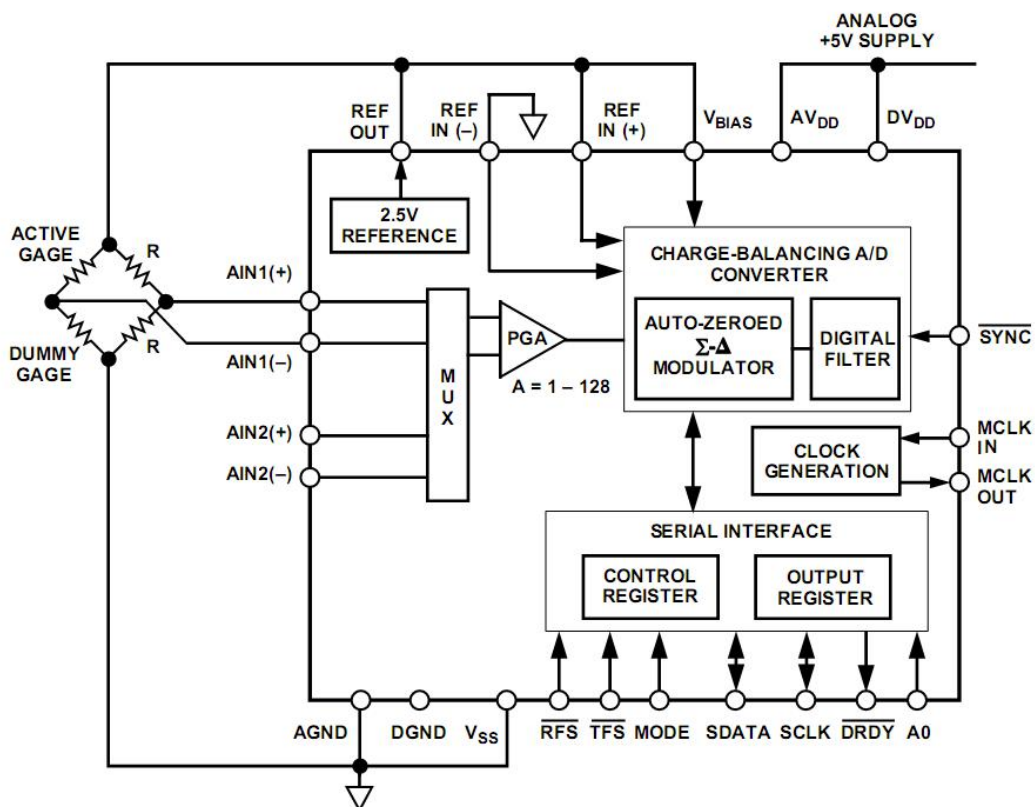


图 15 使用 HWD7710MCSOP24 的应变计应用

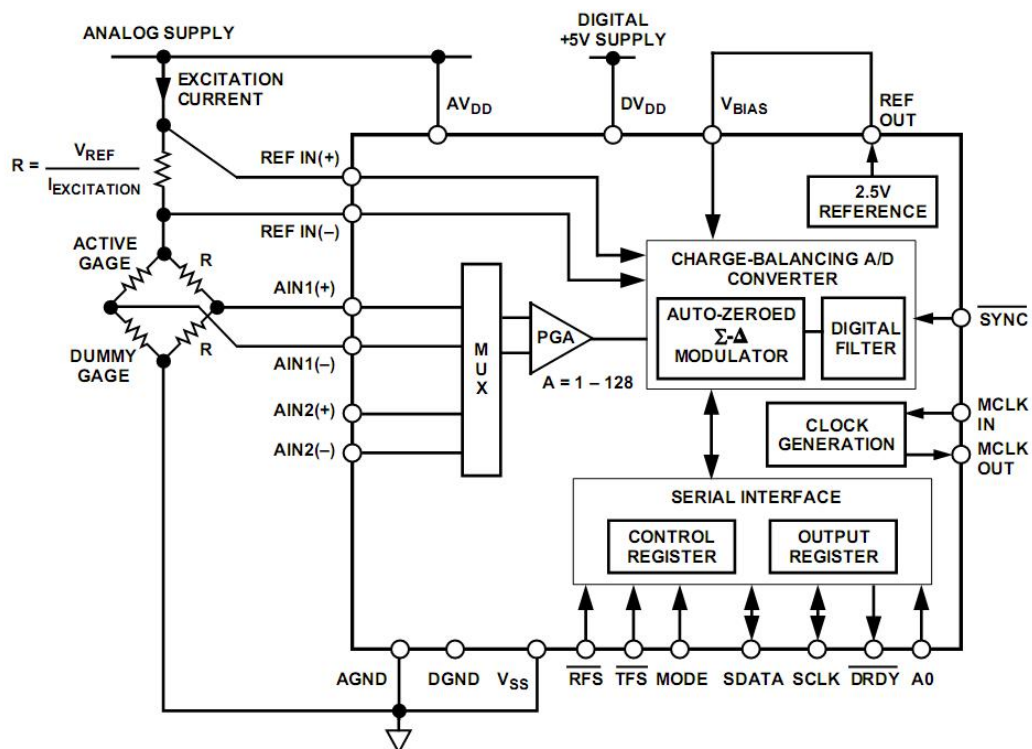


图 16 HWD7710MCSOP24 基准电压的代替方案

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物；
- f) 若可行，相对湿度保持在 50%以上。

10 订货信息

表 6 产品订货信息

序号	型号	封装形式	封装材料	质量等级	引脚材料	重量（g）	典型尺寸（mm） （长×宽×高）	详细规范
1	HWD7710MCS OP24	CSOP24	陶瓷	B 级	可伐合金 镀金镀镍	0.86	15.41×7.51×2.47	Q/HWD 20373-2018

注1:

a) B级器件满足GJB 597A-1996或GJB 597B-2012 《半导体集成电路通用规范》B级的筛选要求。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。