

HWD12B16GA4PBGA899M3 型
四通道 12 位 16GSPS 高速高精度 A/D 转换器
产品手册
V1.0.2

成都华微电子科技股份有限公司

2025 年 6 月 19 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本。	李春艳	20250606	预发布
V1.0.1	修改产品特点。	李春艳	20250611	预发布
V1.0.2	修改等效电路图。	李春艳	20250619	预发布

目 次

1 概述	1
2 产品特点	1
3 功能框图	1
4 封装信息	3
4.1 封装及引脚信息	3
4.2 焊盘推荐	32
4.3 焊接推荐	32
5 绝对最大额定值及推荐工作范围	33
5.1 绝对最大额定值	33
5.2 推荐工作范围	33
6 电特性参数	33
6.1 技术规格	33
6.2 典型性能曲线	41
6.3 等效电路	45
7 功能描述	48
7.1 概述	48
7.2 功能描述	48
8 应用建议	69
8.1 启动流程	69
8.2 应用电路	69
9 使用注意事项	70
10 订货信息	71

1 概述

HWD12B16GA4PBGA899M3是一款4通道、12位高速高精度A/D转换器，采样率范围可调，最大支持16GSPS采样，输入带宽支持10GHz。ADC内核采用时间交织Pipeline-SAR结构实现，通过使用宽带采样保持电路设计技术、时间交织及内部误差校正技术、JESD204C高速串行接口电路设计技术，使其具备单芯片高速（采样率16GSPS）高精度（分辨率12位）A/D转换器的能力。同时该款芯片支持片内及片间同步功能。

HWD12B16GA4PBGA899M3采用BGA899封装，额定温度范围为-55℃至+125℃温度范围。建议环境工作温度为50度以下，从而保证片内结温小于100度，进而获得较好性能和稳定性。

2 产品特点

- 1) NSD: -153.9 dBFS/Hz at 16 GSPS with -3dBFS, 812MHz input;
-154.0 dBFS/Hz at 16 GSPS with -7dBFS, 812MHz input。
- 2) SFDR: 70.68 dBFS at 16 GSPS with -7dBFS, 1812MHz input;
67.52 dBFS at 16 GSPS with -7dBFS, 3312MHz input;
64.78 dBFS at 16 GSPS with -7dBFS, 5602MHz input;
62.48 dBFS at 16 GSPS with -7dBFS, 8512MHz input。
- 3) 最差其他 spur (H2、H3 除外): 68.72 dBFS at 16 GSPS with -3dBFS, 1812MHz input。
- 4) 单通道 DNL 典型值 $<\pm 2$ LSB; 单通道 INL 典型值 $<\pm 4$ LSB。
- 5) 具有低功耗特点，单通道功耗 <5 W。
- 6) 输入带宽支持 10GHz, 800mVpp, 50 Ω 。
- 7) 支持片内及片间同步功能。
- 8) 支持 SPI 接口，满足 SPI 标准接口协议，可寻址内部存储空间。
- 9) 支持 JESD204C 接口，内置 32 条 lane 可配置输出，最高线速率达 25.6Gbps，兼容 JESD204B 接口。
- 10) 26.0mm x 24.0mm, 899-ball BGA package。

3 功能框图

HWD12B16GA4PBGA899M3是一款4通道ADC，其功能框图如图1所示。

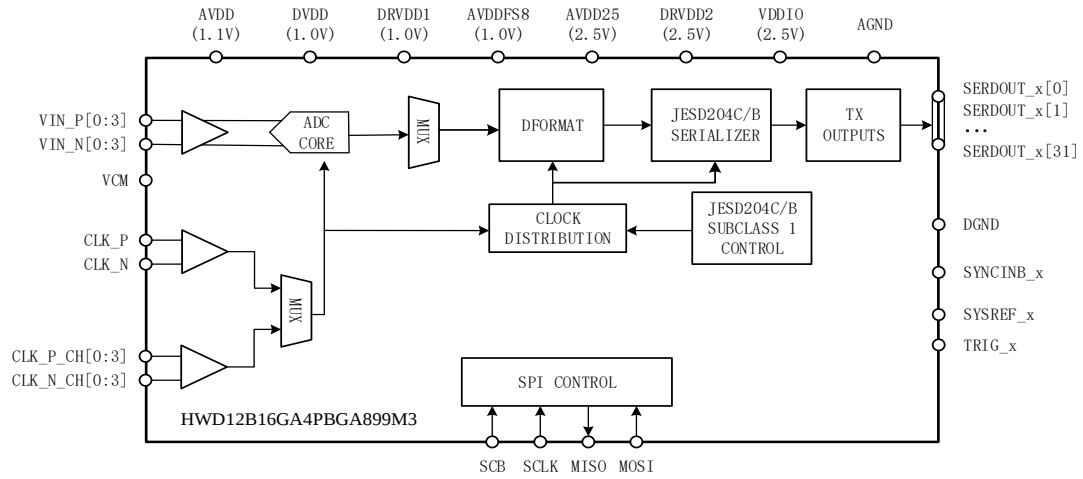


图 1 功能框图

HWD12B16GA4PBGA899M3的典型应用场景如图2所示，应用直接RF采样接收器模拟信号链，支持L、S、C、X、Ku波段采样。

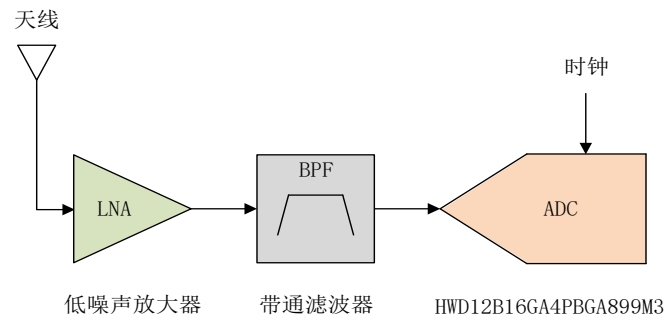
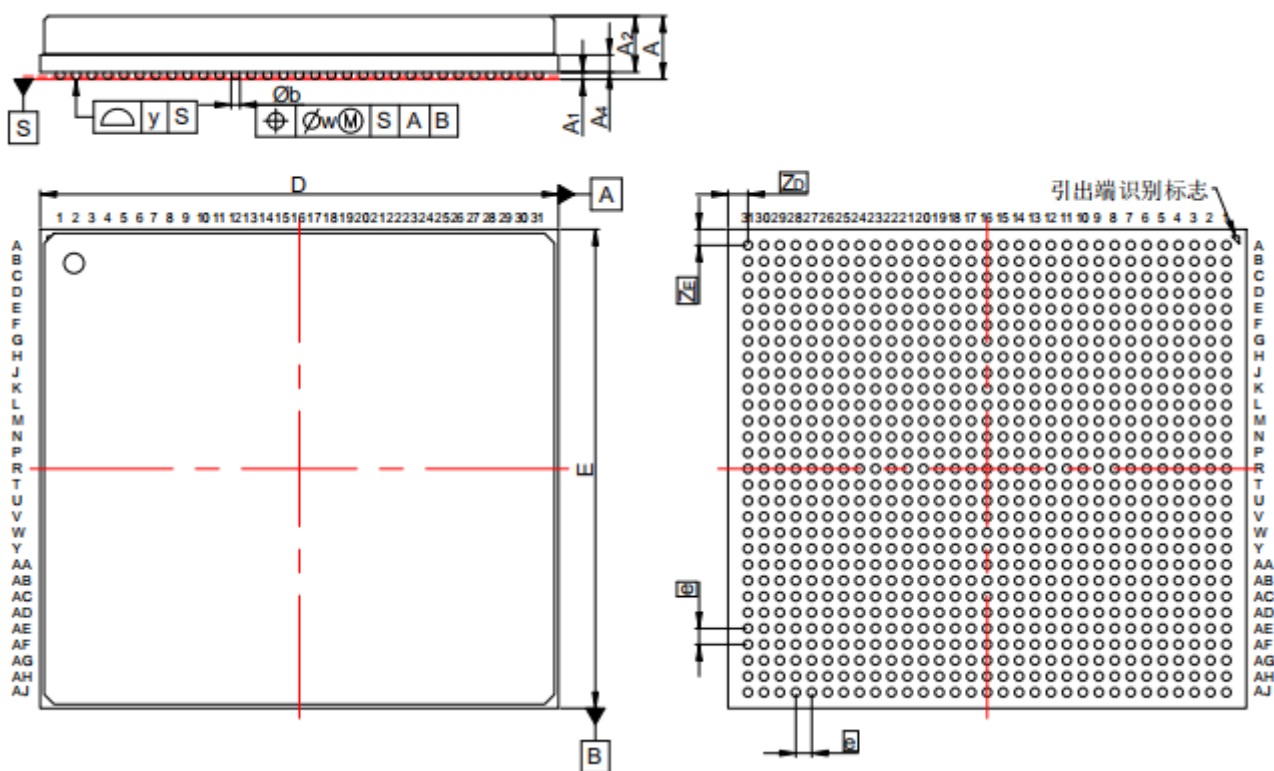


图 2 典型应用场景

4 封装信息

4.1 封装及引脚信息

HWD12B16GA4PBGA899M3采用塑封BGA899封装，封装形式为FC-PBGA899，外形尺寸参考GB/T 7092-2021，封装外形图及引脚排列图如图3所示。



尺寸符号	数值，单位：毫米		
	最小	公称	最大
A	2.92	—	3.51
A ₁	0.31	—	0.41
A ₂	2.61	—	3.10
A ₄	0.76	—	0.95
Φ _b	0.40	—	0.50
D	25.90	—	26.10
E	23.90	—	24.10
e	—	0.80	—
y	—	—	0.15
Z _D	—	1.00	—
Z _E	—	0.80	—

图3 封装外形图及引脚排列图

HWD12B16GA4PBGA899M3引脚布局示意图如图4所示。

	31	SERDOUT6_P<3>	SERDOUT6_N<3>	SERDOUT7_P<3>	SERDOUT7_N<3>	DRVD01	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	SDI	DTST	VDDIO	DVDD	VSS_M0AT	AVDD	AVDD	AGND	CLK_N_CH1	CLK_P_CH1	AGND	AGND	AVDD	AGND
	30	SERDOUT6_P<3>	SERDOUT6_N<3>	SERDOUT7_P<3>	SERDOUT7_N<3>	DRVD02	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	SDO	SCR	SCLK	DGND	AVDD	AGND	AVDD025	AVDD	AGND	AGND	AVDD025	AVDD	AGND	VIN_P_1
	29	DRGND	DRVD02	DRGND	DRVD01	DRGND	REFCLK_P<3>	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AVDD	AGND	AVDD	AVDD025	AGND	AVDD	AGND	VIN_N_1
	28	DRGND	DRVD01	DRGND	DRVD02	DRGND	REFCLK_N<3>	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	AGND	AVDD025	AGND	AVDD	AGND	AVDD	AGND	AVDD	AGND
	27	SERDOUT7_P<3>	SERDOUT7_N<3>	SERDOUT7_P<3>	SERDOUT7_N<3>	DRVD01	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AVSSFS8	AVDDFS8	AVDD	AGND	AVDD	AGND
	26	SERDOUT6_P<3>	SERDOUT6_N<3>	SERDOUT7_P<3>	SERDOUT7_N<3>	DRVD02	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AVDD	AGND	AVDD025	AGND	AVDD	AVDD025	AGND	AGND
	25	DRGND	DRVD02	DRGND	DRVD01	DRGND	RREF<0>	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AGND	AGND	AVDD	AGND	AVDD	AGND
	24	DRGND	DRVD01	DRGND	DRVD02	DRGND	ATST_SERD<ES>	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AGND	AVDD025	AGND	AVDD	AGND	AVDD	AGND	AVDD
	23	SERDOUT6_P<1>	SERDOUT6_N<1>	SERDOUT7_P<1>	SERDOUT7_N<1>	DRVD01	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AVDD	AGND	AVDD	AGND	AVDD025	AGND
	22	SERDOUT6_P<1>	SERDOUT6_N<1>	SERDOUT7_P<1>	SERDOUT7_N<1>	DRVD02	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AGND	AVDD025	AVDD	AGND	AVDD025	AGND	AVDD	AGND
	21	DRGND	DRVD02	DRGND	DRVD01	DRGND	REFCLK_P<1>	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AVSSFS8	AVDDFS8	AGND	AVDD	AGND	AVDD	AGND	
	20	DRGND	DRVD01	DRGND	DRVD02	DRGND	REFCLK_N<1>	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AGND	AVDD025	AGND	AVDD	AGND	AVDD	AGND	AVDD
	19	SERDOUT7_P<1>	SERDOUT7_N<1>	SERDOUT7_P<1>	SERDOUT7_N<1>	DRVD01	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AGND	AVDD	AGND	AVDD	AGND	AVDD
	18	SERDOUT7_P<1>	SERDOUT7_N<1>	SERDOUT7_P<1>	SERDOUT7_N<1>	DRVD02	RREF<1>	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AGND	AVDD025	AVDD	AGND	AVDD025	AVDD	AGND	AVDD
	17	DRGND	DRVD02	DRGND	DRVD01	DRGND	ATST_SERD<ES>	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AVDD	AGND	AVDD025	AVDD	AGND	AVDD025	AVDD	AGND
	16	DRGND	DRVD01	DRGND	DRVD02	DRGND	ATST_SERD<ES>	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AVDD	AGND	AVDD025	AVDD	AGND	AVDD025	AVDD	AGND
	15	DRGND	DRVD02	DRGND	DRVD01	DRGND	RREF<2>	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AGND	AGND	AVDD	AGND	AVDD	AGND
	14	SERDOUT6_P<2>	SERDOUT6_N<2>	SERDOUT7_P<2>	SERDOUT7_N<2>	DRVD02	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AGND	AVDD025	AGND	AVDD025	AVDD	AGND	AVDD	AGND
	13	SERDOUT7_P<2>	SERDOUT7_N<2>	SERDOUT7_P<2>	SERDOUT7_N<2>	DRVD01	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AGND	AVDD	AGND	AVDD025	AVDD	AGND
	12	DRGND	DRVD01	DRGND	DRVD02	DRGND	REFCLK_N<2>	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AVDD	AGND	AVDD025	AVDD	AGND	AVDD	AGND	VIN_N_3
	11	DRGND	DRVD02	DRGND	DRVD01	DRGND	REFCLK_P<2>	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AVSSFS8	AVDDFS8	AGND	AVDD	AGND	VIN_P_3
	10	SERDOUT6_P<2>	SERDOUT6_N<2>	SERDOUT7_P<2>	SERDOUT7_N<2>	DRVD02	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AGND	AVDD025	AGND	AVDD	AGND	AVDD	AGND	AVDD
	9	SERDOUT6_P<2>	SERDOUT6_N<2>	SERDOUT7_P<2>	SERDOUT7_N<2>	DRVD01	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AGND	AVDD	AGND	AVDD025	AVDD	AGND
	8	DRGND	DRVD01	DRGND	DRVD02	DRGND	ATST_SERD<ES>	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AGND	AVDD025	AGND	AVDD	AGND	AVDD025	AVDD	AGND
	7	DRGND	DRVD02	DRGND	DRVD01	DRGND	RREF<3>	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AGND	AVDD	AGND	AVDD	AGND	AVDD
	6	SERDOUT6_P<3>	SERDOUT6_N<3>	SERDOUT7_P<3>	SERDOUT7_N<3>	DRVD02	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AGND	AVDD025	AGND	AVDD	AGND	AVDD025	AGND	AVDD
	5	SERDOUT7_P<3>	SERDOUT7_N<3>	SERDOUT7_P<3>	SERDOUT7_N<3>	DRVD01	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AVSSFS8	AVDDFS8	AGND	AVDD025	AVDD	AGND
	4	DRGND	DRVD01	DRGND	DRVD02	DRGND	REFCLK_N<3>	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AGND	AVDD025	AVDD	AGND	AVDD	AGND	AVDD	VIN_N_4
	3	DRGND	DRVD02	DRGND	DRVD01	DRGND	REFCLK_P<3>	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AVDD	AGND	AVDD	AVDD025	AGND	VIN_P_4
	2	SERDOUT6_P<3>	SERDOUT6_N<3>	SERDOUT7_P<3>	SERDOUT7_N<3>	DRVD02	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	AGND	AVDD025	AGND	AVDD	AGND	AVDD025	AGND	AVDD
	1	SERDOUT6_P<3>	SERDOUT6_N<3>	SERDOUT7_P<3>	SERDOUT7_N<3>	DRVD01	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	DGND	DVDD	VSS_M0AT	AVDD	AVDD	AGND	AVDD	AVDD025	AGND	AVDD
		A	B	C	D	E	F	G	H	I	J	K	L	M	N	P	R	T	U	V	W	Y	AA	AB	AC	AD	AE	AF	AG	AH

图 4 引脚布局示意图

HWD12B16GA4PBGA899M3引脚描述如表1所示。

表 1 引脚描述

引出端序号	符号	功能	信号类型
A1	SERDOUT6P<3>	接口输出	输出
A2	SERDOUT4P<3>	接口输出	输出
A3	DRGND	接口地	地
A4	DRGND	接口地	地
A5	SERDOUT2P<3>	接口输出	输出
A6	SERDOUT0P<3>	接口输出	输出
A7	DRGND	接口地	地
A8	DRGND	接口地	地
A9	SERDOUT6P<2>	接口输出	输出
A10	SERDOUT4P<2>	接口输出	输出
A11	DRGND	接口地	地
A12	DRGND	接口地	地

引出端序号	符号	功能	信号类型
A13	SERDOUT2P<2>	接口输出	输出
A14	SERDOUT0P<2>	接口输出	输出
A15	DRGND	接口地	地
A16	DRGND	接口地	地
A17	DRGND	接口地	地
A18	SERDOUT0P<1>	接口输出	输出
A19	SERDOUT2P<1>	接口输出	输出
A20	DRGND	接口地	地
A21	DRGND	接口地	地
A22	SERDOUT4P<1>	接口输出	输出
A23	SERDOUT6P<1>	接口输出	输出
A24	DRGND	接口地	地
A25	DRGND	接口地	地
A26	SERDOUT0P<0>	接口输出	输出
A27	SERDOUT2P<0>	接口输出	输出
A28	DRGND	接口地	地
A29	DRGND	接口地	地
A30	SERDOUT4P<0>	接口输出	输出
A31	SERDOUT6P<0>	接口输出	输出
B1	SERDOUT6N<3>	接口输出	输出
B2	SERDOUT4N<3>	接口输出	输出
B3	DRVDD2	数字电源	电源
B4	DRVDD1	数字电源	电源
B5	SERDOUT2N<3>	接口输出	输出
B6	SERDOUT0N<3>	接口输出	输出
B7	DRVDD2	数字电源	电源
B8	DRVDD1	数字电源	电源
B9	SERDOUT6N<2>	接口输出	输出
B10	SERDOUT4N<2>	接口输出	输出
B11	DRVDD2	数字电源	电源
B12	DRVDD1	数字电源	电源
B13	SERDOUT2N<2>	接口输出	输出
B14	SERDOUT0N<2>	接口输出	输出

引出端序号	符号	功能	信号类型
B15	DRVDD2	数字电源	电源
B16	DRVDD1	数字电源	电源
B17	DRVDD2	数字电源	电源
B18	SERDOUT0N<1>	接口输出	输出
B19	SERDOUT2N<1>	接口输出	输出
B20	DRVDD1	数字电源	电源
B21	DRVDD2	数字电源	电源
B22	SERDOUT4N<1>	接口输出	输出
B23	SERDOUT6N<1>	接口输出	输出
B24	DRVDD1	数字电源	电源
B25	DRVDD2	数字电源	电源
B26	SERDOUT0N<0>	接口输出	输出
B27	SERDOUT2N<0>	接口输出	输出
B28	DRVDD1	数字电源	电源
B29	DRVDD2	数字电源	电源
B30	SERDOUT4N<0>	接口输出	输出
B31	SERDOUT6N<0>	接口输出	输出
C1	SERDOUT7P<3>	接口输出	输出
C2	SERDOUT5P<3>	接口输出	输出
C3	DRGND	接口地	地
C4	DRGND	接口地	地
C5	SERDOUT3P<3>	接口输出	输出
C6	SERDOUT1P<3>	接口输出	输出
C7	DRGND	接口地	地
C8	DRGND	接口地	地
C9	SERDOUT7P<2>	接口输出	输出
C10	SERDOUT5P<2>	接口输出	输出
C11	DRGND	接口地	地
C12	DRGND	接口地	地
C13	SERDOUT3P<2>	接口输出	输出
C14	SERDOUT1P<2>	接口输出	输出
C15	DRGND	接口地	地
C16	DRGND	接口地	地

引出端序号	符号	功能	信号类型
C17	DRGND	接口地	地
C18	SERDOUT1P<1>	接口输出	输出
C19	SERDOUT3P<1>	接口输出	输出
C20	DRGND	接口地	地
C21	DRGND	接口地	地
C22	SERDOUT5P<1>	接口输出	输出
C23	SERDOUT7P<1>	接口输出	输出
C24	DRGND	接口地	地
C25	DRGND	接口地	地
C26	SERDOUT1P<0>	接口输出	输出
C27	SERDOUT3P<0>	接口输出	输出
C28	DRGND	接口地	地
C29	DRGND	接口地	地
C30	SERDOUT5P<0>	接口输出	输出
C31	SERDOUT7P<0>	接口输出	输出
D1	SERDOUT7N<3>	接口输出	输出
D2	SERDOUT5N<3>	接口输出	输出
D3	DRVDD1	数字电源	电源
D4	DRVDD2	数字电源	电源
D5	SERDOUT3N<3>	接口输出	输出
D6	SERDOUT1N<3>	接口输出	输出
D7	DRVDD1	数字电源	电源
D8	DRVDD2	数字电源	电源
D9	SERDOUT7N<2>	接口输出	输出
D10	SERDOUT5N<2>	接口输出	输出
D11	DRVDD1	数字电源	电源
D12	DRVDD2	数字电源	电源
D13	SERDOUT3N<2>	接口输出	输出
D14	SERDOUT1N<2>	接口输出	输出
D15	DRVDD1	数字电源	电源
D16	DRVDD2	数字电源	电源
D17	DRVDD1	数字电源	电源
D18	SERDOUT1N<1>	接口输出	输出

引出端序号	符号	功能	信号类型
D19	SERDOUT3N<1>	接口输出	输出
D20	DRVDD2	数字电源	电源
D21	DRVDD1	数字电源	电源
D22	SERDOUT5N<1>	接口输出	输出
D23	SERDOUT7N<1>	接口输出	输出
D24	DRVDD2	数字电源	电源
D25	DRVDD1	数字电源	电源
D26	SERDOUT1N<0>	接口输出	输出
D27	SERDOUT3N<0>	接口输出	输出
D28	DRVDD2	数字电源	电源
D29	DRVDD1	数字电源	电源
D30	SERDOUT5N<0>	接口输出	输出
D31	SERDOUT7N<0>	接口输出	输出
E1	DRVDD1	数字电源	电源
E2	DRVDD2	数字电源	电源
E3	DRGND	接口地	地
E4	DRGND	接口地	地
E5	DRVDD1	数字电源	电源
E6	DRVDD2	数字电源	电源
E7	DRGND	接口地	地
E8	DRGND	接口地	地
E9	DRVDD1	数字电源	电源
E10	DRVDD2	数字电源	电源
E11	DRGND	接口地	地
E12	DRGND	接口地	地
E13	DRVDD1	数字电源	电源
E14	DRVDD2	数字电源	电源
E15	DRGND	接口地	地
E16	DRVDD1	数字电源	电源
E17	DRGND	接口地	地
E18	DRVDD2	数字电源	电源
E19	DRVDD1	数字电源	电源
E20	DRGND	接口地	地

引出端序号	符号	功能	信号类型
E21	DRGND	接口地	地
E22	DRVDD2	数字电源	电源
E23	DRVDD1	数字电源	电源
E24	DRGND	接口地	地
E25	DRGND	接口地	地
E26	DRVDD2	数字电源	电源
E27	DRVDD1	数字电源	电源
E28	DRGND	接口地	地
E29	DRGND	接口地	地
E30	DRVDD2	数字电源	电源
E31	DRVDD1	数字电源	电源
F1	DGND	数字地	地
F2	DVDD	数字电源	电源
F3	REFCLK_P<3>	预留时钟输入	输入
F4	REFCLK_N<3>	预留时钟输入	输入
F5	DGND	数字地	地
F6	DVDD	数字电源	电源
F7	RREF<3>	预留	输入
F8	ATST_SERDES<3>	预留	测试
F9	DGND	数字地	地
F10	DVDD	数字电源	电源
F11	REFCLK_P<2>	预留时钟输入	输入
F12	REFCLK_N<2>	预留时钟输入	输入
F13	DGND	数字地	地
F14	DVDD	数字电源	电源
F15	RREF<2>	预留	输入
F16	ATST_SERDES<2>	预留	测试
F17	ATST_SERDES<1>	预留	测试
F18	RREF<1>	预留	输入
F19	DGND	数字地	地
F20	REFCLK_N<1>	预留时钟输入	输入
F21	REFCLK_P<1>	预留时钟输入	输入
F22	DVDD	数字电源	电源

引出端序号	符号	功能	信号类型
F23	DGND	数字地	地
F24	ATST_SERDES<0>	预留	测试
F25	RREF<0>	预留	输入
F26	DVDD	数字电源	电源
F27	DGND	数字地	地
F28	REFCLK_N<0>	预留时钟输入	输入
F29	REFCLK_P<0>	预留时钟输入	输入
F30	DVDD	数字电源	电源
F31	DGND	数字地	地
G1	DVDD	数字电源	电源
G2	DGND	数字地	地
G3	DVDD	数字电源	电源
G4	DGND	数字地	地
G5	DVDD	数字电源	电源
G6	DGND	数字地	地
G7	DVDD	数字电源	电源
G8	DGND	数字地	地
G9	DVDD	数字电源	电源
G10	DGND	数字地	地
G11	DVDD	数字电源	电源
G12	DGND	数字地	地
G13	DVDD	数字电源	电源
G14	DGND	数字地	地
G15	DVDD	数字电源	电源
G16	DTST_DIG<1>	预留	测试
G17	DTST_DIG<0>	预留	测试
G18	DGND	数字地	地
G19	DVDD	数字电源	电源
G20	DGND	数字地	地
G21	DVDD	数字电源	电源
G22	DGND	数字地	地
G23	DVDD	数字电源	电源
G24	DGND	数字地	地

引出端序号	符号	功能	信号类型
G25	DVDD	数字电源	电源
G26	DGND	数字地	地
G27	DVDD	数字电源	电源
G28	DGND	数字地	地
G29	DVDD	数字电源	电源
G30	DGND	数字地	地
G31	DVDD	数字电源	电源
H1	DGND	数字地	地
H2	DVDD	数字电源	电源
H3	DGND	数字地	地
H4	DVDD	数字电源	电源
H5	DGND	数字地	地
H6	DVDD	数字电源	电源
H7	DGND	数字地	地
H8	DVDD	数字电源	电源
H9	DGND	数字地	地
H10	DVDD	数字电源	电源
H11	DGND	数字地	地
H12	DVDD	数字电源	电源
H13	DGND	数字地	地
H14	DVDD	数字电源	电源
H15	DGND	数字地	地
H16	VDDQ	数字电源	电源
H17	DGND	数字地	地
H18	DVDD	数字电源	电源
H19	DGND	数字地	地
H20	DVDD	数字电源	电源
H21	DGND	数字地	地
H22	DVDD	数字电源	电源
H23	DGND	数字地	地
H24	DVDD	数字电源	电源
H25	DGND	数字地	地
H26	DVDD	数字电源	电源

引出端序号	符号	功能	信号类型
H27	DGND	数字地	地
H28	DVDD	数字电源	电源
H29	DGND	数字地	地
H30	DVDD	数字电源	电源
H31	DGND	数字地	地
J1	DVDD	数字电源	电源
J2	DGND	数字地	地
J3	DVDD	数字电源	电源
J4	DGND	数字地	地
J5	DVDD	数字电源	电源
J6	DGND	数字地	地
J7	DVDD	数字电源	电源
J8	DGND	数字地	地
J9	DVDD	数字电源	电源
J10	DGND	数字地	地
J11	DVDD	数字电源	电源
J12	DGND	数字地	地
J13	DVDD	数字电源	电源
J14	DGND	数字地	地
J15	DVDD	数字电源	电源
J16	DGND	数字地	地
J17	DVDD	数字电源	电源
J18	DGND	数字地	地
J19	DVDD	数字电源	电源
J20	DGND	数字地	地
J21	DVDD	数字电源	电源
J22	DGND	数字地	地
J23	DVDD	数字电源	电源
J24	DGND	数字地	地
J25	DVDD	数字电源	电源
J26	DGND	数字地	地
J27	DVDD	数字电源	电源
J28	DGND	数字地	地

引出端序号	符号	功能	信号类型
J29	DVDD	数字电源	电源
J30	DGND	数字地	地
J31	DVDD	数字电源	电源
K1	DGND	数字地	地
K2	DVDD	数字电源	电源
K3	DGND	数字地	地
K4	DVDD	数字电源	电源
K5	DGND	数字地	地
K6	DVDD	数字电源	电源
K7	DGND	数字地	地
K8	DVDD	数字电源	电源
K9	DGND	数字地	地
K10	DVDD	数字电源	电源
K11	DGND	数字地	地
K12	DVDD	数字电源	电源
K13	DGND	数字地	地
K14	DVDD	数字电源	电源
K15	DGND	数字地	地
K16	DVDD	数字电源	电源
K17	DGND	数字地	地
K18	DVDD	数字电源	电源
K19	DGND	数字地	地
K20	DVDD	数字电源	电源
K21	DGND	数字地	地
K22	DVDD	数字电源	电源
K23	DGND	数字地	地
K24	DVDD	数字电源	电源
K25	DGND	数字地	地
K26	DVDD	数字电源	电源
K27	DGND	数字地	地
K28	DVDD	数字电源	电源
K29	DGND	数字地	地
K30	DVDD	数字电源	电源

引出端序号	符号	功能	信号类型
K31	DGND	数字地	地
L1	DVDD	数字电源	电源
L2	DGND	数字地	地
L3	DVDD	数字电源	电源
L4	DGND	数字地	地
L5	DVDD	数字电源	电源
L6	DGND	数字地	地
L7	DVDD	数字电源	电源
L8	DGND	数字地	地
L9	DVDD	数字电源	电源
L10	DGND	数字地	地
L11	DVDD	数字电源	电源
L12	DGND	数字地	地
L13	DVDD	数字电源	电源
L14	DGND	数字地	地
L15	DVDD	数字电源	电源
L16	DGND	数字地	地
L17	DVDD	数字电源	电源
L18	DGND	数字地	地
L19	DVDD	数字电源	电源
L20	DGND	数字地	地
L21	DVDD	数字电源	电源
L22	DGND	数字地	地
L23	DVDD	数字电源	电源
L24	DGND	数字地	地
L25	DVDD	数字电源	电源
L26	DGND	数字地	地
L27	DVDD	数字电源	电源
L28	DGND	数字地	地
L29	DVDD	数字电源	电源
L30	DGND	数字地	地
L31	DVDD	数字电源	电源
M1	DGND	数字地	地

引出端序号	符号	功能	信号类型
M2	DVDD	数字电源	电源
M3	DGND	数字地	地
M4	DVDD	数字电源	电源
M5	DGND	数字地	地
M6	DVDD	数字电源	电源
M7	DGND	数字地	地
M8	DVDD	数字电源	电源
M9	DGND	数字地	地
M10	DVDD	数字电源	电源
M11	DGND	数字地	地
M12	DVDD	数字电源	电源
M13	DGND	数字地	地
M14	DVDD	数字电源	电源
M15	DGND	数字地	地
M16	DVDD	数字电源	电源
M17	DGND	数字地	地
M18	DVDD	数字电源	电源
M19	DGND	数字地	地
M20	DVDD	数字电源	电源
M21	DGND	数字地	地
M22	DVDD	数字电源	电源
M23	DGND	数字地	地
M24	DVDD	数字电源	电源
M25	DGND	数字地	地
M26	DVDD	数字电源	电源
M27	DGND	数字地	地
M28	DVDD	数字电源	电源
M29	DGND	数字地	地
M30	DVDD	数字电源	电源
M31	DGND	数字地	地
N1	DVDD	数字电源	电源
N2	DGND	数字地	地
N3	DVDD	数字电源	电源

引出端序号	符号	功能	信号类型
N4	DGND	数字地	地
N5	DVDD	数字电源	电源
N6	DGND	数字地	地
N7	DVDD	数字电源	电源
N8	DGND	数字地	地
N9	DVDD	数字电源	电源
N10	DGND	数字地	地
N11	DVDD	数字电源	电源
N12	DGND	数字地	地
N13	DVDD	数字电源	电源
N14	DGND	数字地	地
N15	DVDD	数字电源	电源
N16	DGND	数字地	地
N17	DVDD	数字电源	电源
N18	DGND	数字地	地
N19	DVDD	数字电源	电源
N20	DGND	数字地	地
N21	DVDD	数字电源	电源
N22	DGND	数字地	地
N23	DVDD	数字电源	电源
N24	DGND	数字地	地
N25	DVDD	数字电源	电源
N26	DGND	数字地	地
N27	DVDD	数字电源	电源
N28	DGND	数字地	地
N29	DVDD	数字电源	电源
N30	DGND	数字地	地
N31	DVDD	数字电源	电源
P1	DGND	数字地	地
P2	DVDD	数字电源	电源
P3	DGND	数字地	地
P4	DVDD	数字电源	电源
P5	DGND	数字地	地

引出端序号	符号	功能	信号类型
P6	DVDD	数字电源	电源
P7	DGND	数字地	地
P8	DVDD	数字电源	电源
P9	DGND	数字地	地
P10	DVDD	数字电源	电源
P11	DGND	数字地	地
P12	DVDD	数字电源	电源
P13	DGND	数字地	地
P14	DVDD	数字电源	电源
P15	DGND	数字地	地
P16	DVDD	数字电源	电源
P17	DGND	数字地	地
P18	DVDD	数字电源	电源
P19	DGND	数字地	地
P20	DVDD	数字电源	电源
P21	DGND	数字地	地
P22	DVDD	数字电源	电源
P23	DGND	数字地	地
P24	DVDD	数字电源	电源
P25	DGND	数字地	地
P26	DVDD	数字电源	电源
P27	DGND	数字地	地
P28	DVDD	数字电源	电源
P29	DGND	数字地	地
P30	DVDD	数字电源	电源
P31	DGND	数字地	地
R1	DVDD	数字电源	电源
R2	DGND	数字地	地
R3	DVDD	数字电源	电源
R4	DGND	数字地	地
R5	DVDD	数字电源	电源
R6	DGND	数字地	地
R7	DVDD	数字电源	电源

引出端序号	符号	功能	信号类型
R8	DGND	数字地	地
R9	DVDD	数字电源	电源
R10	DGND	数字地	地
R11	DVDD	数字电源	电源
R12	DGND	数字地	地
R13	DVDD	数字电源	电源
R14	DGND	数字地	地
R15	DVDD	数字电源	电源
R16	DGND	数字地	地
R17	DVDD	数字电源	电源
R18	DGND	数字地	地
R19	DVDD	数字电源	电源
R20	DGND	数字地	地
R21	DVDD	数字电源	电源
R22	DGND	数字地	地
R23	DVDD	数字电源	电源
R24	DGND	数字地	地
R25	DVDD	数字电源	电源
R26	DGND	数字地	地
R27	DVDD	数字电源	电源
R28	DGND	数字地	地
R29	DVDD	数字电源	电源
R30	DGND	数字地	地
R31	DVDD	数字电源	电源
T1	DGND	数字地	地
T2	RST_EXT	预留	输入
T3	DGND	数字地	地
T4	DVDD	数字电源	电源
T5	DGND	数字地	地
T6	DVDD	数字电源	电源
T7	DGND	数字地	地
T8	DVDD	数字电源	电源
T9	DGND	数字地	地

引出端序号	符号	功能	信号类型
T10	DVDD	数字电源	电源
T11	DGND	数字地	地
T12	DVDD	数字电源	电源
T13	DGND	数字地	地
T14	DVDD	数字电源	电源
T15	DGND	数字地	地
T16	DVDD	数字电源	电源
T17	DGND	数字地	地
T18	DVDD	数字电源	电源
T19	DGND	数字地	地
T20	DVDD	数字电源	电源
T21	DGND	数字地	地
T22	DVDD	数字电源	电源
T23	DGND	数字地	地
T24	DVDD	数字电源	电源
T25	DGND	数字地	地
T26	DVDD	数字电源	电源
T27	DGND	数字地	地
T28	DVDD	数字电源	电源
T29	DGND	数字地	地
T30	SDO	SPI 接口	输出
T31	SDI	SPI 接口	输入
U1	EXT_CLK_SEL	时钟 EXT_CLK 使能端口，配置为 0，外部提供 EXT_CLK	输入
U2	EXT_CLK	数字时钟， 频率 25MHz~100MHz	输入
U3	DVDD	数字电源	电源
U4	DGND	数字地	地
U5	DVDD	数字电源	电源
U6	DGND	数字地	地
U7	DVDD	数字电源	电源
U8	DGND	数字地	地
U9	DVDD	数字电源	电源
U10	DGND	数字地	地

引出端序号	符号	功能	信号类型
U11	DVDD	数字电源	电源
U12	DGND	数字地	地
U13	DVDD	数字电源	电源
U14	DGND	数字地	地
U15	DVDD	数字电源	电源
U16	DGND	数字地	地
U17	DVDD	数字电源	电源
U18	DGND	数字地	地
U19	DVDD	数字电源	电源
U20	DGND	数字地	地
U21	DVDD	数字电源	电源
U22	DGND	数字地	地
U23	DVDD	数字电源	电源
U24	DGND	数字地	地
U25	DVDD	数字电源	电源
U26	DGND	数字地	地
U27	DVDD	数字电源	电源
U28	DGND	数字地	地
U29	DVDD	数字电源	电源
U30	SCB	SPI 接口	输入
U31	DTST	预留	测试
V1	VDDIO	IO 电源	电源
V2	PWDN	POWER DOWN 控制管脚，高使能	输入
V3	DGND	数字地	地
V4	DVDD	数字电源	电源
V5	DGND	数字地	地
V6	DVDD	数字电源	电源
V7	DGND	数字地	地
V8	DVDD	数字电源	电源
V9	DGND	数字地	地
V10	DVDD	数字电源	电源
V11	DGND	数字地	地

引出端序号	符号	功能	信号类型
V12	DVDD	数字电源	电源
V13	DGND	数字地	地
V14	DVDD	数字电源	电源
V15	DGND	数字地	地
V16	DVDD	数字电源	电源
V17	DGND	数字地	地
V18	DVDD	数字电源	电源
V19	DGND	数字地	地
V20	DVDD	数字电源	电源
V21	DGND	数字地	地
V22	DVDD	数字电源	电源
V23	DGND	数字地	地
V24	DVDD	数字电源	电源
V25	DGND	数字地	地
V26	DVDD	数字电源	电源
V27	DGND	数字地	地
V28	DVDD	数字电源	电源
V29	DGND	数字地	地
V30	SCLK	SPI 接口	输入
V31	VDDIO	IO 电源	电源
W1	DVDD	数字电源	电源
W2	DGND	数字地	地
W3	DVDD	数字电源	电源
W4	DGND	数字地	地
W5	DVDD	数字电源	电源
W6	DGND	数字地	地
W7	DVDD	数字电源	电源
W8	DGND	数字地	地
W9	DVDD	数字电源	电源
W10	DGND	数字地	地
W11	DVDD	数字电源	电源
W12	DGND	数字地	地
W13	DVDD	数字电源	电源

引出端序号	符号	功能	信号类型
W14	DGND	数字地	地
W15	DVDD	数字电源	电源
W16	DGND	数字地	地
W17	DVDD	数字电源	电源
W18	DGND	数字地	地
W19	DVDD	数字电源	电源
W20	DGND	数字地	地
W21	DVDD	数字电源	电源
W22	DGND	数字地	地
W23	DVDD	数字电源	电源
W24	DGND	数字地	地
W25	DVDD	数字电源	电源
W26	DGND	数字地	地
W27	DVDD	数字电源	电源
W28	DGND	数字地	地
W29	DVDD	数字电源	电源
W30	DGND	数字地	地
W31	DVDD	数字电源	电源
Y1	VSS_MOAT	保护环地	地
Y2	AVDD	模拟电源	电源
Y3	VSS_MOAT	保护环地	地
Y4	AVDD	模拟电源	电源
Y5	VSS_MOAT	保护环地	地
Y6	AVDD	模拟电源	电源
Y7	VSS_MOAT	保护环地	地
Y8	AVDD	模拟电源	电源
Y9	VSS_MOAT	保护环地	地
Y10	AVDD	模拟电源	电源
Y11	VSS_MOAT	保护环地	地
Y12	AVDD	模拟电源	电源
Y13	VSS_MOAT	保护环地	地
Y14	AVDD	模拟电源	电源
Y15	VSS_MOAT	保护环地	地

引出端序号	符号	功能	信号类型
Y16	ATSTP	预留	测试
Y17	ATSTN	预留	测试
Y18	AVDD	模拟电源	电源
Y19	VSS_MOAT	保护环地	地
Y20	AVDD	模拟电源	电源
Y21	VSS_MOAT	保护环地	地
Y22	AVDD	模拟电源	电源
Y23	VSS_MOAT	保护环地	地
Y24	AVDD	模拟电源	电源
Y25	VSS_MOAT	保护环地	地
Y26	AVDD	模拟电源	电源
Y27	VSS_MOAT	保护环地	地
Y28	AVDD	模拟电源	电源
Y29	VSS_MOAT	保护环地	地
Y30	AVDD	模拟电源	电源
Y31	VSS_MOAT	保护环地	地
AA1	AVDD	模拟电源	电源
AA2	AGND	模拟地	地
AA3	AVDD	模拟电源	电源
AA4	AGND	模拟地	地
AA5	AVDD	模拟电源	电源
AA6	AGND	模拟地	地
AA7	AVDD	模拟电源	电源
AA8	AGND	模拟地	地
AA9	AVDD	模拟电源	电源
AA10	AGND	模拟地	地
AA11	AVDD	模拟电源	电源
AA12	AGND	模拟地	地
AA13	AVDD	模拟电源	电源
AA14	AGND	模拟地	地
AA15	AVDD	模拟电源	电源
AA16	SYSREF_N	同步信号	输入
AA17	SYSREF_P	同步信号	输入

引出端序号	符号	功能	信号类型
AA18	AGND	模拟地	地
AA19	AVDD	模拟电源	电源
AA20	AGND	模拟地	地
AA21	AVDD	模拟电源	电源
AA22	AGND	模拟地	地
AA23	AVDD	模拟电源	电源
AA24	AGND	模拟地	地
AA25	AVDD	模拟电源	电源
AA26	AGND	模拟地	地
AA27	AVDD	模拟电源	电源
AA28	AGND	模拟地	地
AA29	AVDD	模拟电源	电源
AA30	AGND	模拟地	地
AA31	AVDD	模拟电源	电源
AB1	AVDD	模拟电源	电源
AB2	AVDD25	模拟电源	电源
AB3	AVDD	模拟电源	电源
AB4	AVDD25	模拟电源	电源
AB5	AVSSFS8	模拟地	地
AB6	AVDD25	模拟电源	电源
AB7	AGND	模拟地	地
AB8	AVDD25	模拟电源	电源
AB9	AGND	模拟地	地
AB10	AVDD25	模拟电源	电源
AB11	AVSSFS8	模拟地	地
AB12	AVDD25	模拟电源	电源
AB13	AGND	模拟地	地
AB14	AVDD25	模拟电源	电源
AB15	AVDD	模拟电源	电源
AB16	AVDD25	模拟电源	电源
AB17	AVDDFS8	模拟电源	电源
AB18	AVDD25	模拟电源	电源
AB19	AGND	模拟地	地

引出端序号	符号	功能	信号类型
AB20	AVDD25	模拟电源	电源
AB21	AVSSFS8	模拟地	地
AB22	AVDD25	模拟电源	电源
AB23	AVDD	模拟电源	电源
AB24	AVDD25	模拟电源	电源
AB25	AGND	模拟地	地
AB26	AVDD25	模拟电源	电源
AB27	AVSSFS8	模拟地	地
AB28	AVDD25	模拟电源	电源
AB29	AVDD	模拟电源	电源
AB30	AVDD25	模拟电源	电源
AB31	AVDD	模拟电源	电源
AC1	AGND	模拟地	地
AC2	AVDD	模拟电源	电源
AC3	AGND	模拟地	地
AC4	AVDD	模拟电源	电源
AC5	AVDDFS8	模拟电源	电源
AC6	AGND	模拟地	地
AC7	AVDD	模拟电源	电源
AC8	AGND	模拟地	地
AC9	AVDD	模拟电源	电源
AC10	AGND	模拟地	地
AC11	AVDDFS8	模拟电源	电源
AC12	AVDD	模拟电源	电源
AC13	AVDD	模拟电源	电源
AC14	AGND	模拟地	地
AC15	AGND	模拟地	地
AC16	AVDD	模拟电源	电源
AC17	AVSSFS8	模拟地	地
AC18	AVDD	模拟电源	电源
AC19	AVDD	模拟电源	电源
AC20	AGND	模拟地	地
AC21	AVDDFS8	模拟电源	电源

引出端序号	符号	功能	信号类型
AC22	AVDD	模拟电源	电源
AC23	AGND	模拟地	地
AC24	AGND	模拟地	地
AC25	AVDD	模拟电源	电源
AC26	AGND	模拟地	地
AC27	AVDDFS8	模拟电源	电源
AC28	AGND	模拟地	地
AC29	AGND	模拟地	地
AC30	AVDD	模拟电源	电源
AC31	AGND	模拟地	地
AD1	CLK_P_CH4	预留时钟输入	输入
AD2	AGND	模拟地	地
AD3	AVDD	模拟电源	电源
AD4	AGND	模拟地	地
AD5	AGND	模拟地	地
AD6	AVDD	模拟电源	电源
AD7	AGND	模拟地	地
AD8	AVDD	模拟电源	电源
AD9	AGND	模拟地	地
AD10	AVDD	模拟电源	电源
AD11	AGND	模拟地	地
AD12	AGND	模拟地	地
AD13	AGND	模拟地	地
AD14	TMU_REFN	TMU 参考电压地	地
AD15	SYNCINB_N	接口同步	输入
AD16	SYNCINB_P	接口同步	输入
AD17	TMU_REFP	TMU 参考电压	电源
AD18	AGND	模拟地	地
AD19	AGND	模拟地	地
AD20	AVDD	模拟电源	电源
AD21	AGND	模拟地	地
AD22	AGND	模拟地	地
AD23	AVDD	模拟电源	电源

引出端序号	符号	功能	信号类型
AD24	AVDD	模拟电源	电源
AD25	AGND	模拟地	地
AD26	AVDD	模拟电源	电源
AD27	AVDD	模拟电源	电源
AD28	AVDD	模拟电源	电源
AD29	AVDD	模拟电源	电源
AD30	AGND	模拟地	地
AD31	CLK_N_CH1	预留时钟输入	输入
AE1	CLK_N_CH4	预留时钟输入	输入
AE2	AGND	模拟地	地
AE3	AVDD25	模拟电源	电源
AE4	AVDD	模拟电源	电源
AE5	AVDD25	模拟电源	电源
AE6	AGND	模拟地	地
AE7	AVDD	模拟电源	电源
AE8	AGND	模拟地	地
AE9	AVDD25	模拟电源	电源
AE10	AGND	模拟地	地
AE11	AVDD	模拟电源	电源
AE12	AVDD	模拟电源	电源
AE13	AVDD25	模拟电源	电源
AE14	VCMO	VCM 电源	电源
AE15	AVDD25	模拟电源	电源
AE16	SEL_POR_B	复位配置： 0-使能内部复位 1-使能外部复位 电压域是 AVDD	输入
AE17	AGND	模拟地	地
AE18	AVDD25	模拟电源	电源
AE19	AVDD	模拟电源	电源
AE20	AGND	模拟地	地
AE21	AVDD	模拟电源	电源
AE22	AVDD25	模拟电源	电源
AE23	AGND	模拟地	地

引出端序号	符号	功能	信号类型
AE24	AGND	模拟地	地
AE25	AGND	模拟地	地
AE26	AVDD25	模拟电源	电源
AE27	AGND	模拟地	地
AE28	AGND	模拟地	地
AE29	AVDD25	模拟电源	电源
AE30	AGND	模拟地	地
AE31	CLK_P_CH1	预留时钟输入	输入
AF1	AGND	模拟地	地
AF2	AVDD25	模拟电源	电源
AF3	AGND	模拟地	地
AF4	AGND	模拟地	地
AF5	AVDD	模拟电源	电源
AF6	AVDD25	模拟电源	电源
AF7	AGND	模拟地	地
AF8	AVDD25	模拟电源	电源
AF9	AVDD	模拟电源	电源
AF10	AVDD	模拟电源	电源
AF11	AGND	模拟地	地
AF12	AGND	模拟地	地
AF13	AVDD	模拟电源	电源
AF14	AVDD25	模拟电源	电源
AF15	AVDD	模拟电源	电源
AF16	AGND	模拟地	地
AF17	AVDD25	模拟电源	电源
AF18	AVDD	模拟电源	电源
AF19	AGND	模拟地	地
AF20	AVDD	模拟电源	电源
AF21	AGND	模拟地	地
AF22	AGND	模拟地	地
AF23	AVDD25	模拟电源	电源
AF24	AVDD	模拟电源	电源
AF25	AVDD25	模拟电源	电源

引出端序号	符号	功能	信号类型
AF26	AGND	模拟地	地
AF27	AVDD	模拟电源	电源
AF28	AVDD	模拟电源	电源
AF29	AGND	模拟地	地
AF30	AVDD25	模拟电源	电源
AF31	AGND	模拟地	地
AG1	AVDD	模拟电源	电源
AG2	AGND	模拟地	地
AG3	AVDD	模拟电源	电源
AG4	AVDD	模拟电源	电源
AG5	AGND	模拟地	地
AG6	AGND	模拟地	地
AG7	AVDD	模拟电源	电源
AG8	AVDD	模拟电源	电源
AG9	AGND	模拟地	地
AG10	AGND	模拟地	地
AG11	AVDD	模拟电源	电源
AG12	AVDD	模拟电源	电源
AG13	AGND	模拟地	地
AG14	AVDD	模拟电源	电源
AG15	AGND	模拟地	地
AG16	AVDD	模拟电源	电源
AG17	AVDD	模拟电源	电源
AG18	AGND	模拟地	地
AG19	AVDD	模拟电源	电源
AG20	AGND	模拟地	地
AG21	AVDD	模拟电源	电源
AG22	AVDD	模拟电源	电源
AG23	AGND	模拟地	地
AG24	AGND	模拟地	地
AG25	AVDD	模拟电源	电源
AG26	AVDD	模拟电源	电源
AG27	AGND	模拟地	地

引出端序号	符号	功能	信号类型
AG28	AGND	模拟地	地
AG29	AVDD	模拟电源	电源
AG30	AVDD	模拟电源	电源
AG31	AGND	模拟地	地
AH1	AGND	模拟地	地
AH2	AVDD	模拟电源	电源
AH3	AGND	模拟地	地
AH4	AGND	模拟地	地
AH5	AVDD	模拟电源	电源
AH6	AVDD	模拟电源	电源
AH7	AGND	模拟地	地
AH8	AGND	模拟地	地
AH9	AVDD	模拟电源	电源
AH10	AVDD	模拟电源	电源
AH11	AGND	模拟地	地
AH12	AGND	模拟地	地
AH13	AVDD	模拟电源	电源
AH14	AGND	模拟地	地
AH15	AVDD	模拟电源	电源
AH16	AGND	模拟地	地
AH17	AGND	模拟地	地
AH18	AVDD	模拟电源	电源
AH19	AGND	模拟地	地
AH20	AVDD	模拟电源	电源
AH21	AGND	模拟地	地
AH22	AGND	模拟地	地
AH23	AVDD	模拟电源	电源
AH24	AVDD	模拟电源	电源
AH25	AGND	模拟地	地
AH26	AGND	模拟地	地
AH27	AVDD	模拟电源	电源
AH28	AVDD	模拟电源	电源
AH29	AGND	模拟地	地

引出端序号	符号	功能	信号类型
AH30	AGND	模拟地	地
AH31	AVDD	模拟电源	电源
AJ1	AVDD	模拟电源	电源
AJ2	AGND	模拟地	地
AJ3	VIN_P_4	ADC 输入	输入
AJ4	VIN_N_4	ADC 输入	输入
AJ5	AGND	模拟地	地
AJ6	AGND	模拟地	地
AJ7	CLK_P_CH3	预留时钟输入	输入
AJ8	CLK_N_CH3	预留时钟输入	输入
AJ9	AGND	模拟地	地
AJ10	AGND	模拟地	地
AJ11	VIN_P_3	ADC 输入	输入
AJ12	VIN_N_3	ADC 输入	输入
AJ13	AGND	模拟地	地
AJ14	AVDD	模拟电源	电源
AJ15	AGND	模拟地	地
AJ16	CLK_P	时钟输入	输入
AJ17	CLK_N	时钟输入	输入
AJ18	AGND	模拟地	地
AJ19	AVDD	模拟电源	电源
AJ20	AGND	模拟地	地
AJ21	VIN_N_2	ADC 输入	输入
AJ22	VIN_P_2	ADC 输入	输入
AJ23	AGND	模拟地	地
AJ24	AGND	模拟地	地
AJ25	CLK_N_CH2	预留时钟输入	输入
AJ26	CLK_P_CH2	预留时钟输入	输入
AJ27	AGND	模拟地	地
AJ28	AGND	模拟地	地
AJ29	VIN_N_1	ADC 输入	输入
AJ30	VIN_P_1	ADC 输入	输入
AJ31	AGND	模拟地	地

4.2 焊盘推荐

HWD12B16GA4PBGA899M3焊盘推荐如图5所示，用户可根据焊接要求进行调整。

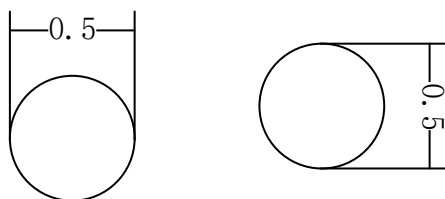


图 5 推荐焊盘图

4.3 焊接推荐

HWD12B16GA4PBGA899M3焊接条件可参见表2的规定，其推荐焊接温度曲线如图6所示。

表 2 焊接条件

步 骤	条 件
预热区	
最高温度	150℃
25℃ 升至 150℃ 的时间	60s~120s
保温区	
保温区温度	150℃~179℃
温变率	最大 3℃/s
再流区	
再流时间	30s~60s
再流区温度	179℃
峰值温度	205℃~220℃
峰值温度保持时间	6s~10s
冷却区	30s~60s

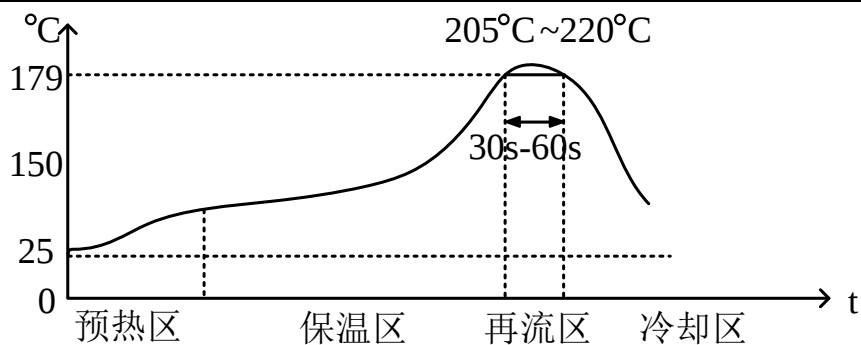


图 6 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	电源电压 (AVDD, DVDD, DRVDD1, AVDDFS8)	-0.5V~1.1V
2	电源电压 (AVDD25, DRVDD2, TMU_REFP, VDDIO)	-0.5V~2.75V
3	结温 (TJ)	125℃
4	引线焊接温度 (Th)	265℃
5	贮存温度范围 (Tstg)	-65℃~150℃

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	电源电压 (AVDD, DVDD, DRVDD1, AVDDFS8)	0.95V~1.10V
2	电源电压 (AVDD25, DRVDD2, TMU_REFP, VDDIO)	2.25V~2.75V
3	工作环境温度 (TA)	-55℃~125℃

6 电特性参数

该电特性指标为该系列产品能达到的最佳指标，不同的质量等级及封装形式略有不同，具体见对应的详细规范。

6.1 技术规格

除非另有规定，DVDD = AVDD = DRVDD1 = AVDDFS8 = 1.0V，AVDD25 = DRVDD2 = TMU_REFP = 2.5V，额定最大采样速率，AIN = -1.0dBFS。

表 3 规格指标

参数	温度	HWD12B16GA4PBGA899M3			单位
		最小值	典型值	最大值	
速率等级	—	16			GPS
分辨率	—	12			位
通道数	—	4			—
精度					
无失码	室温	保证			
失调误差	室温	-20	0	20	LSB
增益误差	室温	-15	0	15	%FSR

参数	温度	HWD12B16GA4PBGA899M3			单位
		最小值	典型值	最大值	
差分非线性 (DNL)	室温		± 2		LSB
积分非线性 (INL)	室温		± 4		LSB
模拟输入					
差分输入电压范围	室温		0.8		V _{pp}
电阻 (差分)	室温		50		Ω
电容	室温		0.8		pF
内部共模电压 (V _{cm})	室温		0.7		V
全功率模拟带宽	室温		10		GHz
折合到输入端噪声	室温		1.5		LSB _{RMS}
电源					
AVDD	室温	0.95	1.1	1.2	V
DVDD	室温	0.95	1.0	1.1	V
DRVDD1	室温	0.95	1.0	1.1	V
AVDDFS8	室温	0.95	1.0	1.1	V
AVDD25	室温	2.43	2.5	2.57	V
DRVDD2	室温	2.43	2.5	2.57	V
VDDIO	室温	2.43	2.5	2.57	V
TMU_REFP	室温	2.43	2.5	2.57	V
I _{AVDD}	室温		3.57		A
I _{DVDD}	室温		2.48		A
I _{DRVDD1}	室温		1.3		A
I _{AVDDFS8}	室温		40		mA
I _{AVDD25}	室温		2.8		A
I _{DRVDD2}	室温		1		A
I _{TMU_REFP}	室温		10		mA
I _{VDDIO}	室温		10		mA
功耗 ¹	室温		18		W

注 1: 表中 POWER 是四通道功耗, 包含模拟、数字和 204C 接口总功耗。

6.1.1 交流规格

除非另有规定, DVDD = AVDD = DRVDD1 = AVDDFS8 = 1.0V, AVDD25 = DRVDD2 = TMU_REFP = 2.5V。

表 4 ADC 性能 (f_s=16GSPS)

参数	典型值	单位
----	-----	----

	AIN = -3 dBFS	AIN = -7 dBFS	
采样率	16		GPS
噪声密度 (NSD)			
At 812 MHz, -3 dBFS	-153.9		dBFS/Hz
At 812 MHz, -7 dBFS	-154.0		dBFS/Hz
信噪比 (SNR)			
fIN = 812 MHz	54.78	54.95	dBFS
fIN = 1812 MHz	54.26	54.73	dBFS
fIN = 3312 MHz	53.19	54.33	dBFS
fIN = 4012 MHz	52.79	54.14	dBFS
fIN = 5602 MHz	51.32	53.10	dBFS
fIN = 6102 MHz	50.99	52.91	dBFS
fIN = 6602 MHz	50.66	52.69	dBFS
fIN = 7412 MHz	49.71	52.17	dBFS
fIN = 7812 MHz	49.24	52.05	dBFS
fIN = 8512 MHz	47.75	51.50	dBFS
信纳比 (SINAD)			
fIN = 812 MHz	53.80	54.40	dBFS
fIN = 1812 MHz	52.48	54.25	dBFS
fIN = 3312 MHz	50.91	53.29	dBFS
fIN = 4012 MHz	50.23	52.52	dBFS
fIN = 5602 MHz	49.33	51.81	dBFS
fIN = 6102 MHz	49.58	51.63	dBFS
fIN = 6602 MHz	47.74	51.00	dBFS
fIN = 7412 MHz	48.07	51.02	dBFS
fIN = 7812 MHz	48.20	51.33	dBFS
fIN = 8512 MHz	45.86	49.97	dBFS
有效位数 (ENOB)			
fIN = 812 MHz	8.64	8.74	Bits
fIN = 1812 MHz	8.42	8.72	Bits
fIN = 3312 MHz	8.16	8.56	Bits
fIN = 4012 MHz	8.05	8.43	Bits
fIN = 5602 MHz	7.90	8.31	Bits
fIN = 6102 MHz	7.94	8.28	Bits

参数	典型值		单位
	AIN = -3 dBFS	AIN = -7 dBFS	
fIN = 6602 MHz	7.64	8.18	Bits
fIN = 7412 MHz	7.69	8.18	Bits
fIN = 7812 MHz	7.71	8.23	Bits
fIN = 8512 MHz	7.32	8.01	Bits
无杂散动态范围 (SFDR)			
fIN = 812 MHz	66.13	70.60	dBFS
fIN = 1812 MHz	58.81	70.68	dBFS
fIN = 3312 MHz	58.29	67.52	dBFS
fIN = 4012 MHz	61.01	64.39	dBFS
fIN = 5602 MHz	58.60	64.78	dBFS
fIN = 6102 MHz	62.47	63.02	dBFS
fIN = 6602 MHz	57.48	62.34	dBFS
fIN = 7412 MHz	58.11	64.34	dBFS
fIN = 7812 MHz	60.90	69.63	dBFS
fIN = 8512 MHz	55.88	62.48	dBFS
二阶谐波 (H2)			
fIN = 812 MHz	73.61	80.90	dBFS
fIN = 1812 MHz	70.86	77.16	dBFS
fIN = 3312 MHz	78.54	84.04	dBFS
fIN = 4012 MHz	70.98	80.45	dBFS
fIN = 5602 MHz	58.60	67.47	dBFS
fIN = 6102 MHz	66.06	74.53	dBFS
fIN = 6602 MHz	58.85	67.44	dBFS
fIN = 7412 MHz	63.41	72.28	dBFS
fIN = 7812 MHz	66.79	75.03	dBFS
fIN = 8512 MHz	55.88	65.58	dBFS
三阶谐波 (H3)			
fIN = 812 MHz	66.13	73.85	dBFS
fIN = 1812 MHz	58.81	70.97	dBFS
fIN = 3312 MHz	58.29	67.58	dBFS
fIN = 4012 MHz	65.74	72.35	dBFS
fIN = 5602 MHz	69.76	64.78	dBFS

参数	典型值		单位
	AIN = -3 dBFS	AIN = -7 dBFS	
f _{IN} = 6102 MHz	68.02	70.92	dBFS
f _{IN} = 6602 MHz	67.15	72.55	dBFS
f _{IN} = 7412 MHz	68.40	70.16	dBFS
f _{IN} = 7812 MHz	65.79	76.08	dBFS
f _{IN} = 8512 MHz	65.85	73.17	dBFS
最差其他杂散(不包括二次和三次谐波)			
f _{IN} = 812 MHz	67.27	70.60	dBFS
f _{IN} = 1812 MHz	68.72	70.68	dBFS
f _{IN} = 3312 MHz	63.27	67.52	dBFS
f _{IN} = 4012 MHz	61.01	64.39	dBFS
f _{IN} = 5602 MHz	63.15	67.17	dBFS
f _{IN} = 6102 MHz	62.47	63.02	dBFS
f _{IN} = 6602 MHz	57.48	62.34	dBFS
f _{IN} = 7412 MHz	58.11	64.34	dBFS
f _{IN} = 7812 MHz	60.90	69.63	dBFS
f _{IN} = 8512 MHz	56.74	62.48	dBFS

6.1.2 数字规格

除非另有规定, DVDD = AVDD = DRVDD1 = AVDDFS8 = 1.0V, AVDD25 = DRVDD2 = TMU_REFP = 2.5V。

额定最大采样速率, AIN = -1.0dBFS。

表 5 数字规格

参数	温度	典型值	单位
时钟输入			
差分输入电压	室温	1000	mV _{pp}
共模输入电压	室温	0.675	V
输入电阻(差分)	室温	98	Ω
输入电容	室温	0.9	pF
SYSREF 输入(SYSREF±)			
差分输入电压	室温	1000	mV _{pp}
共模输入电压	室温	1	V
输入电阻(差分)	室温	97	Ω
输入电容	室温	0.5	pF

参数	温度	典型值	单位
逻辑输入 (SDI, SD0, SCLK, SCB, EXT_CLK, SEL_CLK)			
逻辑兼容	室温	CMOS	
电压 逻辑 1	室温	$>0.7 \times V_{DDIO}$	V
电压 逻辑 0	室温	$<0.3 \times V_{DDIO}$	V
输入电阻	室温	44	K Ω
输入电容	室温	1.5	pF
SYNCINB $\pm$ 输入			
逻辑兼容	室温	CML	
电压	室温	1000	mV
输入电阻(差分)	室温	136	K Ω
输入电容	室温	1	pF
逻辑输出 (SDI, SD0, SCLK)			
逻辑兼容	室温	CMOS	
电压 逻辑 1	室温	$>V_{DDIO}-0.45$	V
电压 逻辑 0	室温	<0.45	V
复位 (RST_EXT)			
电压 逻辑 1	室温	$>0.7 \times V_{DDIO}$	V
电压 逻辑 0	室温	$<0.3 \times V_{DDIO}$	V
输入电阻(差分)	室温	44	K Ω
输入电容	室温	1.5	pF

6.1.3 开关规格

除非另有规定, $DVDD = AVDD = DRVDD1 = AVDDFS8 = 1.0V$, $AVDD25 = DRVDD2 = TMU_REFP = 2.5V$ 。

额定最大采样速率, $A_{IN} = -1.0dBFS$ 。

表 6 开关规格

参数	温度	最小值	典型值	最大值	单位
时钟 (CLK)					
时钟速率	室温		16		GSPS
时钟占空比	室温	45	50	55	%占空比
延迟 (Latency)					
流水线延迟	室温		654		时钟周期
SYSREF (SYSREF $\pm$)					
建立时间	室温		-65		ps

参数	温度	最小值	典型值	最大值	单位
保持时间	室温		95		ps
输出参数 (Serdout)					
上升时间	室温		8		ps
下降时间	室温		8		ps
线速率	室温		24		Gbps
孔径					
延迟	室温		120		ps
不确定 (抖动)	室温		100		(fs) rms

6.1.4 时序规格

表 7 时序规格

参数	测试条件/注释	最小值	典型值	最大值	单位
SPI 时序要求					
Tds	数据与 SCLK 上升沿之间的建立时间	8			ns
Tdh	数据与 SCLK 上升沿之间的保持时间	8			ns
Tclk	SCLK 周期	100			ns
Ts	SCB 与 SCLK 之间的建立时间	4			ns
Th	SCB 与 SCLK 之间的保持时间	4			ns
Thigh	SCLK 应处于逻辑高电平状态的最短时间	20			ns
Tlow	SCLK 应处于逻辑低电平状态的最短时间	20			ns
Taccess	SCLK 下降沿和读指令输出有效数据之间的最大延迟时间		12	20	ns

6.1.4.1 时序图

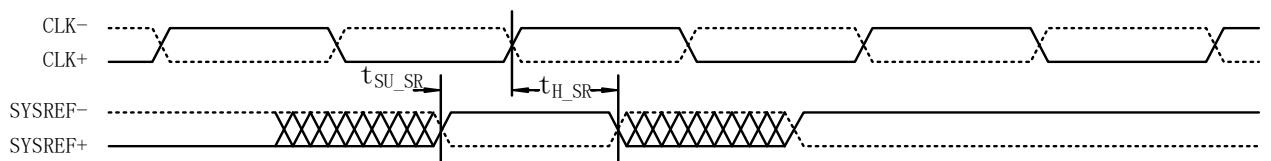


图 7 SYSREF±建立和保持时间

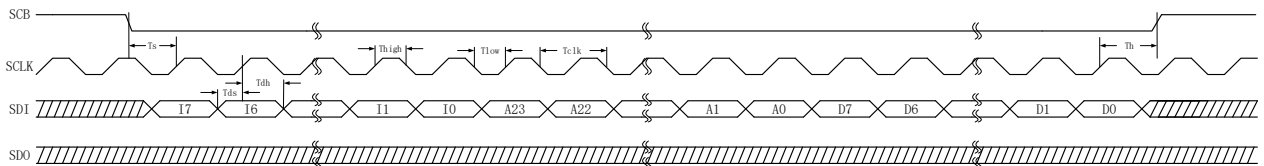


图 8 串行接口时序图 (MSB 优先)

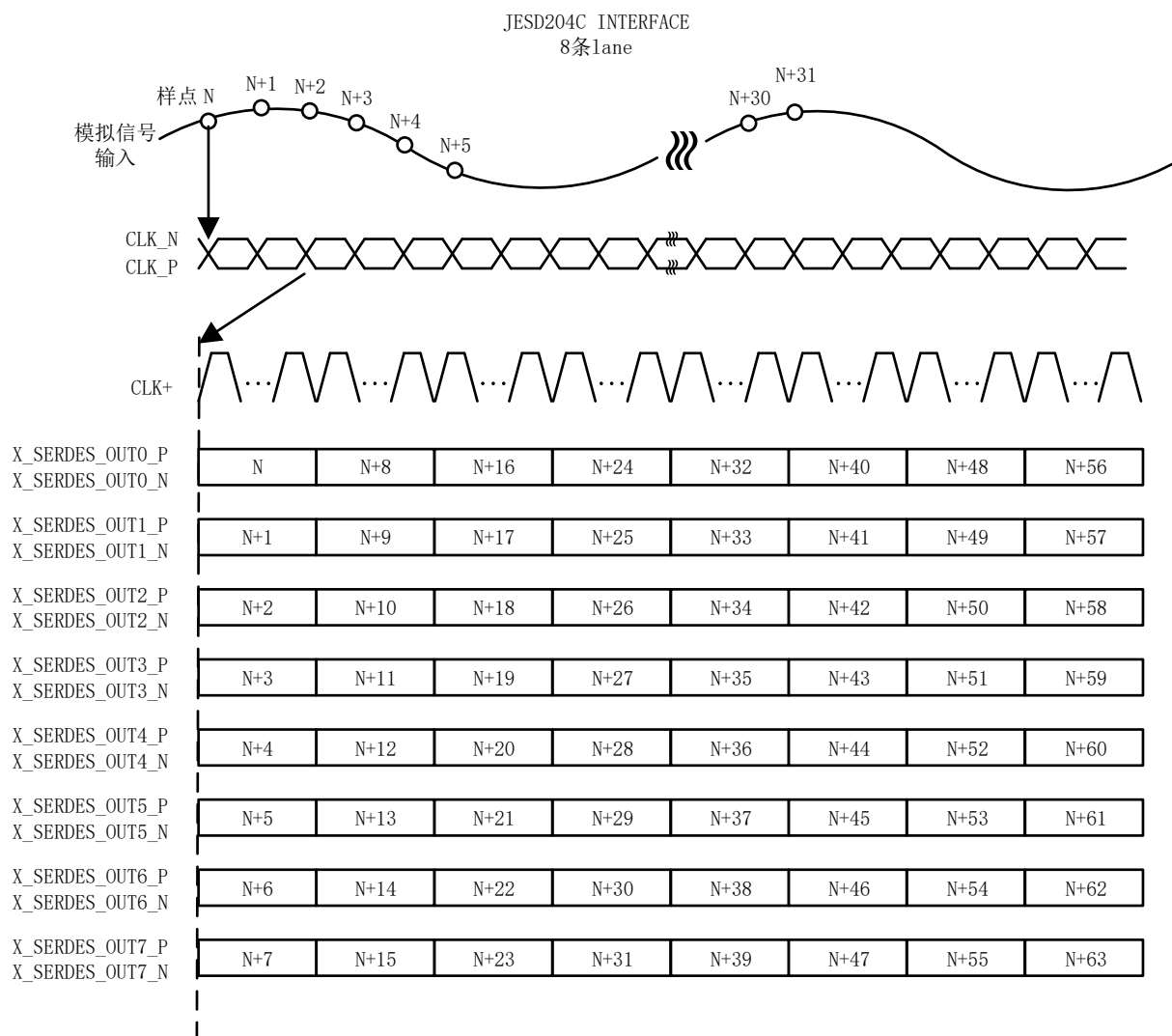


图9 单通道 8 LANE 数据输出图

6.2 典型性能曲线

测试条件: AVDD = 1V, DVDD = 1V, FS = 16GSPS, 室温, 信号差分输入, 40K FFT。

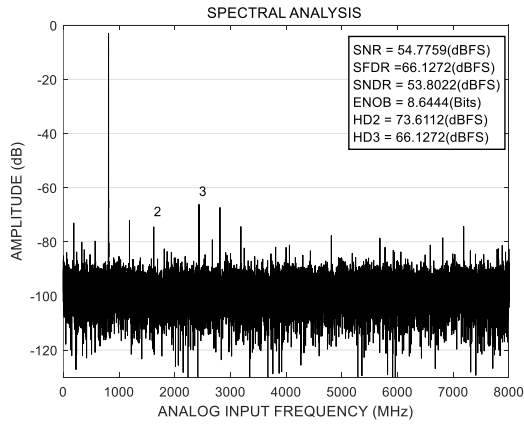


图 10 FFT at $f_{IN}=812\text{MHz}$, -3dBFS , 16GSPS

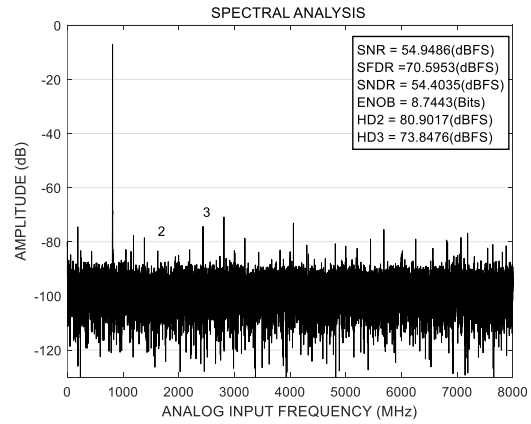


图 11 FFT at $f_{IN}=812\text{MHz}$, -7dBFS , 16GSPS

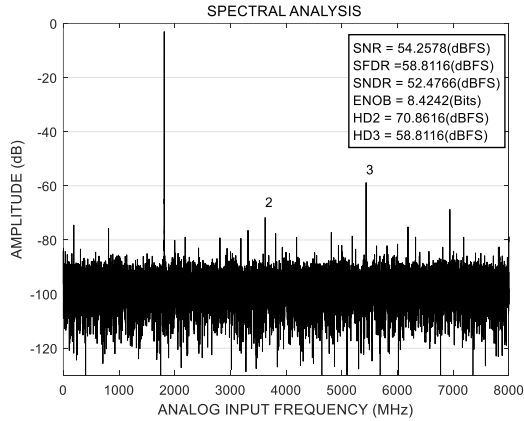


图 12 FFT at $f_{IN}=1812\text{MHz}$, -3dBFS , 16GSPS

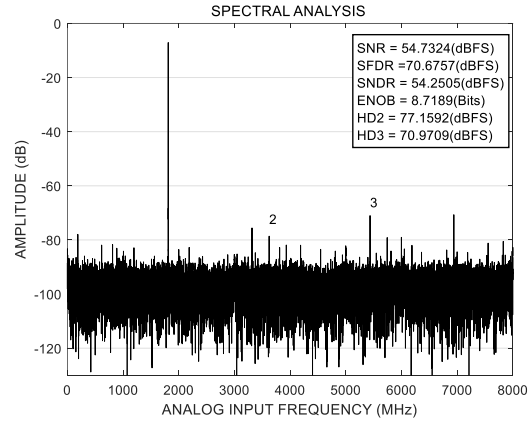


图 13 FFT at $f_{IN}=1812\text{MHz}$, -7dBFS , 16GSPS

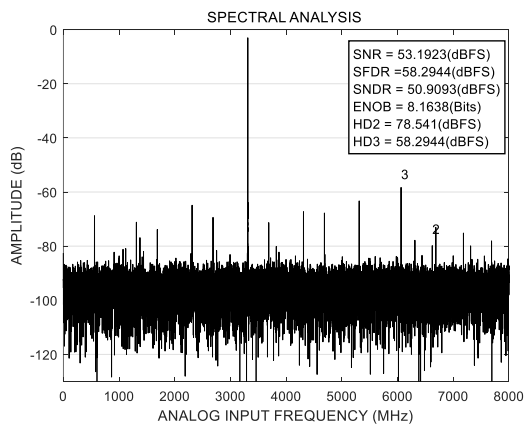


图 14 FFT at $f_{IN}=3312\text{MHz}$, -3dBFS , 16GSPS

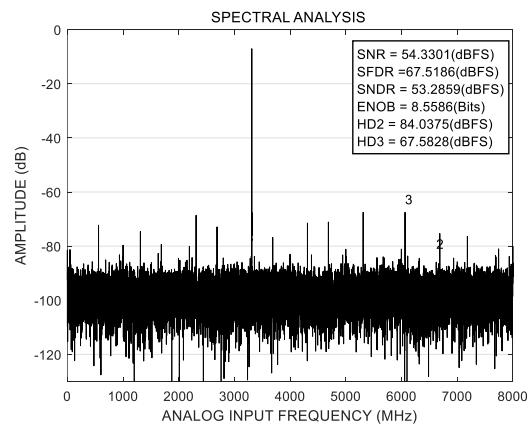
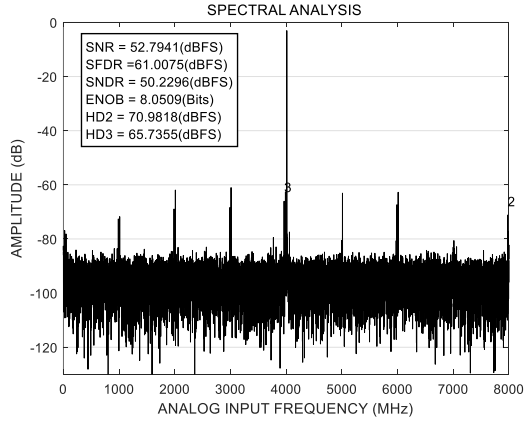
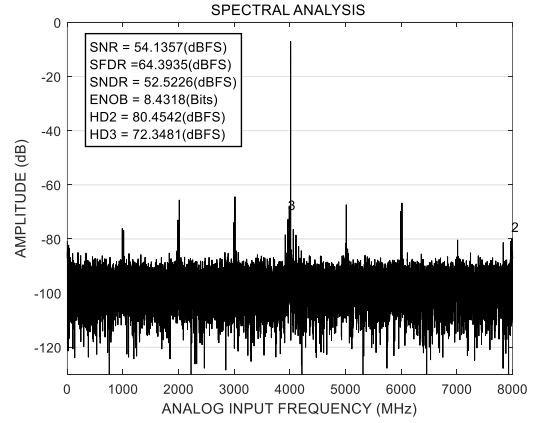
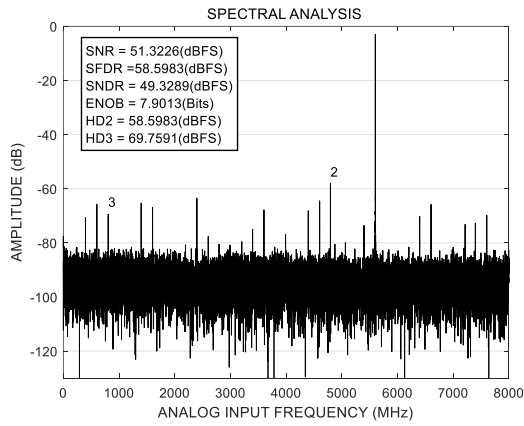
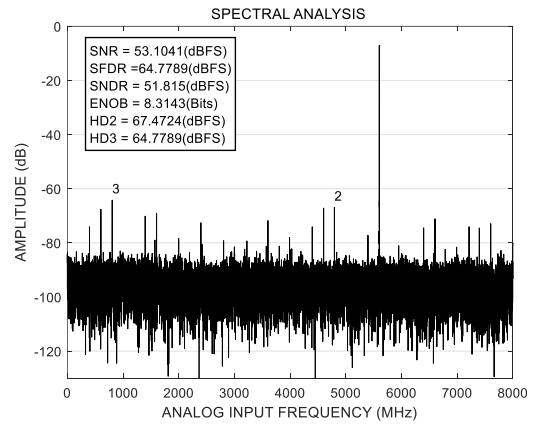
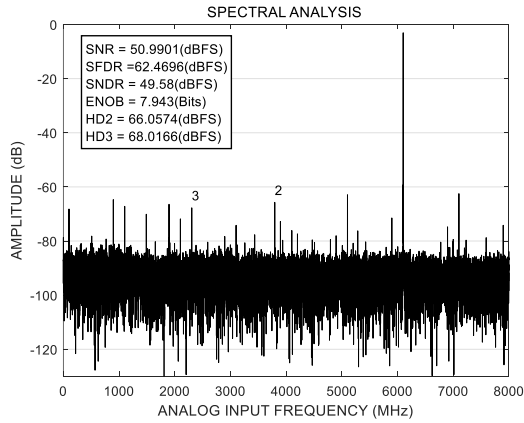
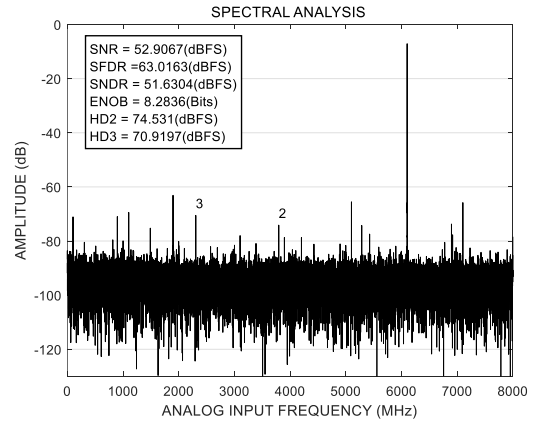
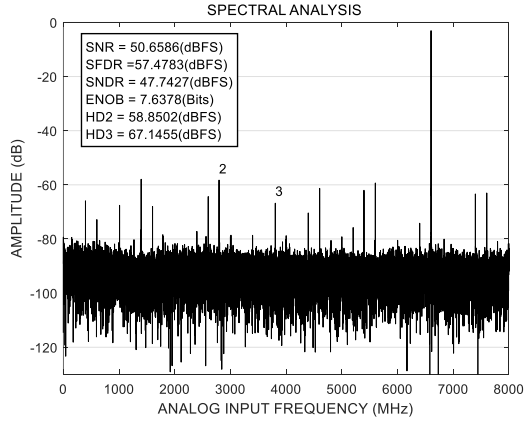
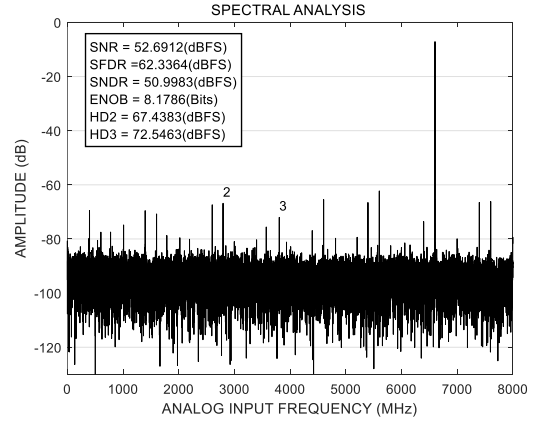
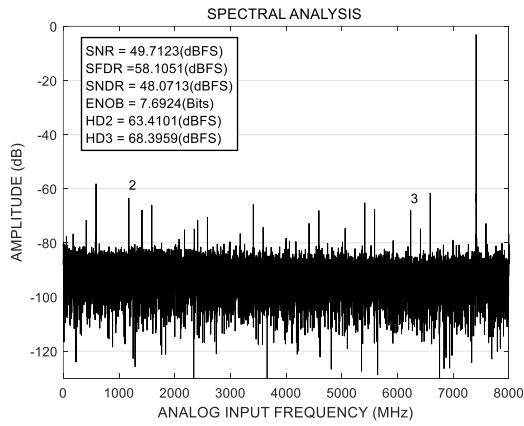
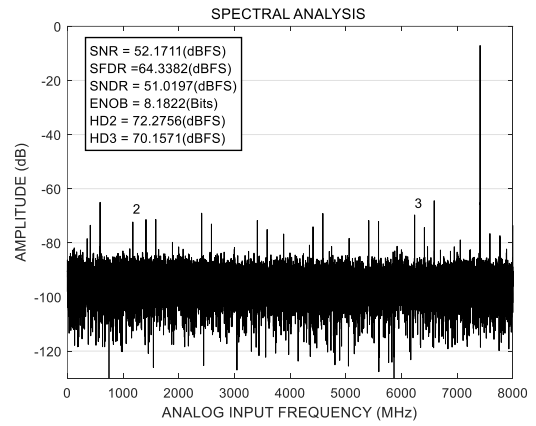
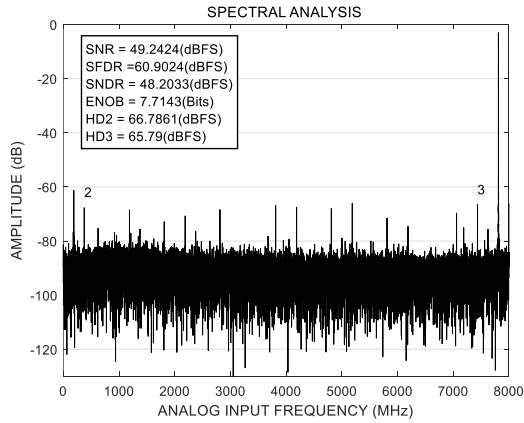
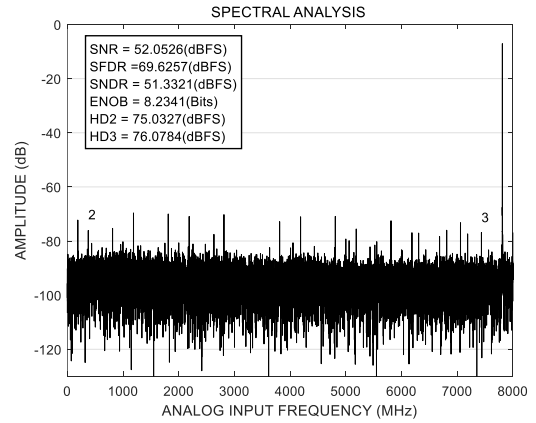
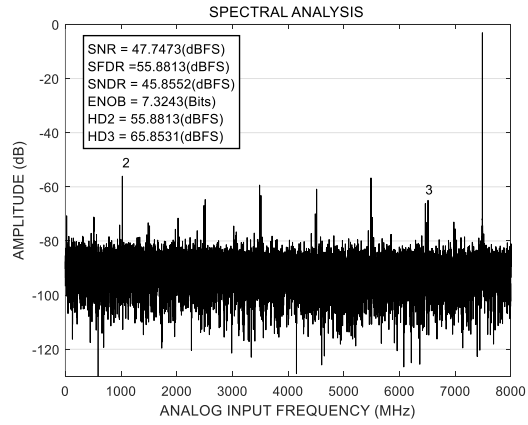
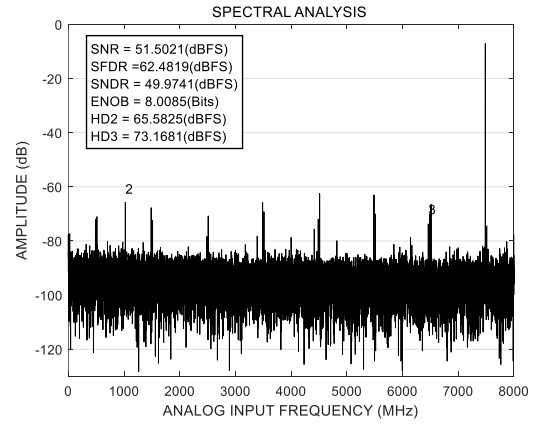


图 15 FFT at $f_{IN}=3312\text{MHz}$, -7dBFS , 16GSPS

图 16 FFT at $f_{IN}=4012\text{MHz}$, -3dBFS , 16GSPS图 17 FFT at $f_{IN}=4012\text{MHz}$, -7dBFS , 16GSPS图 18 FFT at $f_{IN}=5602\text{MHz}$, -3dBFS , 16GSPS图 19 FFT at $f_{IN}=5602\text{MHz}$, -7dBFS , 16GSPS图 20 FFT at $f_{IN}=6102\text{MHz}$, -3dBFS , 16GSPS图 21 FFT at $f_{IN}=6102\text{MHz}$, -7dBFS , 16GSPS

图 22 FFT at $f_{IN}=6602\text{MHz}$, -3dBFS , 16GSPS图 23 FFT at $f_{IN}=6602\text{MHz}$, -7dBFS , 16GSPS图 24 FFT at $f_{IN}=7412\text{MHz}$, -3dBFS , 16GSPS图 25 FFT at $f_{IN}=7412\text{MHz}$, -7dBFS , 16GSPS图 26 FFT at $f_{IN}=7812\text{MHz}$, -3dBFS , 16GSPS图 27 FFT at $f_{IN}=7812\text{MHz}$, -7dBFS , 16GSPS

图 28 FFT at $f_{IN}=8512\text{MHz}$, -3dBFS , 16GSPS图 29 FFT at $f_{IN}=8512\text{MHz}$, -7dBFS , 16GSPS

6.3 等效电路

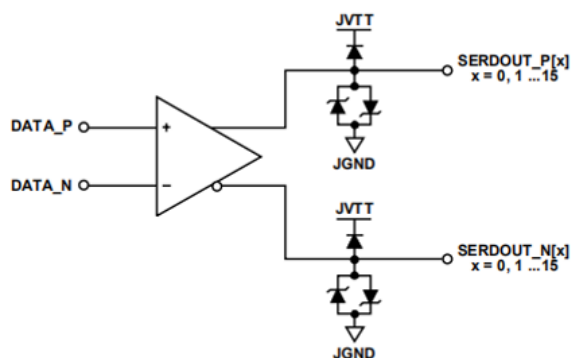


图 30 数字输出

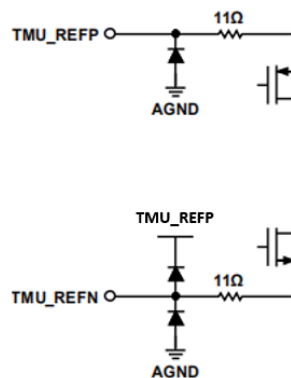


图 31 TMU_REF_x 输入

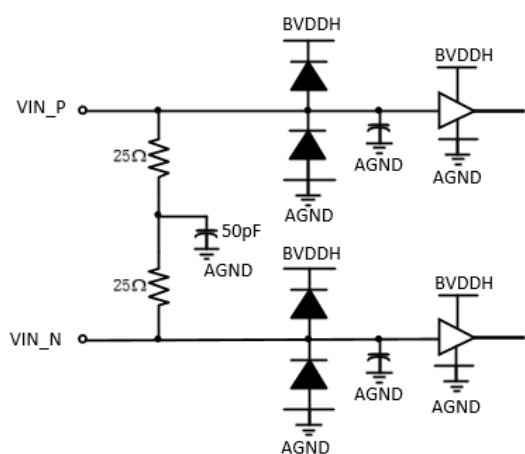


图 32 模拟输入

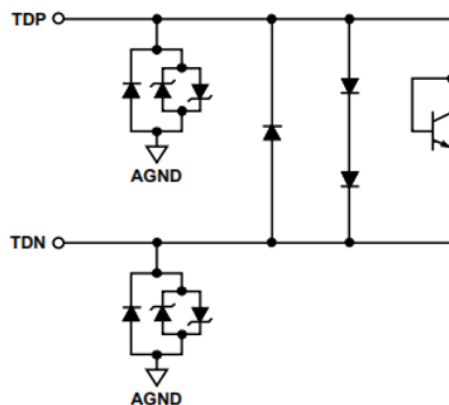


图 33 温度检测二极管¹

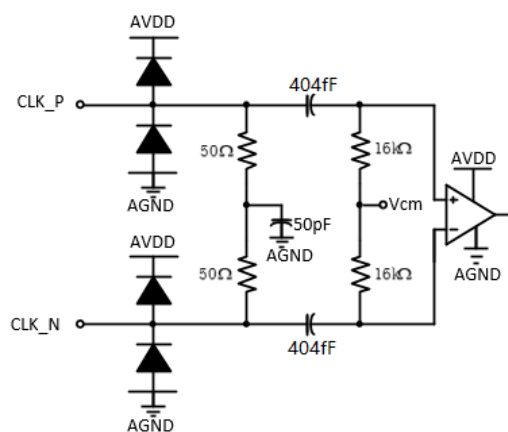


图 34 输入时钟

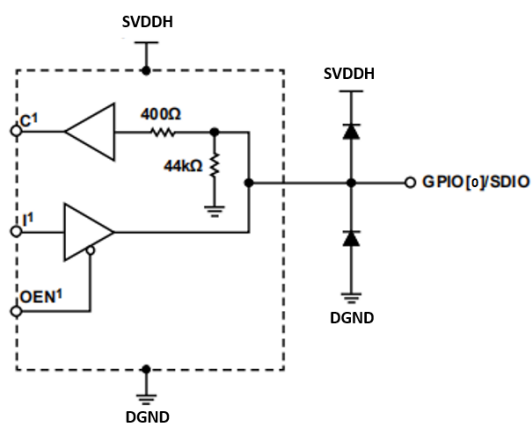


图 35 GPIO[0]和 SDIO

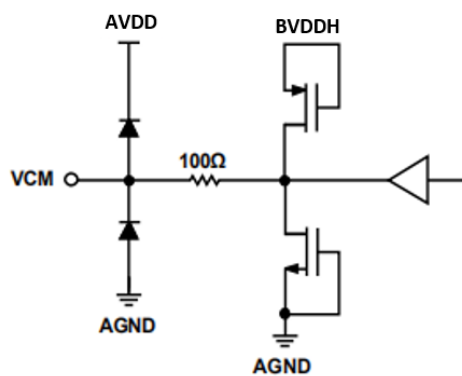


图 36 VCM

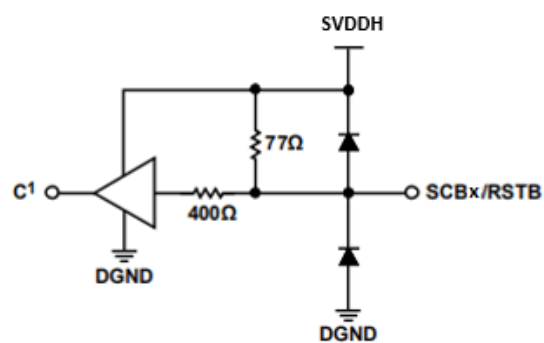


图 37 SCB 和 RSTB

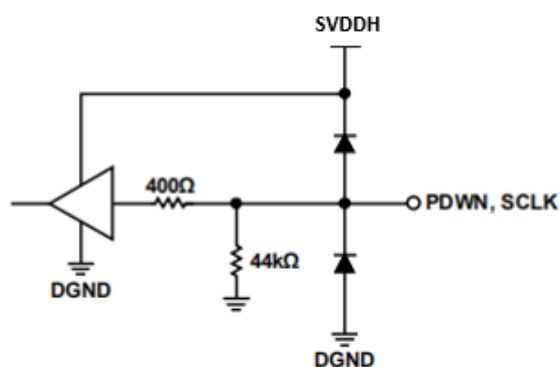


图 38 掉电和 SCLK

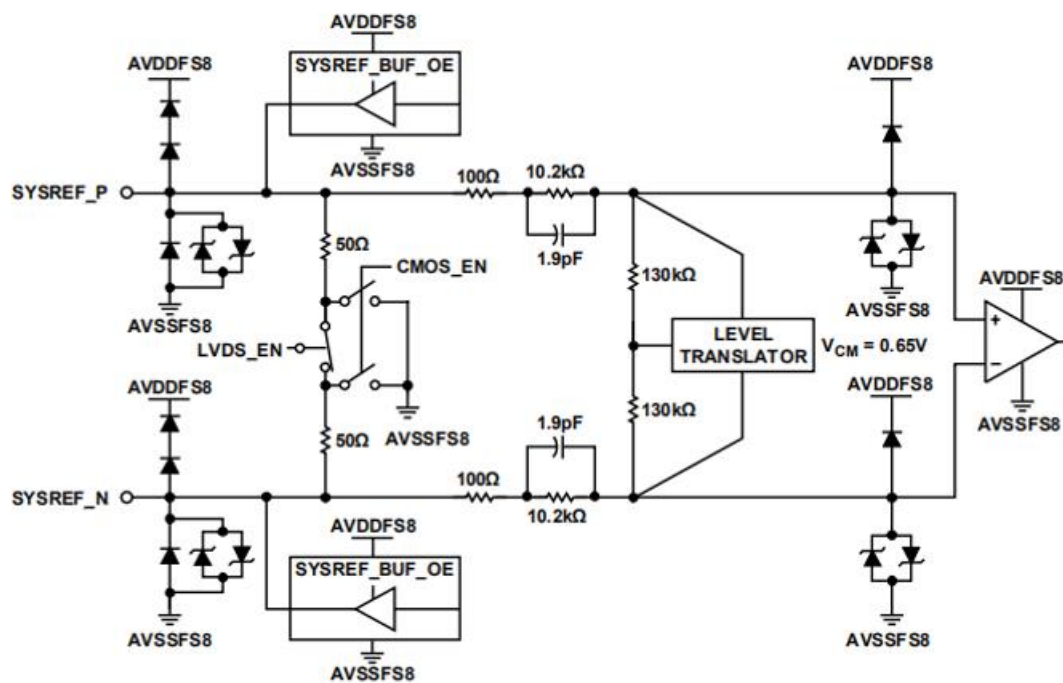


图 39 SYSREF_x 输入

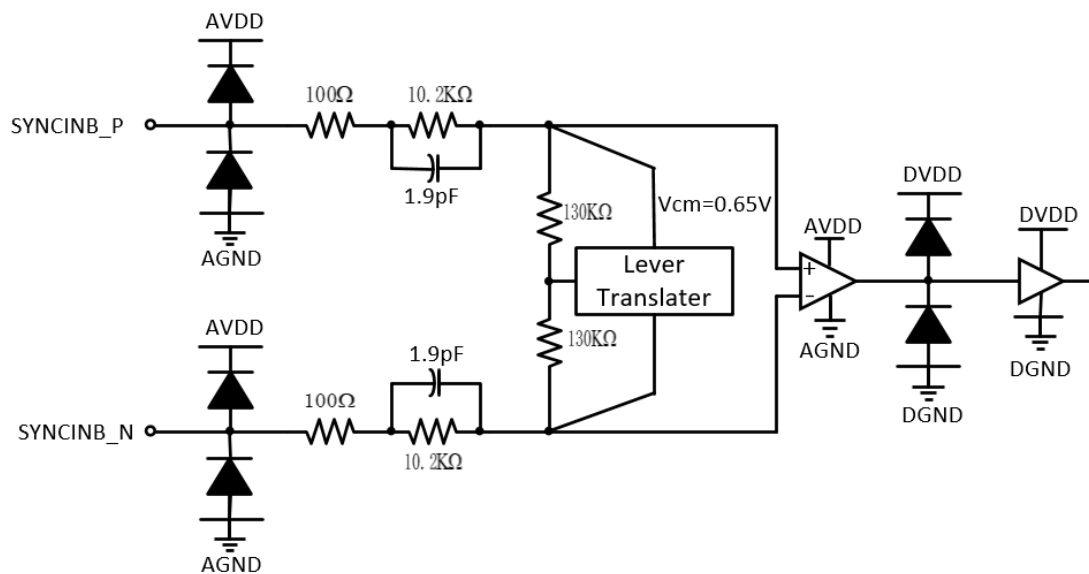


图 40 SYNCINB_x 输入

注 1: 图 33 对应的温度检测功能当前版本暂不支持, 后续版本会集成。

7 功能描述

7.1 概述

图 1 为 HWD12B16GA4PBGA899M3 芯片的内部框图。芯片集成了 4 个子 ADC，JESD204C 接口模块，SPI 控制模块，时钟接收和同步模块，外设 IO 模块等。

每个 ADC 内核均采用时间交织 Pipeline-SAR 结构实现，使用了宽带采样保持电路设计技术、时间交织及内部误差校正技术。

JESD204C 接口模块实现数据输出，最高 lane 速率可达 25.6Gbps，内置 32 个 lane 可配置使用。兼容 JESD204B 接口，支持子类 0 和子类 1，最高线速率可达 12.5Gbps。

SPI 接口模块主要实现 ADC 内部寄存器配置、通过指令实现时钟切换、芯片内部状态读取等功能。SPI 可以让用户根据实际应用场景灵活配置寄存器。

7.2 功能描述

7.2.1 工作原理

HWD12B16GA4PBGA899M3 是一款 4 通道流水线式 ADC，具有高输入带宽，高采样率，高线性度，低功耗的特点。HWD12B16GA4PBGA899M3 采用 JESD204C 接口，内置 32 条 lane，兼容 JESD204B 接口，支持实现高速数据传输以及灵活的数字输出格式。

ADC 内核采用时间交织的 Pipeline-SAR 架构，单通道采用 Pipeline-SAR ADC。采用时间交织算法以及在线 dither 注入技术进行校正，在大部分输入信号条件下，均可达到较好的动态性能。

7.2.1.1 ADC 架构

HWD12B16GA4PBGA899M3 由功率分配器、输入缓冲器、流水线式 ADC 组成。输入缓冲器给模拟信号提供一个差分 50Ω 的终端阻抗，其等效电路图可参见等效电路章节模拟输入图，输入缓冲器有助于实现高线性度，低噪声以及低功耗特性。

每一级流水线输出的量化结果最后组合生成 12bit 数字数据输出，其中第一级处理外部输入信号，同时其他级处理前级传输过来的采样点。

7.2.1.2 模拟差分输入

HWD12B16GA4PBGA899M3 ADC 内核的模拟输入是一个差分缓冲器，内部缓冲器的共模电压是 0.7V。为了更好的动态性能，驱动 VIN_N 和 VIN_P 的源阻抗必须与 ADC 内部阻抗匹配，这样 ADC 输入端的共模误差就被抵消掉。

由于大部分放大器的噪声性能不足以使 HWD12B16GA4PBGA899M3 发挥出真实的性能，为了获得更好的 SNR 和 SFDR 性能，建议使用差分变压耦合器作为差分输入配置。对于中低频场景建议使用两个巴伦或者两个变压器，对于高频场景建议去除前端不必要的无源器件以确保宽带功能和性能。

7.2.2 测试模式

7.2.2.1 ADC 测试模式

HWD12B16GA4PBGA899M3 内部可通过寄存器配置选择输出 ADC 数据或者斜坡数据。详细信息可参见下表：

表 8 ADC 测试模式

寄存器名字	寄存器地址	位宽	属性	含义
内部源切换寄存器	0x102d0	8	R/W	Bit[3:2]: = 0 正常输出模式 = 1 斜坡输出模式 = 2 原始数据输出 = 3 原始数据输出

7.2.2.2 JESD204C 测试模式

HWD12B16GA4PBGA899M3 在 204C 模块设计了灵活的测试模式用于通道调试和问题定位，通过配置 test mode 寄存器实现各种数据类型输出。

相关具体设置如下表所示，表中寄存器地址以 204C IP0 为参考，其他通道参考寄存器映射表 9 即可。

表 9 204C 测试模式

寄存器名字	寄存器地址	位宽	属性	含义
test mode	0x020100	8	R/W	Bit[3:0]: 测试模式产生选择，默认配置为 0。 =4' b0000: 测试模式关闭(正常操作)。 =4' b0001: Midscale short。 =4' b0010: Positive full scale。 =4' b0011: Negative full scale。 =4' b0100: Alternating checker board。 =4' b0101: PN 序列(long)。 =4' b0110: PN 序列(short)。 =4' b0111: 1/0 字切换。 =4' b1000: 用户测试模式。 =4' b1111: 斜坡输出。
	0x020110	8	R/W	Bit[3:0]: 默认配置为 0。 =4' b0000: 正常操作(测试模式关闭)。 =4' b0001: Alternating checkerboard。 =4' b0010: 1/0 字切换。 =4' b0011: 31bit 伪随机数(PN)序列- $x^{31}+x^{28}+1$ 。 =4' b0100: 23bit PN 序列- $x^{23}+x^{18}+1$ 。 =4' b0101: 15bit PN 序列- $x^{15}+x^{14}+1$ 。 =4' b0110: 9bit PN 序列- x^9+x^5+1 。 =4' b0111: 7bit PN 序列- x^7+x^6+1 。 =4' b1000: 斜坡输出。 =4' b1110: 连续/重复用户测试。 =4' b1111: 单次用户测试。

7.2.3 数字输出

7.2.3.1 功能概述

HWD12B16GA4PBGA899M3 采用 JESD204C 高速串行接口实现数据输出，最高lane速率达25.6Gbps，内置32个lane可配置使用。兼容 JESD204B 接口，支持子类0和子类1操作，最高lane速率可达12.5Gbps。

JESD204B/C 处理过程可以分为传输层、数据链路层和物理层，如图41所示，显示了JESD204B/C的功能框图。

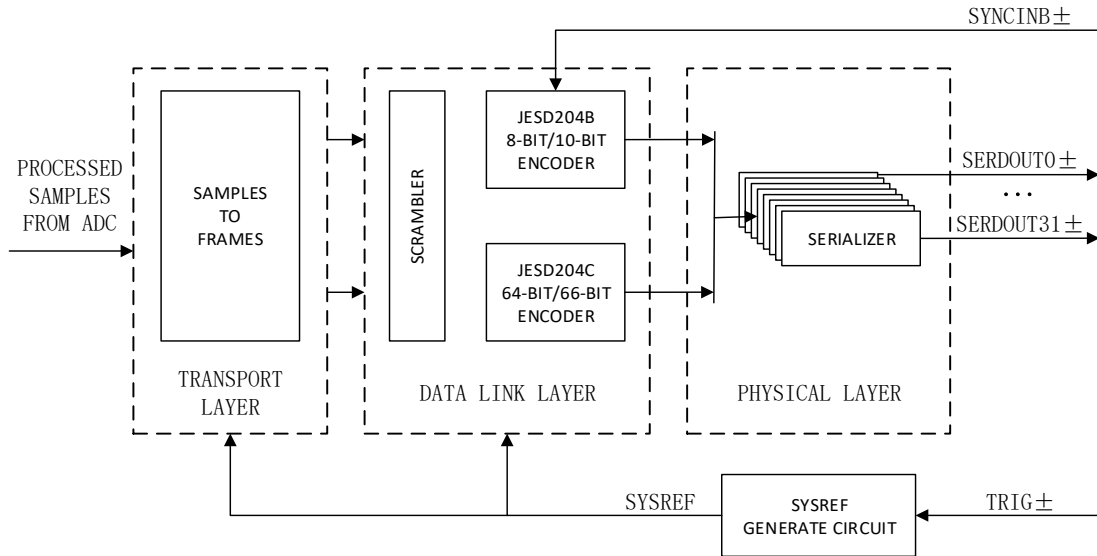


图 41 JESD204B/C 的功能框图

7.2.3.2 JESD204B/C 时钟

HWD12B16GA4PBGA899M3 支持 JESD204B/C 子类 0 和子类 1 操作。

当设备在子类 0 模式下工作时，不需要 SYSREF 输入，不支持确定性延迟和多芯片同步功能。在子类 0 模式下，JESD204B/C 发射器和接收器之间的 JESD204B/C 时钟的关系是任意的，但并不影响接收器捕获和对齐链路内通道的能力。

当设备在子类 1 模式下工作时，使用 SYSREF 作为采样时序的系统级基准，204B 采用 8b/10b 编码方案，SYSREF 用于对齐本地多帧时钟（LMFC），204C 采用 64b/66b 编码方案，SYSREF 用于对齐本地扩展多块时钟（LEMC），以支持实现确定性延迟和多芯片同步功能。注意，所有通道、链路、设备的总延迟变化（可变延迟和固定延迟变化）必须小于等于 1 个 LMFC/LEMC 周期。如图 42 所示，显示了 SYSREF 与 LMFC/LEMC 的关系。

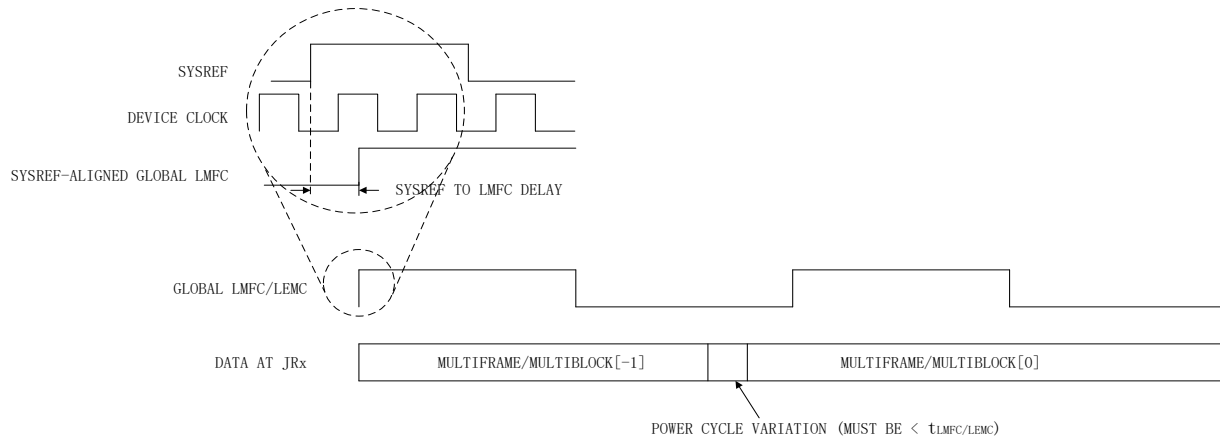


图 42 SYSREF 与 LMFC/LEMC

7.2.3.3 传输层

传输层负责把由样本和可选控制位组成的数据打包成 JESD204B/C 帧，之后将其映射为 8 位字节结构传送给数据链路层。传输层受链路配置参数产生的规则控制，根据规则来对数据打包处理，需要时添加填充位以填补空隙。所需填充位个数由等式 $T = N' - N - CS$ 决定。

7.2.3.4 数据链路层

一般来说，数据链路层主要负责对数据进行加扰，建立码组或块边界、建立多帧或多块边界，初始化链路，对数据编码，监控链路的任务。

HWD12B16GA4PBGA899M3 支持 8b/10b 链路层（JESD204B）或 64b/66b 链路层（JESD204C），如表 10 所示，显示了 8b/10b 和 64b/66b 链路层的主要区别。

表 10 8b/10b 和 64b/66b 链路层的主要区别

特征	8-bit/10-bit 编码	64-bit/66-bit 编码
编码效率	80%	96.97%
SYNCINB_x 引脚	需要	不需要
样本数据加扰操作	可选	必须
链路初始化	码组同步（CGS）+初始通道对齐序列（ILAS）	同步报头（SH）对齐+扩展多块（EMB）同步+EMB 对齐
错误监测	字符监控	CRC-12 或 FEC
子类 1 模式下的 SYSREF	用于对齐 LMFC	用于对齐 LEMC
推荐通道速率范围	$1.5\text{Gbps} \leq \text{Lane rate} \leq 12.5\text{Gbps}$	$6\text{Gbps} \leq \text{Lane rate} \leq 25.6\text{Gbps}$

7.2.3.4.1 8-bit/10-bit 链路层

当使用 JESD204C 的 8b/10b 链路层选项时，兼容 JESD204B 规范。

HWD12B16GA4PBGA899M3 JESD204B 发射端接口定义及基本功能可参考 JEDEC 204B 协议标准，使用 8b/10b

链路层时的建链过程可分为以下三个步骤：码组同步和 SYNCINB_x，初始通道对齐序列，用户数据和纠错。请注意，8b/10b 链路层对样本数据的加扰操作是可选项。

● 码组同步(CGS)和SYNCINB_x

CGS 是 JESD204B 接收机找到数据流中字符边界的过程，在 CGS 阶段 204B 发射端传送/K28.5/字符，接收端使用时钟和数据恢复技术（CDR）在输入数据流中定位/K28.5/字符。

接收端通过拉低 HWD12B16GA4PBGA899M3 中的 SYNCINB_x 引脚，发出一个同步请求，JESD204B 发送端就开始发送/K28.5/字符。当接收端同步时，它等待至少 4 个连续的/K28.5/字符的正确接收，之后拉高 SYNCINB_x。之后，HWD12B16GA4PBGA899M3 在下一个 LMFC 边界处发送初始通道对齐序列（ILAS）。

● 初始通道对齐序列(ILAS)

CGS 阶段之后是 ILAS 阶段，它在下一个 LMFC 边界开始。ILAS 由 4 个多帧组成，/R/字符表示开始，/A/字符表示结束。ILAS 从发送/R/字符开始，然后发送一个多帧的 0 至 255 斜坡数据；在第二个多帧，第二个字符是/Q/字符用以确认随后是链路配置数据，从第三个字符开始发送链路配置数据。所有未定义的数据都是斜坡数据填充，ILAS 数据不加扰。

ILAS 序列结构如下图 43 所示，具体控制字符含义参见表 11，4 个多帧包括：

多帧 1/3/4：以/R/字符/K28.0/开始，以/A/字符/K28.3/结束；

多帧 2：以/R/字符开始，后接/Q/字符/K28.4/，然后是 14 个配置 8 位字的链路配置参数，最后以/A/字符结束。

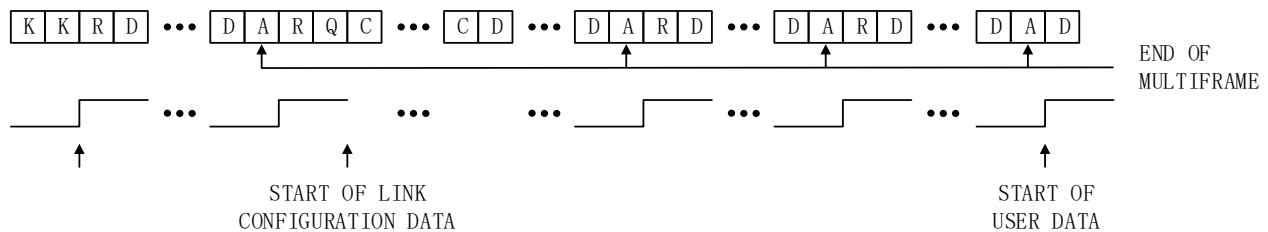


图 43 ILAS 序列图

表 11 JESD204B 控制字符

缩写	控制字符	8 位值	10 位值 RD (运行差异) = -1	10 位值 RD (运行差异) = +1	说明
/R/	/K28.0/	000 11100	001111 0100	110000 1011	多帧开始
/A/	/K28.3/	011 11100	001111 0011	110000 1100	通道对齐
/Q/	/K28.4/	100 11100	001111 0010	110000 1101	链路配置数据开始
/K/	/K28.5/	101 11100	001111 1010	110000 0101	组同步
/F/	/K28.7/	111 11100	001111 1000	110000 0111	帧对齐

● 用户数据和纠错

完成 ILAS 之后便开始发送用户数据，在普通的一帧数据中所有数据都是用户数据。为了监控帧时钟和多帧时钟同步，当数据符合某些条件时，通过一个机制来保证将字符替换为/F/或/A/对齐字符，该机制对于加扰和未加扰的数据条件是不同的，是否加扰可通过寄存器配置。

对于加扰的数据，帧末尾的任何 0xFC 字符都用/F/替换，多帧末尾的 0x7C 字符都用/A/替换。JESD204B Rx 检查接收到的数据中是否有/F/或/A/字符来验证它是否只出现在预期的位置上。如果发现意外的/F/或/A/字符，Rx 将利用动态对齐或者激活 SYNCINB_x 持续 4 帧以上时间重新启动同步来处理这种情况。

对于未加扰的数据，如果两个连续帧的最后一个字符相同，就会将第 2 帧的最后一个字符替换为/F/，如果它位于多帧的末尾，则替换为/A/。

7.2.3.4.2 64-bit/66-bit 链路层

当使用 JESD204C 的 64b/66b 链路层选项时，消除了 SYNCINB_x 引脚的使用，不兼容 JESD204B 规范。如下表 12 所示，显示了 JESD204C 协议标准中主要用于描述 64b/66b 链路层相关功能的新术语和参数。

表12 JESD204C引入的新术语和参数

术语	定义
块	一种结构，开头是一个2位的同步报头，总共包含66个位
多块（MB）	包含32个块的一组数据
扩展多块（EMB）	包含一个或多个多块的一组数据
同步报头（SH）	块头最开始的两数据位，要保证数据位之间有变化
同步转换位	由同步报头解码的单bit数据
同步字	来自一个多块的32bit同步转换位
LEMC	本地扩展多块时钟
BKW	块宽，一个块中的位数
E	一个扩展多块中的多块数量
EoMB	多块结束标识序列（00001），也称为导频信号
EoEMB	扩展多块结束标识符
SH_LOCK	声明同步报头已对齐的一种状态
EMB_LOCK	声明扩展多块已对齐的一种状态
命令通道	使用同步报头提供的额外带宽的数据流
FEC	前向纠错

7.2.3.4.2.1 块、多块、扩展多块

对于64b/66b链路层，66位数据块由两位的同步报头，后接八个八位字节的样本数据组成。请注意，来自传输层的有效载荷数据仅是转换器样本数据，由于没有编码来确保发生一定数量的数据转换以提供dc平

衡，因此必须对样本数据进行加扰操作。如图44所示，显示了64b/66b数据块的格式，其中，D[0:7]表示八个数据字节组，S[0:7]表示加扰后的字节组，SH表示2位的同步报头。

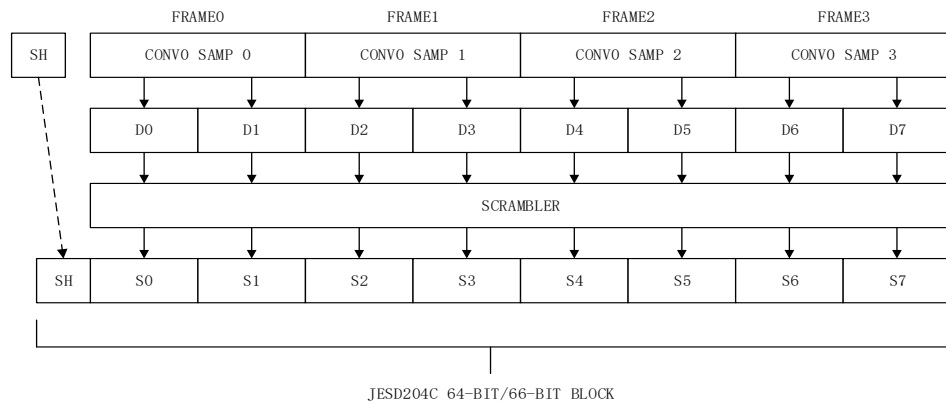


图 44 64-bit/66-bit 块格式示例，LMFS=1121，N=N' =16

JESD204C一个多块包含32个块，64b/66b编码方案中一个多块共2112（32x66）位。扩展多块是一个E数量的多块容器，扩展多块必须包含整数数量的帧，以确保EMB边界与帧边界一致。如图45所示，显示了多块和扩展多块的格式。

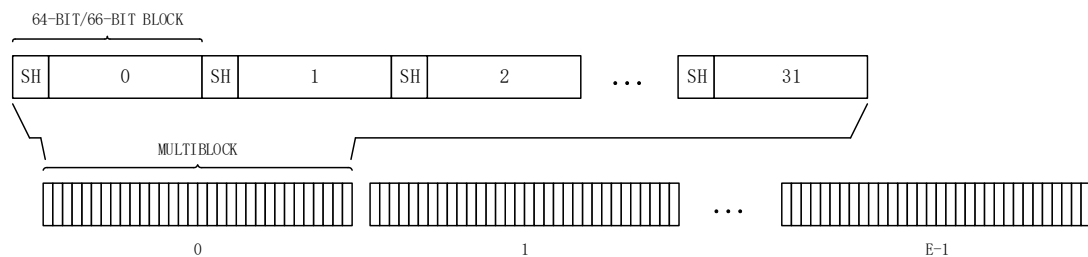


图 45 多块、扩展多块格式

7.2.3.4.2.2 同步字

32位同步字是由每个多块的32位同步转换位组成，其中位0首先传输。同步转换位从位于每个数据块开始位置的2位未加扰同步报头解析获取，如表13所示，显示了同步转换位与同步报头之间的解析关系。请注意，同步报头必须保证两数据位之间有变化，同步报头采用0-1序列用于表示逻辑1，同步报头采用1-0序列用于表示逻辑0。

表 13 同步报头与同步转换位

同步报头[0:1]	同步转换位
00	无效
01	1
10	0
11	无效

同步字用于提供通道同步并使能确定性延迟，提供可选CRC错误校验、前向纠错、或供发射器与接收器通信的命令通道。HWD12B16GA4PBGA899M3支持12位循环冗余校验（CRC-12）同步字选项和前向纠错（FEC）同步字选项。

● CRC-12同步字

JESD204C发射器中的CRC-12编码器接收每个多块的2048（32x64）个加扰数据位，并计算12个奇偶校验位，这些奇偶校验位在下一个多块的同步报头流中传输到接收器。接收端从接收到的每个多块数据中计算12个奇偶校验位，并将其与接收到的下一个多块的同步字中的奇偶校验位进行比较，若奇偶校验位不匹配，则表明接收到的数据中或接收到的12位奇偶校验位中至少存在一个错误。有关CRC-12奇偶校验字生成的详细信息，请参见JESD204C标准。

如表14所示，显示了CRC-12同步字的字段描述。

表 14 CRC-12 同步字

同步字位	域名	功能
0	CRC11	12位CRC值的位[11:9]— 适用于之前的多块
1	CRC10	
2	CRC9	
3	1	始终为1
4	CRC8	12位CRC值的位[8:6]— 适用于之前的多块
5	CRC7	
6	CRC6	
7	1	始终为1
8	CRC5	12位CRC值的位[5:3]— 适用于之前的多块
9	CRC4	
10	CRC3	
11	1	始终为1
12	CRC2	12位CRC值的位[2:0]— 适用于之前的多块
13	CRC1	
14	CRC0	
15	1	始终为1
16	Cmd6	7位命令通道的位[6:4]
17	Cmd5	
18	Cmd4	
19	1	始终为1

同步字位	域名	功能
20	Cmd3	7位命令通道的位3
21	1	始终为1
22	EoEMB	扩展多块结束位
23	1	始终为1
24	Cmd2	7位命令通道的位[2:0]
25	Cmd1	
26	Cmd0	
27	0	标识多块结束的导频信号
28	0	
29	0	
30	0	
31	1	

● FEC同步字

JESD204C发射器中的FEC编码器接收每个多块的2048（32x64）个加扰数据位，并计算26个奇偶校验位，这些奇偶校验位在下一个多块的同步报头流中传输到接收器。接收端从接收到的每个多块数据中计算26个奇偶校验位，并计算本地生成的奇偶校验位与接收到的奇偶校验位之间的差异（称为校验子）。若校验子为0，则假定数据正确接收，若校验子为非0值，则用以确定最可能的错误并予以纠正。

请注意，使用FEC同步字选项时，导频信号有可能出现在同步报头流的其他位置，但在多个多块序列的同一位置看到导频信号是不可能的，因此在该模式下，可能需要多个多块才能找到一个多块的结束。EoEMB是扩展多块结束位，对于扩展多块的最后一个多块，它被设置为1。有关FEC奇偶校验字生成、FEC解码与纠错的详细信息，请参见JESD204C标准。

如表15所示，显示了FEC同步字的字段描述。

表 15 FEC 同步字

同步字位	域名	功能
0	FEC[25]	26位前向纠错字的位[25:4]——适用于之前的多块
1	FEC[24]	
2	FEC[23]	
3	FEC[22]	
4	FEC[21]	
5	FEC[20]	
6	FEC[19]	

同步字位	域名	功能
7	FEC[18]	
8	FEC[17]	
9	FEC[16]	
10	FEC[15]	
11	FEC[14]	
12	FEC[13]	
13	FEC[12]	
14	FEC[11]	
15	FEC[10]	
16	FEC[9]	
17	FEC[8]	
18	FEC[7]	
19	FEC[6]	
20	FEC[5]	
21	FEC[4]	
22	EoEMB	扩展多块结束位
23	FEC[3]	26位前向纠错字的位[3:0]— 适用于之前的多块
24	FEC[2]	
25	FEC[1]	
26	FEC[0]	
27	0	标识多块结束的导频信号
28	0	
29	0	
30	0	
31	1	

7.2.3.4.2.3 链路建立

HWD12B16GA4PBGA899M3 使用64b/66b链路层时的建链过程可分为以下四个步骤：同步报头对齐，扩展多块同步，扩展多块对齐，错误监测与再同步。请注意，链路建立过程在链路上电时自动启动，不再需要 SYNCINB_x信号或同步请求。另外64b/66b链路层对样本数据的加扰操作是必须的。

● 同步报头对齐

同步报头指示块的开始，并用于块同步监控。同步报头中的同步转换位确保在每个块边界（66位）都

有一个数据转换。JESD204C接收器检测到一个数据转换后，在下一个66位查找另一个数据转换。如果检测到64个连续以66位为间隔进行的位转换，则实现同步报头锁定（SH_lock）。如果没有检测到64个连续转换，则重启该机制。

● 扩展多块同步

一旦实现同步报头对齐，接收器就会在转换位中查找扩展多块结束序列（100001）。同步字的结构确保此序列只能在适当的时间发生。一旦确定EoEMB序列，该机制将检查每个32位同步字，以确保存在多块结束导频信号（00001）。如果 $E=1$ ，EoEMB位会与导频信号一起出现。如果 $E>1$ ，那么每 $E \times 32$ 个转换位，导频信号将包含EoEMB位。一旦检测到四个连续的有效序列，就可以实现扩展多块结束锁定（EMB_LOCK）。继续监测每 $E \times 32$ 个转换位，如果没有检测到有效序列，则EMB_LOCK丢失且同步过程重置。

● 扩展多块对齐

使用64b/66b链路层时，扩展多块对齐实现通道对齐。类似于使用8b/10b链路层时的通道对齐，每个通道上的JESD204C接收器都使用一个弹性缓冲区来存储传入数据。在扩展多块对齐期间，每个通道的缓冲区开始在EoEMB边界（而不是在使用8b/10b链路层时ILAS期间的/K/至/R/边界）存储数据，所有通道在最后到达通道的EoEMB边界一同释放各自的缓冲数据。

图46显示了如何实现通道对齐。每个通道的接收缓冲区在接收到EoEMB同步字位字段的最后一位时开始缓冲数据（最后到达的通道除外）。接收到最后达到通道的EoEMB同步字位字段时，触发释放所有通道的接收缓冲区，以便所有通道对齐。

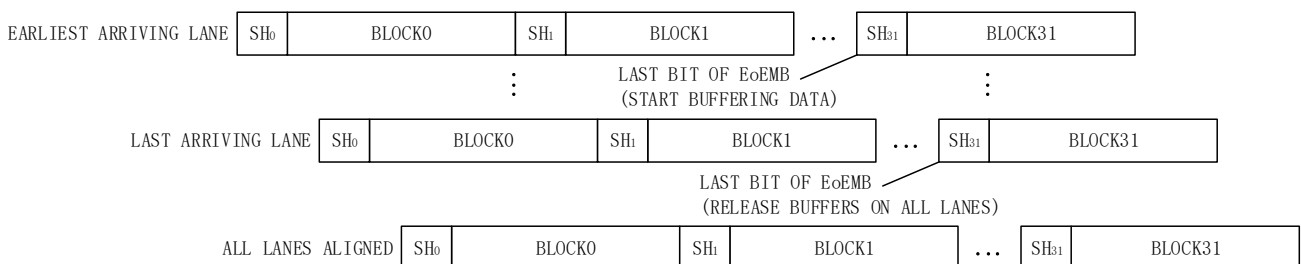


图 46 JESD204C 扩展多块对齐示意图

● 错误监测与再同步

JESD204C同步字选项让用户能够监测或纠正数据传输中可能发生的错误。HWD12B16GA4PBGA899M3支持CRC-12同步字选项和FEC同步字选项，其中，CRC-12同步字仅可实现数据传输过程中的错误监控，而FEC同步字能够检测并纠正错误。有关CRC-12、FEC同步字实现功能的详细信息，请参见JESD204C标准。

请注意，如果接收端检测到传输数据错误过多，则同步丢失，此时接收方自动重新启动同步。

JESD204C会监视同步报头对齐和扩展多块同步的状态，用以告知系统主机。如果需要重新同步，系统主机将power down链路两侧。如果需要重新配置或更改时钟，请在链路下电时执行。在链路上电时会自动进行重新同步。

7.2.3.5 物理层输出

JESD204C引入了两个分类来定义物理接口的特性，表16显示了与每类相关的通道速率，表17显示了C类中的通道类型及相关的加重和均衡特性。HWD12B16GA4PBGA899M3实现了C-M类接口。建议采用8b/10b编码方案的最低数据速率限制为1.5Gbps，采用64b/66b编码方案的最高数据速率限制为25.6Gbps。

表 16 数据接口类对应的通道数据速率

数据接口类	最小数据速率 (Gbps)	最大数据速率 (Gbps)
B-3	0.3125	3.125
B-6	0.3125	6.375
B-12	6.375	12.5
C	6.375	32

表 17 JESD204C 接口器件类特性

类	相对功耗	发射器FFE (最小值 dB)	接收器CTLE (最小值 dB)	接收器DFE抽头 (最小值)
C-S	低	9.5	6	0
C-M	中	9.5	9	3
C-R	高	9.5	12	14

如图47所示，JESD204B/C的物理层由串行器、FFE和输出驱动三部分组成。物理层实现并行数据到高速差分串行数据的转换。

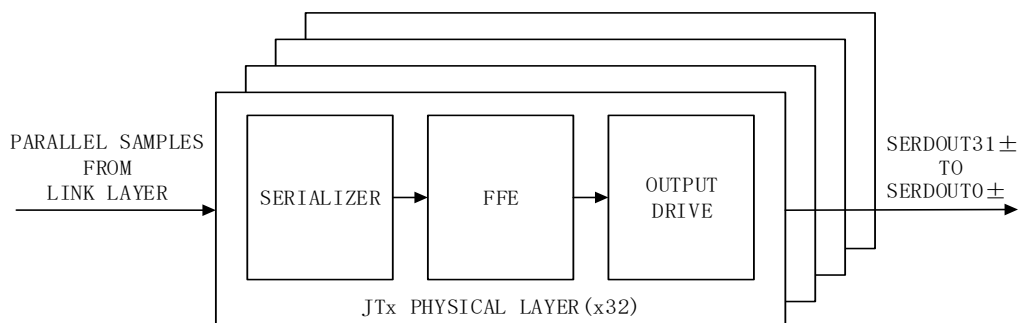


图 47 JESD204B/C 物理层框图

7.2.4 多片同步 (MCS)

7.2.4.1 功能概述

HWD12B16GA4PBGA899M3 多芯片同步方案如图 48 所示，具体同步电路内部实现方式如图 49 所示。

HWD12B16GA4PBGA899M3 采用系统同步时钟或同步触发信号作用于多芯片同步，可支持 LVDS 以及 CMOS 两种输入模式。

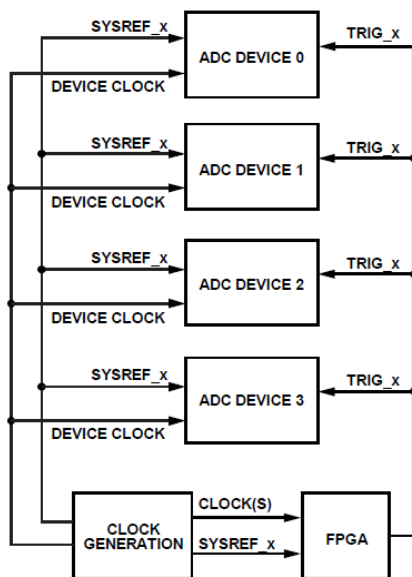


图 48 多芯片同步方案

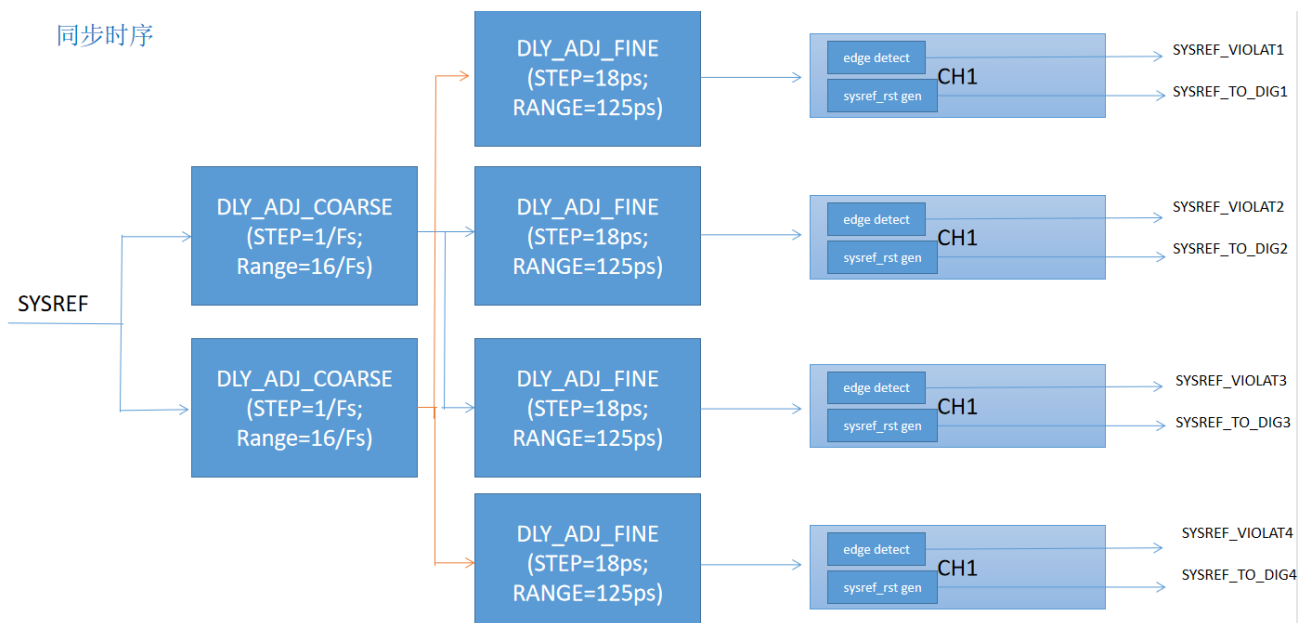


图 49 同步电路内部实现方式

7.2.4.2 芯片内四通道同步

● 同步实现方案 1：（使用 DLY_ADJ_COARSE 调节）

如图 49 所示，DLY_ADJ_COARSE 是由外部主时钟通过 DFF 打拍实现的，主时钟频率为 8G，对应图中的 F_s 为 8G。通道 CH1~CH4 的主时钟也是 8G，当通道的主时钟相位确定后，无论如何调节 DLY_ADJ_COARSE，其输出 sysref 与通道的主时钟有确定性相位关系。

DLY_ADJ_COARSE 的输出经过 DLY_ADJ_FINE 的细调，再经过长走线送到各通道。由于长走线的延时，使

得送到各通道的 sysref 与本地主时钟的相位可能出现裕度不足的情况，因此需要 DLY_ADJ_FINE 的细调。DLY_ADJ_FINE 的范围约 125ps，对应 8G 时钟的一个周期。可通道扫描 DLY_ADJ_FINE 的 code，找到某 code，使得输出 sysref_violat 为 1，表示该 code 靠近主时钟采样上升沿，在该 code 基础上加或减 3 个步长，即可使得 sysref 在主时钟的下降沿附近，保证充分的裕度。如此可保证各通道的数据具有确定性的延迟，防止温漂等引起不确定性。

由于 DLY_ADJ_CORSE 的调节不会影响 sysref 与通道主时钟的相位关系，因此通过调节该模块可补偿走线的 delay，消除各通道的数据存在的确定性延迟，实现同步。

● 同步实现方案 2：（不使用 DLY_ADJ_COARSE 调节）

整体实现同方案 1，只是不使用 DLY_ADJ_COARSE 调节（BYPASS 掉该模块），意味着各通道的数据会存在确定性延迟。

7.2.4.3 芯片间同步

芯片间同步需要 bypass 掉 DLY_ADJ_COARSE 模块，外部 sysref 输入，通过 DLY_ADJ_FINE 细调保证裕度，思路与芯片内同步方案一致，实现数据的确定性延迟，实现片间同步。

7.2.5 串行端口接口（SPI）

SPI 接口模块主要实现 ADC 内部寄存器配置、通过指令实现时钟切换、芯片内部状态读取等功能。SPI 可以让用户根据实际应用场景灵活配置寄存器来设置 HWD12B16GA4PBGA899M3。

7.2.5.1 功能概述

HWD12B16GA4PBGA899M3 使用 SPI 接口配置寄存器，支持单地址寄存器和多寄存器连续配置。配置 JESD204C 内部寄存器时，一次操作最多配置 4 个 PHY 中同一偏移地址的寄存器。

HWD12B16GA4PBGA899M3 中 SPI 由 4 个引脚组成：SCLK 引脚，SDO 引脚，SDI 引脚，SCB 引脚，具体含义见下表 18，其中 SCLK（串行时钟）用于同步从 ADC 读出来的数据和写入 ADC 的数据；SDI 为串行数据输入，用于将数据发送至内部 ADC 存储器映射寄存器；SDO 为串行数据输出，从 ADC 寄存器读出数据；SCB（片选信号）是低电平有效控制引脚，它能够使能或者禁用读写周期。

表 18 串行接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDO	串行数据输出。
SDI	串行数据输入。
SCB	片选信号。低电平有效控制信号，用来选通读写周期。

7.2.5.2 时序规格

HWD12B16GA4PBGA899M3 中 SPI 读写时序如图 50 和图 51 所示。

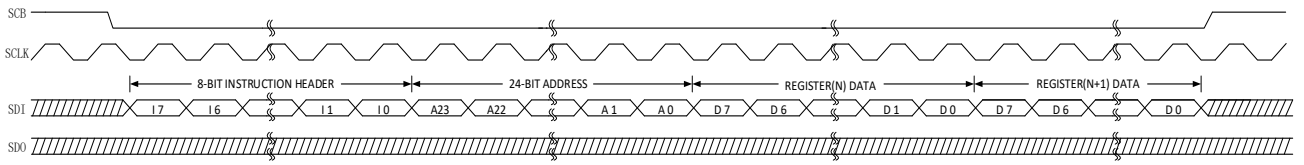


图 50 SPI 寄存器写时序

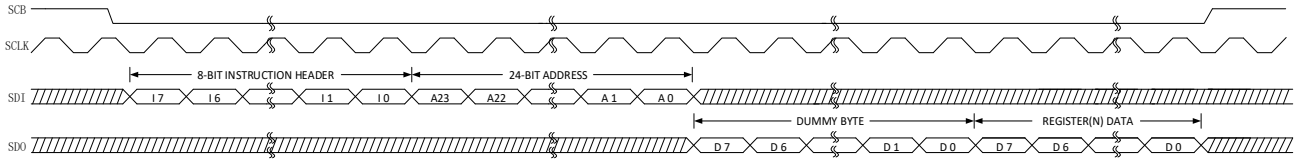


图 51 SPI 寄存器读时序

当 SCB 信号在指令传输阶段无效时，该指令及指令后跟随的数据都将被忽略；当 SCB 信号在第 N-1 个数据传输过程中无效时，第 N-1 个数据将被忽略，如图 52 和图 53 所示。

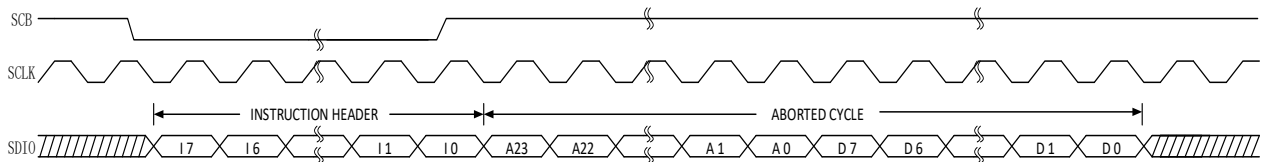


图 52 SCB 信号在指令阶段无效情况

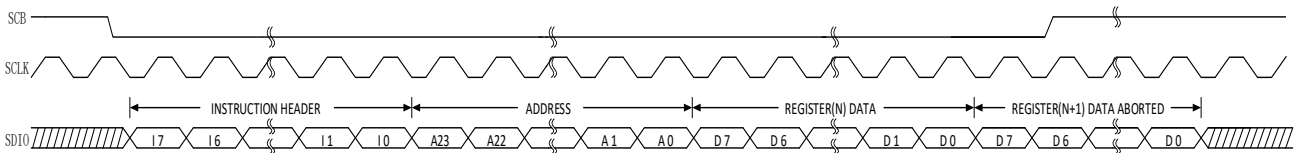


图 53 SCB 信号在数据阶段无效情况

注意：上图 52 和图 53 中的 instruction header 对应的具体信息参见接口指令章节中表格第一列 instruction header 内容。

7.2.5.3 接口指令

HWD12B16GA4PBGA899M3 中 SPI 接口指令列表如下表 19 所示：

表 19 接口指令列表

OP_CODE	Description	Address Cycle	Dummy Cycle	Data Cycle
8' h06	配置寄存器全局使能，芯片上电后，必须输入此 OP_CODE 才可配置寄存器。	0	0	0
8' h04	配置寄存器全局使能关闭；需再次输入 8' h06 才可打开。	0	0	0
8' hAD	配置寄存器指令。	3	0	1 to ∞

OP_CODE	Description	Address Cycle	Dummy Cycle	Data Cycle
8' h90	读取寄存器指令。	3	1	1 to ∞
8' h01	配置状态寄存器指令。	3	0	1
8' h05	读取状态寄存器指令。	3	1	1

7.2.5.3.1 Read-Register 指令

当 SPI_CTRL 接收到 Read_register 指令后，继续接收 3 个 byte 的 ADC 寄存器初始地址，接收完三个初始地址后，SPI 接口需要等待一个 dummy byte 之后，SPI 接口将发出 ADC 寄存器数据。读 ADC 寄存器地址将继续累加，并读取 ADC 寄存器值。当 ADC 寄存器地址累加到最大值后，将回到 0 地址循环读取，直到 SPI 接口 SCB 信号回到高电平则结束当前读 ADC 寄存器操作。

读寄存器采用该指令，默认为多字节自动地址+1 读模式；单字节读出时，发送单字节对应地址，接收输出数据后，将 SCB 拉高结束读操作。

7.2.5.3.2 Write-Register 指令

当 SPI_CTRL 接收到 Write-Register 指令后，继续接收 3 个 byte 的写 ADC 寄存器初始地址，接收完三个初始地址后，SPI_CTRL 继续接收数据，并将数据存入响应地址的影子寄存器中，写 ADC 寄存器地址将继续累加，并将接收到的数据存入相应的寄存器的影子寄存器中。当 ADC 寄存器地址累加到最大值后，将回到 0 地址继续写入。直到 SPI 接口 SCB 信号回到高电平则结束当前写入 ADC 寄存器操作。并将本次写入的寄存器同时更新到 ADC 寄存器中。

写寄存器采用该指令，默认为多字节自动地址+1 写入模式；单字节写入时，发送单字节对应地址和数据后，将 SCB 拉高结束写操作。

注意：进行多字节地址连续写入操作时，需要确保对于寄存器表单中未定义的地址不要进行任何写操作。

7.2.5.3.3 WREN 指令

当 SPI_CTRL 接收到 WREN 指令后，SPI_CTRL 进入写使能操作，内部写使能有效信号将被置高，当此指令有效后，所有写相关的指令将可以生效。在系统复位之后或上电复位之后，发送 Write-Register 等指令之前，需要先发送 WREN 使能写操作，否则写操作指令将失效。

7.2.5.3.4 WRDI 指令

当 SPI_CTRL 接收到 WRDI 指令后，SPI_CTRL 进入无效写使能操作，内部写使能信号将被置地，当此指令有效后，所有写相关指令将不会生效，达到写保护功能。如果需要发送 Write-Register 等指令，在发送指令之前需要先发送 WREN 使能写操作，否则写操作指令将被无效。

7.2.6 存储器映射

HWD12B16GA4PBGA899M3 的存储器映射寄存器表单参见下表 20，本章内容将具体介绍寄存器表单信息。

● 读取存储器映射寄存器

存储器映射寄存器的每一行有 8 位，存储器映射大致分为三部分：ADC 模拟寄存器，ADC 算法寄存器，JESD204B/C 寄存器。

存储器映射寄存器表列出了每个十六进制地址及十六进制默认值。MSB 为给定十六进制默认值的起始位。

注意：表 20 中地址栏末尾 X 表示 4 个 204C IP 的调用，每个 IP 的寄存器完全相同，每个 IP 控制 8 条 lane 的配置。X 取值 0x0、0x1、0x2、0x3 分别表示读/写 IP0、IP1、IP2、IP3 寄存器，X 取值 0xF 表示以相同值同时写 4 个 IP 寄存器。

● 禁用位置和保留位置

本器件目前并不支持全部地址的读写操作，有效地址中未使用的位应保持默认值不变。当一个地址仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址均禁用，则不应对该地址进行写操作。

● 默认值

HWD12B16GA4PBGA899M3 复位后，关键寄存器将载入默认值，存储器映射寄存器表列出了各寄存器的默认值。如果是软复位操作，关键寄存器的值保持当前状态不变。

表 20 HWD12B16GA4PBGA899M3 寄存器映射表

寄存器名字	地址	默认值	描述	备注	coe 配置
ADC 数据传输模式	0x2bc	0x0	3 种模式输出数据 Mode0, 8 条 lane 输出单通道一半数据 Mode1, 8 条 lane 输出单通道全部数据 Mode2, 4 条 lane 输出单通道一半数据		0x0
自动校准寄存器	0x10003	0x3F	Bit[7]: =1 自动校正使能; =0 自动校正关闭 Bit[6]: =1 电容误差自动校正使能; =0 电容误差自动校正关闭 Bit[5]: =1 子 ADC 增益误差自动校正使能; =0 子 ADC 增益误差自动校正关闭 Bit[4]: =1 通道间失调误差自动校正使能; =0 通道间失调误差自动校正关闭 (和 cap 相同条件测试, 用于前台校正时) Bit[3]: =1 通道间增益误差自动校正使能; =0 通道间增益误差自动校正关闭 Bit[2]: =1 通道间时钟误差自动校正使能; =0 通道间时钟误差自动校正关闭 Bit[1]: =1 校正噪声补偿开启, =0 校正噪声补偿关闭 Bit[0]: =1 时间校正参数间隔变化, =0 时间校正参数同时变化	bit7 自动校正使能关闭情况下, 才能单独关闭每一种校正使能。	0x33
手动校准寄存器	0x10005	0x03	Bit[7]: =1 非线性校正使能 Bit[6]: =1 电容误差手动校正使能; =0 电容误差手动校正关闭 Bit[5]: =1 子 ADC 增益误差手动校正使能; =0 子 ADC 增益误差	手动校准开启寄存器	0x4f, 手动校准优先级大于自

寄存器名字	地址	默认值	描述	备注	coe 配置
			差手动校正关闭 Bit[4]: =1 通道间失调误差手动校正使能; =0 通道间失调误差手动校正关闭 Bit[3]: =1 通道间增益误差手动校正使能; =0 通道间增益误差手动校正关闭 Bit[2]: =1 通道间时钟误差手动校正使能; =0 通道间时钟误差手动校正关闭 Bit[1]: =1 dither cancel 模式使能; =0 dither cancel 模式关闭 Bit[0]: =1 dither 模式使能; =0 dither 模式关闭		动, 当手动校准打开时, 使用手动校准寄存器设置值
内部源切换寄存器	0x102d0	0x00	Bit[7]: 算法模块软复位端口 =1 复位, =0 结束复位 Bit[6]: mixer_en Bit[5:4]: mod_dec[1:0] Bit[3:2]: =0 正常输出模式 : =1 斜坡输出模式 : =2 原始数据输出 : =3 原始数据输出 Bit[1:0]: =0 系统增益为 1 : =1 系统增益为 1.125 : =2 系统增益为 1.25 : =3 系统增益为 1.375	配置为 0x4, 斜坡输出 配置为 0x3, 模拟信号输出	0x03
校准寄存器及 ADC 内部源切换寄存器	Reserve	Reserve	Reserve	Reserve	Reserve
204C 寄存器配置表					
tx_div_cfg	0x0242CX	0x00	Bit[7:5]: tx post divider ratios, 由系统参数决定。 =3'b000: /1; =3'b001: /2; =3'b010: /4; =3'b011: /8; =3'b100: /16。 Bit [4:0]: 保留位。		
pll_div_cfg	0x0242DX	0x04	Bit[7:5]: pll feedback divider ratios, 由系统参数决定。 =3'b000: /40 (默认); =3'b001: /80; =3'b110: /66; =0others: 未使用。 Bit[4:3]: pll pre divider ratios, 由系统参数决定。 =2'b00: /1 (默认); =2'b01: /2; =2'b10: /4; =2'b11: /8。 Bit[2]: pll post divider ratios, 由系统参数决定。 =1'b0: /1; =1'b1: /2 (默认)。 Bit[1:0]: 保留位。		
top_cfg	0x0242EX	0x01	Bit[7]: 204C IP 掉电控制位。 =1'b0: 正常工作; =1'b1: 掉电。 Bit[6:1]: 保留位。 Bit[0]: 204C IP PMA PLL 时钟源控制位。 =1'b0: 来自 ADC 的参考时钟; =1'b1: pad 时钟。		
tx_post_tap_cfg0	0x02434X	0x00	Bit[7:4]: tx post tap level control for lane1。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane0。		

寄存器名字	地址	默认值	描述	备注	coe 配置
			=4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。		
tx_post_tap_cfg1	0x02435X	0x00	Bit[7:4]: tx post tap level control for lane3。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane2。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。		
tx_post_tap_cfg2	0x02436X	0x00	Bit[7:4]: tx post tap level control for lane5。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane4。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。		
tx_post_tap_cfg3	0x02437X	0x00	Bit[7:4]: tx post tap level control for lane7。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane6。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。		
tx_pre_tap_cfg0	0x02438X	0x00	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane1。		

寄存器名字	地址	默认值	描述	备注	coe 配置
			=3' b000: 0 dB; =3' b001: 0.5 dB; =3' b010: 1 dB; =3' b011: 1.7 dB; =3' b100: 2.4 dB; =3' b101: 3.2 dB; =3' b110: 4.1 dB; =3' b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane0。 =3' b000: 0 dB; =3' b001: 0.5 dB; =3' b010: 1 dB; =3' b011: 1.7 dB; =3' b100: 2.4 dB; =3' b101: 3.2 dB; =3' b110: 4.1 dB; =3' b111: 5.2 dB。		
tx_pre_tap_cfg1	0x02439X	0x00	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane3。 =3' b000: 0 dB; =3' b001: 0.5 dB; =3' b010: 1 dB; =3' b011: 1.7 dB; =3' b100: 2.4 dB; =3' b101: 3.2 dB; =3' b110: 4.1 dB; =3' b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane2。 =3' b000: 0 dB; =3' b001: 0.5 dB; =3' b010: 1 dB; =3' b011: 1.7 dB; =3' b100: 2.4 dB; =3' b101: 3.2 dB; =3' b110: 4.1 dB; =3' b111: 5.2 dB。		
tx_pre_tap_cfg2	0x0243AX	0x00	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane5。 =3' b000: 0 dB; =3' b001: 0.5 dB; =3' b010: 1 dB; =3' b011: 1.7 dB; =3' b100: 2.4 dB; =3' b101: 3.2 dB; =3' b110: 4.1 dB; =3' b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane4。 =3' b000: 0 dB; =3' b001: 0.5 dB; =3' b010: 1 dB; =3' b011: 1.7 dB; =3' b100: 2.4 dB; =3' b101: 3.2 dB; =3' b110: 4.1 dB; =3' b111: 5.2 dB。		
tx_pre_tap_cfg3	0x0243BX	0x00	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane7。 =3' b000: 0 dB; =3' b001: 0.5 dB; =3' b010: 1 dB; =3' b011: 1.7 dB; =3' b100: 2.4 dB; =3' b101: 3.2 dB; =3' b110: 4.1 dB; =3' b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane6。 =3' b000: 0 dB; =3' b001: 0.5 dB; =3' b010: 1 dB; =3' b011:		

寄存器名字	地址	默认值	描述	备注	coe 配置
			1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。		
SUBCLASS	0x0281CX	0x01	Bit[7:3]: 保留位。 Bit[2:0]: 操作子类模式 (0 或 1)。		
E	0x02AD4X	0x03	Bit[7:0]: 每个扩展多块中多块的数量。如果不支持扩展多块, E=1。合法值是 1-127, 编码为二进制值减 1。		

8 应用建议

8.1 启动流程

- 1) HWD12B16GA4PBGA899M3 上电没有强制上电顺序要求，上电前供采样时钟或上电同时提供采样时钟。
- 2) 上电后，将 RST_EXT 拉低进行复位，然后再拉高。
- 3) 配置寄存器列表，主要包含 ADC 基础参数与 JESD204C 相关参数。
- 4) 读取寄存器，检查 PLL 锁定状态，bit[0]=1 表示锁定，PHY 工作正常。bit[0]=0 表示未锁定，重复步骤 2~4，直到工作正常。

8.2 应用电路

应用电路设计应符合 HWD12B16GA4PBGA899M3 数据手册中额定参数要求，推荐参考 HWD12B16GA4PBGA899M3 官方 DEMO 板设计或联系我们的销售人员。在实际应用前，应对包含 ADC 的系统进行充分的测试，保证各项指标均在设计范围内，确保 ADC 按照设计参数进行工作。

8.2.1 电源供应

HWD12B16GA4PBGA899M3 电源部分典型应用电路如图 54 所示。对于多片 HWD12B16GA4PBGA899M3，推荐复制前级电源模块保证单个 HWD12B16GA4PBGA899M3 电流供应和电源噪声。另外为了保证 ADC 性能，推荐使用 LDO 作为 ADC 电源的供电的最后一级。

HWD12B16GA4PBGA899M3 不同电源轨的上电顺序没有严格的约束，只需要保证 ADC 进行配置之前，各电源轨满足所需要的额定电压和电流值。

与大多数 ADC 类似，我们也建议在 PCB 设计和布板上，使用低 ESR 的电容器作为 ADC 的滤波/去耦电容，并将它们放置在尽量靠近芯片的电源管脚处，以实现电源完整性设计。

所有的 GND 管脚尽可能短地接入完整的地平面。

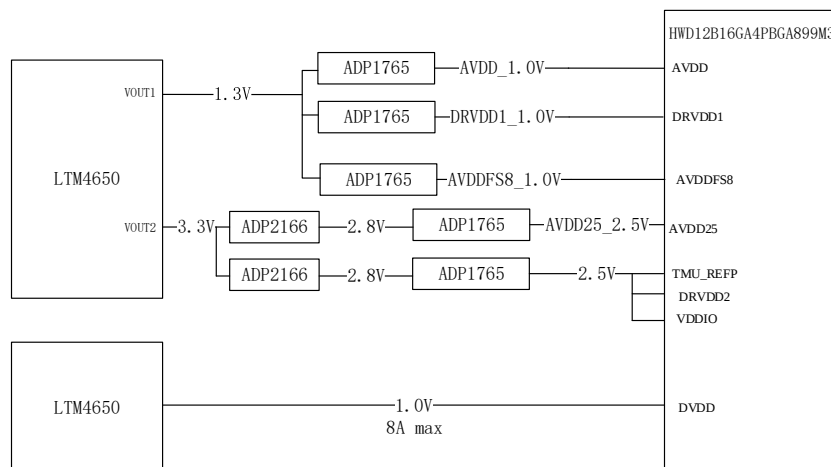


图 54 典型电源供应示意图

8.2.2 配置电路

8.2.2.1 时钟典型配置

HWD12B16GA4PBGA899M3 支持内部 PLL 分配 Serdes 时钟和外部输入 serdes 时钟，当使用 PLL 生成时钟时，通过 CLK 管脚提供时钟源。当使用外部输入时钟时，通过 refclk 管脚输入差分时钟，由于该时钟应用于 serdes 传输，因此需保证外接时钟的信号质量，另外该时钟为高频时钟信号，还应保证外接时钟源到管脚的信号幅值，我们推荐使用高速 PCB 板材和低插损的连接器，过低的 CLK 幅值将影响 ADC 性能。

REFCLK 和 SYSREF 为 ADC 的 SERDES 链路时钟，推荐使用符合 JESD204C 标准的时钟芯片来产生严格同步的时钟信号。如果是用于初次设计，推荐在原理设计中采用备用外接时钟输入，这样可以提高初次设计的成功率。

差分时钟链路在 PCB 上的应满足 $100\ \Omega$ 差分阻抗匹配。

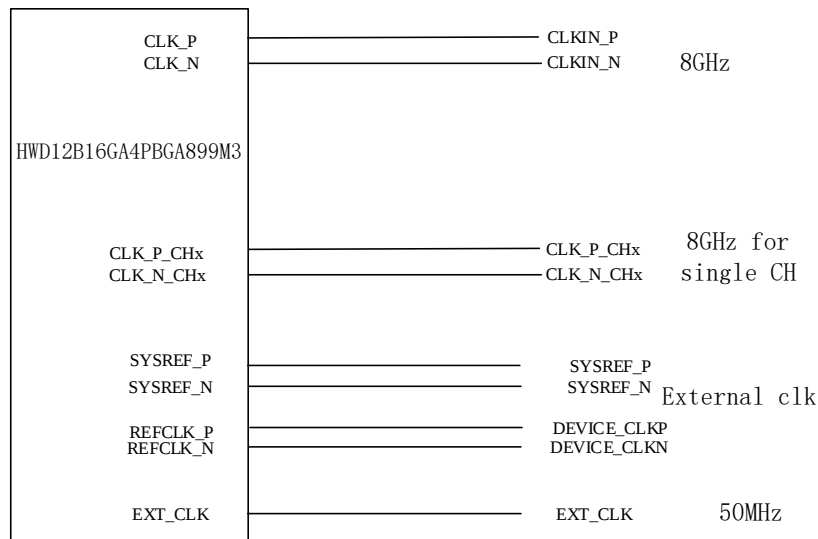


图 55 时钟配置典型示意图

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- 器件应在防静电的工作台上操作；
- 试验设备和器具应接地；
- 不能触摸器件引线；
- 器件应存放在导电材料制成的容器中；
- MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物；
- 若可行，相对湿度保持在 50% 以上。

10 订货信息

表 21 产品订货信息

序号	产品型号	封装形式	封装材料	器件等级	引脚材料	重量	详细规范
1	HWD12B16GA4PBGA899M3	PBGA899	塑料	N1 级	—	9.3g	—

注1:

- a) N/N1级器件满足GJB 7400 《合格制造厂认证用半导体集成电路通用规范》N/N1级的筛选要求。

注2: 产品订货信息为我司已有产品或确定研制的器件, 可根据用户需求研制其他封装形式的器件。