

HWD7606-A 系列
16 位 A/D 转换器
产品手册
V1.6.0

成都华微电子科技股份有限公司

2026 年 6 月 8 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本	劳倩文	20231116	
V1.1.0	增加时序参数	谢伟	20230117	
V1.2.0	更改引脚定义部分	谢伟	20240328	
V1.3.0	增加时序参数极值 增加典型应用电路	谢伟	20241012	
V1.4.0	更正 44/45 引脚定义的编译错误	谢伟	20250910	
V1.5.0	1. 根据技术支持中心的建议，增加焊盘和焊接温度曲线； 2. 删除“9 使用注意事项”的“f 若可行，相对湿度保持在 50%以上。”； 3. 更新公司的 logo。	袁妍璐	20260302	
V1.6.0	1. 更新电参表。 2. 修改订货信息表。 3. 将“4.2 焊盘推荐”更改为“焊盘开窗推荐”，并增加备注信息。	张文莲	20260608	

目 次

1 概述	1
2 产品特点	1
3 功能框图	2
4 封装信息	5
4.1 HWD7606-A 封装信息	5
4.2 HWD7606-A 焊盘开窗推荐	7
4.3 HWD7606-A 焊接推荐	8
5 绝对最大额定值及推荐工作范围	10
5.1 绝对最大额定值	10
5.2 推荐工作范围	10
6 电特性参数	10
7 工作原理	12
7.1 模拟输入	12
7.2 ADC 传递函数	12
7.3 内部/外部基准电压	12
7.4 转换控制	13
7.5 数字接口	15
7.6 数字滤波器	16
8 时序图	17
9 应用建议	22
10 使用注意事项	25
11 订货信息	26

1 概述

HWD7606-A是八通道同步采样模数数据采集系统(DAS)。内置二阶抗混叠滤波器、跟踪保持放大器、16 位电荷再分配逐次逼近型模数转换器(ADC)、灵活的数字滤波器、2.5V 基准电压源、基准电压缓冲以及高速串行和并行接口。芯片工作温度范围为-55 ℃ 至+125 ℃。HWD7606-A采用64引脚塑料和陶瓷QFP两种封装，其功能、外形尺寸和管脚定义与 AD7606兼容。

HWD7606-A采用5V单电源供电，可以处理 $\pm 10V$ 和 $\pm 5V$ 双极性输入信号，同时所有通道均能以高达200kSPS 的吞吐速率采样。HWD7606-A的模拟输入阻抗均为 $1M\Omega$ 。它采用单电源工作方式，具有片内滤波和高输入阻抗，因此无需驱动运算放大器和外部双极性电源。数字滤波器采用引脚驱动，可以改善信噪比(SNR)，并降低3dB带宽。

2 产品特点

- 1) 8 路同步采样输入
- 2) 真双极性模拟输入范围： $\pm 10V$ 、 $\pm 5V$
- 3) 5V 单模拟电源，VDRIVE: 2.3V 至 5V
- 4) 完全集成的数据采集解决方案
- 5) 模拟输入钳位保护
- 6) 具有 $1M\Omega$ 模拟输入阻抗的输入缓冲器
- 7) 二阶抗混叠模拟滤波器
- 8) 片内精密基准电压及缓冲
- 9) 16 位、200kSPSADC(所有通道)
- 10) 通过数字滤波器提供过采样功能
- 11) 灵活的并行 / 串行接口
- 12) 低功耗：100mW

3 功能框图

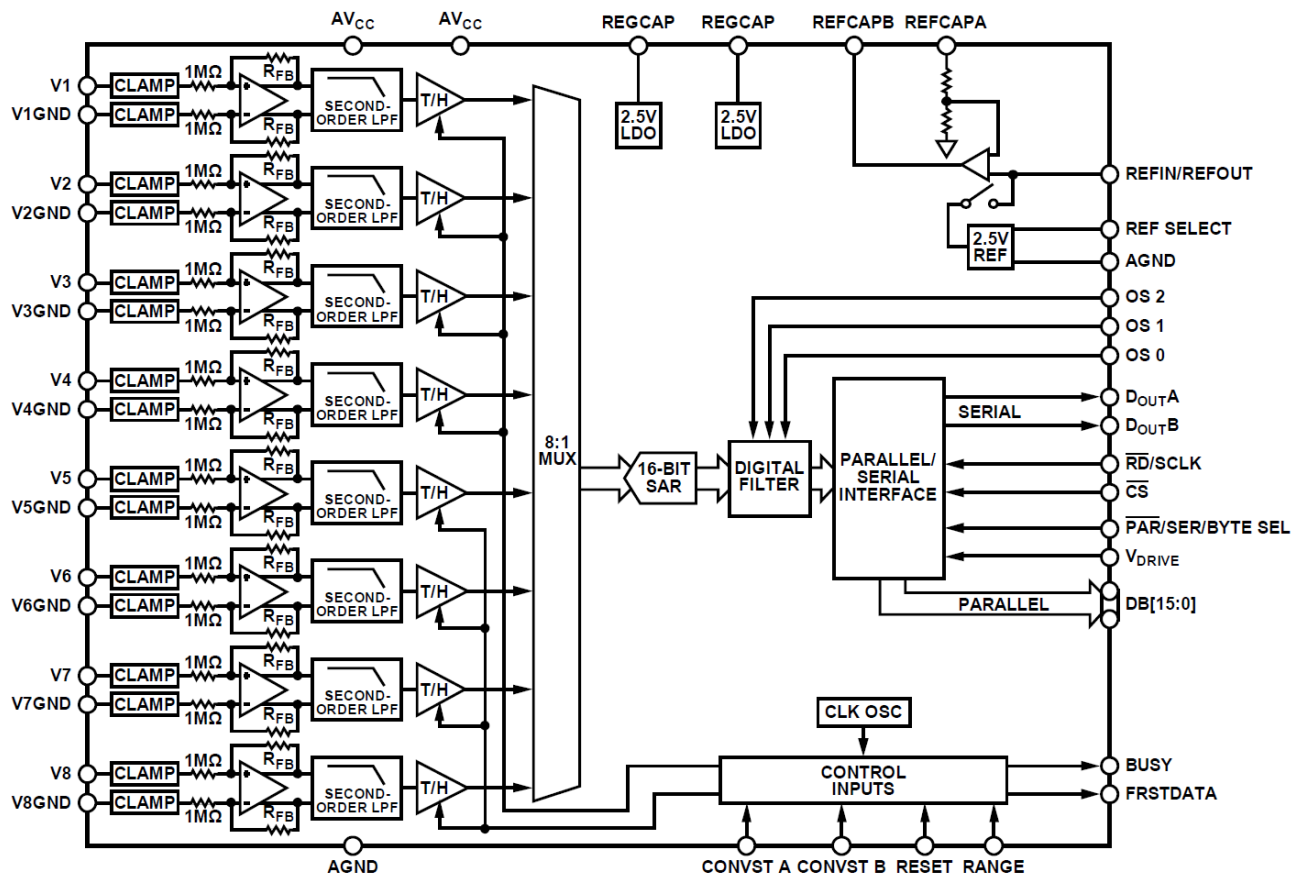


图1 功能框图

HWD7606-A典型应用场景如下图所示。

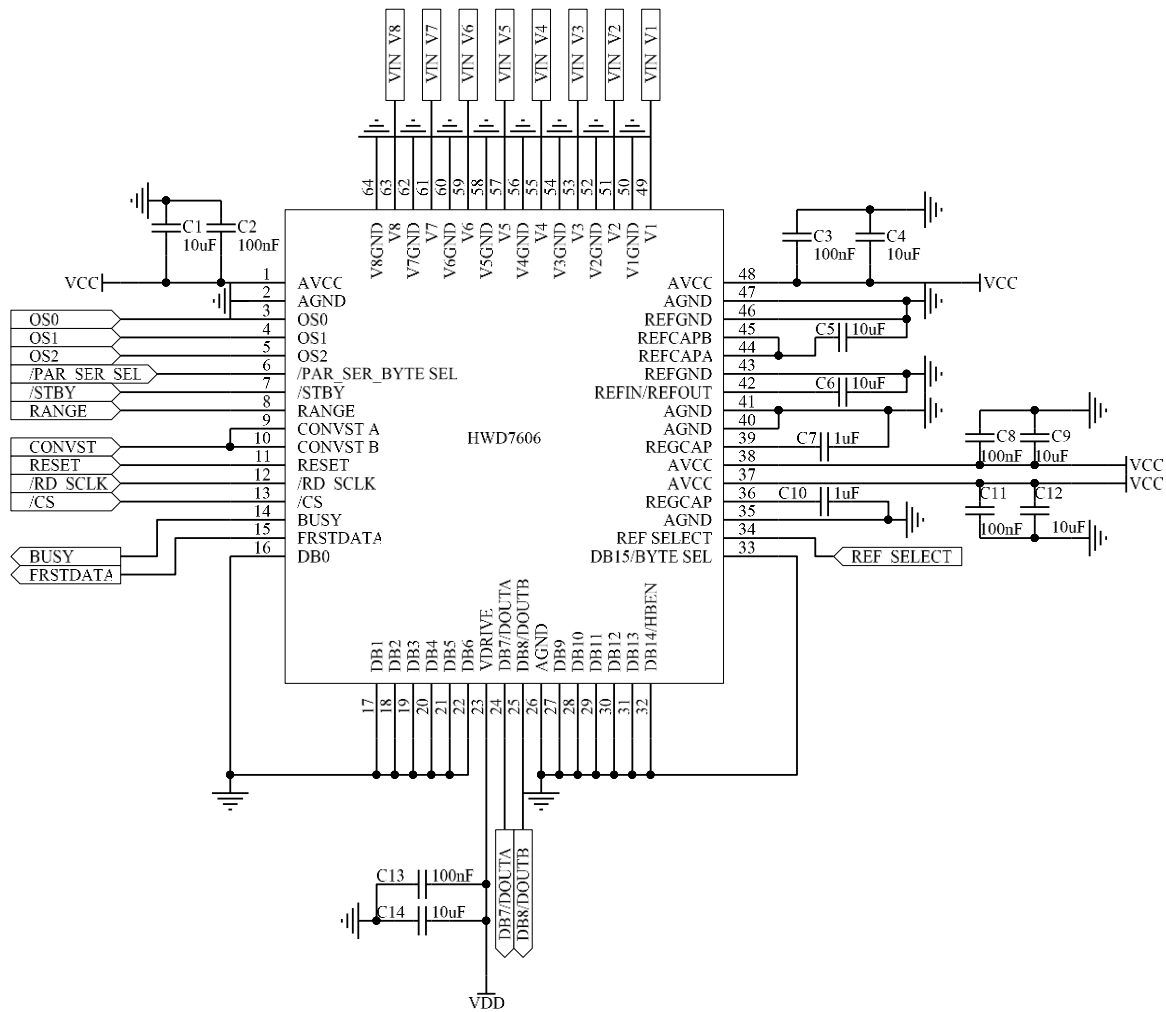


图2 典型应用场景（串行模式）

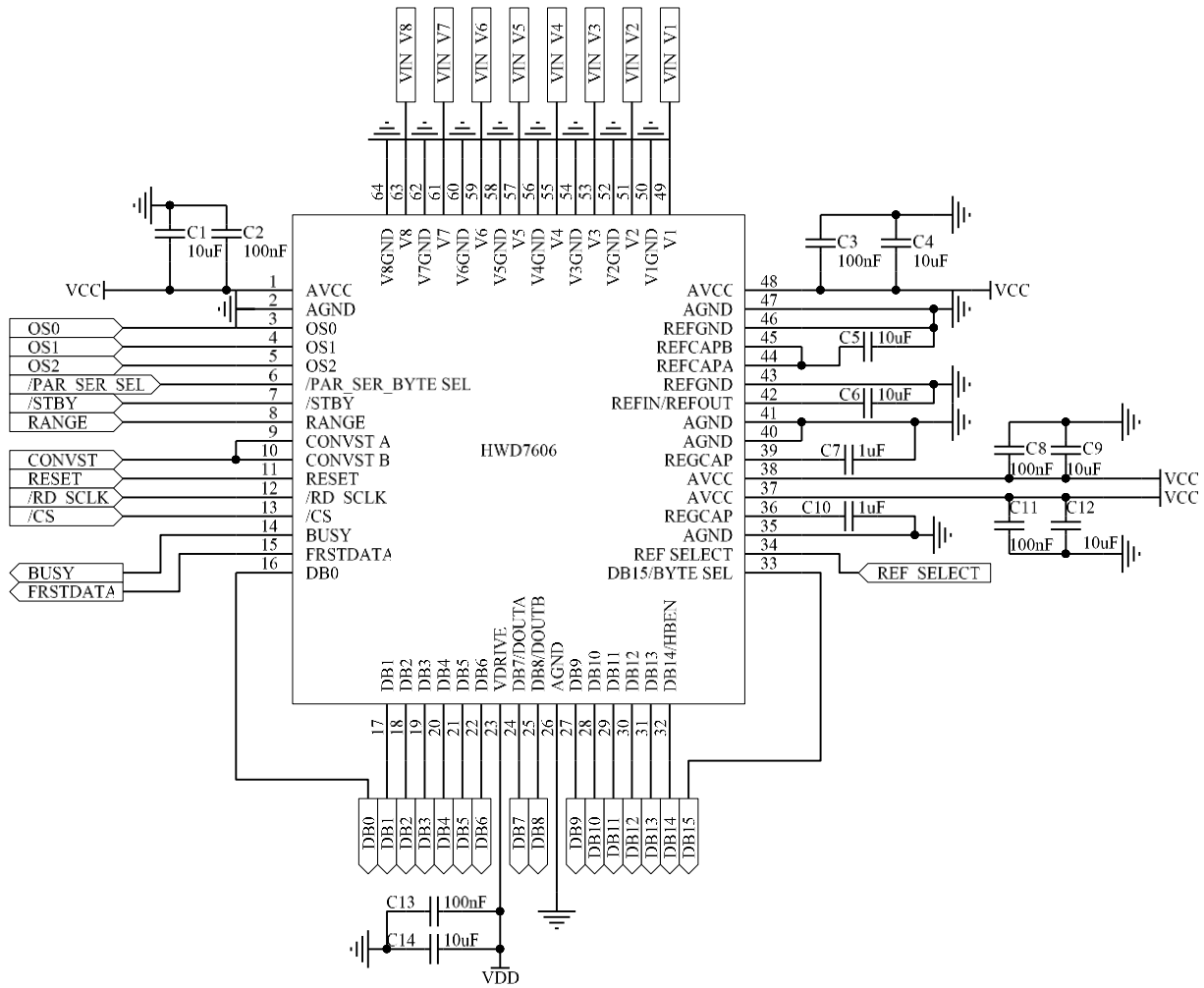
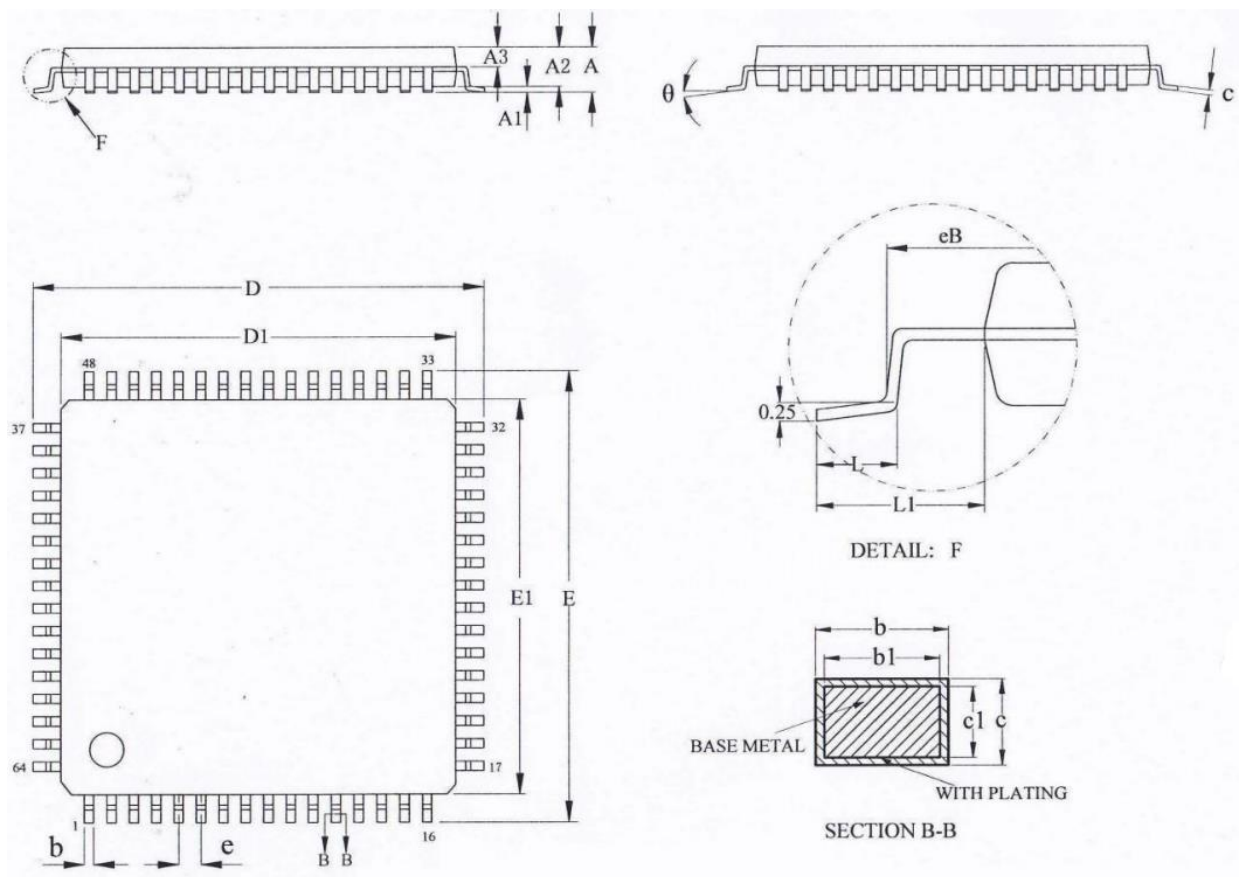


图3 典型应用场景（并行模式）

4 封装信息

4.1 HWD7606-A 封装信息

HWD7606-A系列产品采用塑封LQFP64封装，外形及引脚排列图如下图所示。



单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
eB	11.05	—	11.25
E1	9.90	10.00	10.10

尺寸符号	数值		
	最小	公称	最大
e	0.50BSC		
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

图4 HWD7606-A 封装外形尺寸图

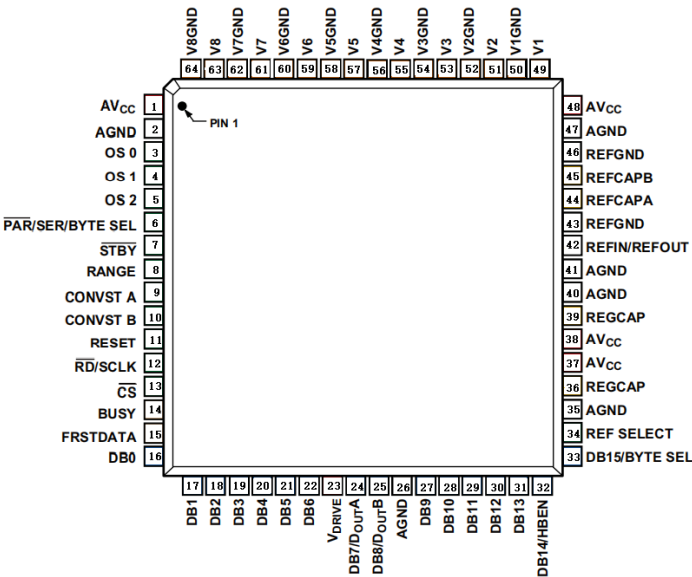


图5 HWD7606-A 引脚排列图

HWD7606-A引脚描述描述如下表所示。

表 1 HWD7606-A 引脚描述

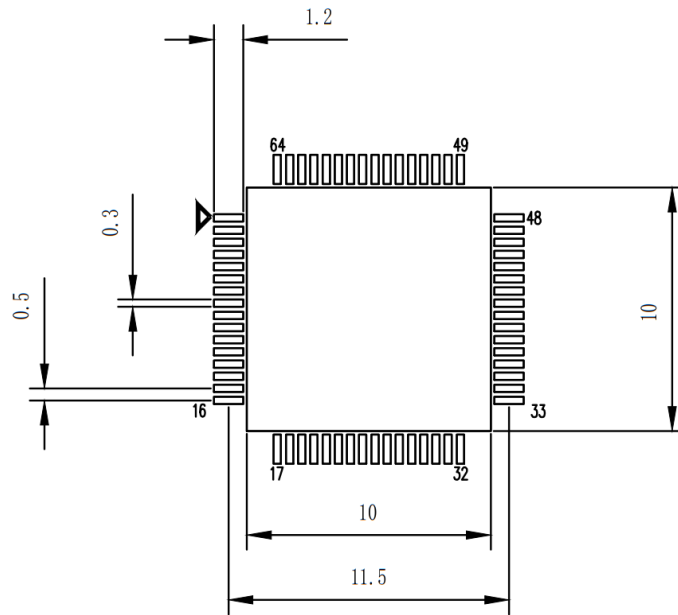
管脚	管脚名	功能描述
1,37,38,48	AV _{CC}	模拟电源电压
2,26,35,40,41,47	AGND	模拟地
5,4,3	OS[2:0]	过采样模式控制端口
6	PAR /SER/BYTE SEL	并行、串行、字节数据输出模式控制端口
7	STBY	休眠、关断模式控制端口
8	RANGE	模拟输入范围控制端口
9,10	CONVSTA CONVSTB	分别启动1~4 通道，5~8 通道转换
11	RESET	复位控制
12	RD /SCLK	数据读取信号
13	CS	片选
14	BUSY	转换标识信号
15	FRSTDATA	首组数据输出标识信号
16~22	DB[6:0]	低七位数据并行输出端口

管脚	管脚名	功能描述
23	VDRIVE	数据接口电源
24	DB7/DOUTA	并行输出第七位数据端口、半数通道字节或者串行输出数据端口
25	DB8/DOUTB	并行输出第八位数据端口、半数通道字节或者串行输出数据端口
27~31	DB[13:9]	13~9 几位数据并行输出端口
32	DB14/HBEN	并行输出数据位14(DB14)/高字节使能(HBEN)。
33	DB15/ BYTE SEL	并行输出数据位15(DB15)/并行字节模式选择(BYTESEL)。
34	REF SELECT	内部/外部基准电压选择输入
36,39	REGCAP	内部稳压器输出电压去耦电容引脚。应分别接1uF电容去耦到地。引脚输出电压1.8V~2.0V。两个引脚禁止短接。
42	REFIN REFOUT	基准电压输入(REFIN)/基准电压输出(REFOUT)，此引脚应与REFGND引脚附近的地之间连接一个10uF电容
43,46	REFGND	基准电压接地引脚
44,45	REFCAPA REFCAPB	基准缓冲输出滤波端口，必须将这些引脚连接在一起，并通过低ESR 10uF陶瓷电容去耦至AGND，引脚电压约4V
49, 51, 53, 55, 57, 59, 61, 63	V1~V8	模拟输入端口
50, 52, 54, 56, 58, 60, 62, 64	V1GND~V8GND	模拟输入参考地

4.2 HWD7606-A 焊盘开窗推荐

备注：焊盘开窗尺寸是指PCB端用于此器件焊接的未被阻焊覆盖区域的尺寸，非焊盘本身尺寸，用户需根据实际应用场景进行调整。

HWD7606-A焊盘开窗推荐如下图所示，用户可根据焊接要求进行调整。



单位: mm

图6 HWD7606-A 推荐焊盘开窗尺寸图

4.3 HWD7606-A 焊接推荐

HWD7606-A系列产品建议无铅回流曲线。

回流加热方式	热风对流, 红外/热风对流
加热速度	最大 3°C/s
预热温度 150°C~200°C	60s~120s
熔点以上温度保持时间 (回流时间)	60s~120s
低于峰值温度 5°C 以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235°C, 典型温度 245°C, 不超过 260°C
降温速度	最大 6°C/s
室温到峰值温度时间	最小 3.5 分钟, 典型值 5 分钟, 不超过 8 分钟
建议焊膏	ALPHA OM338 SAC305
备注	请根据选用的焊膏特性作相应的调整

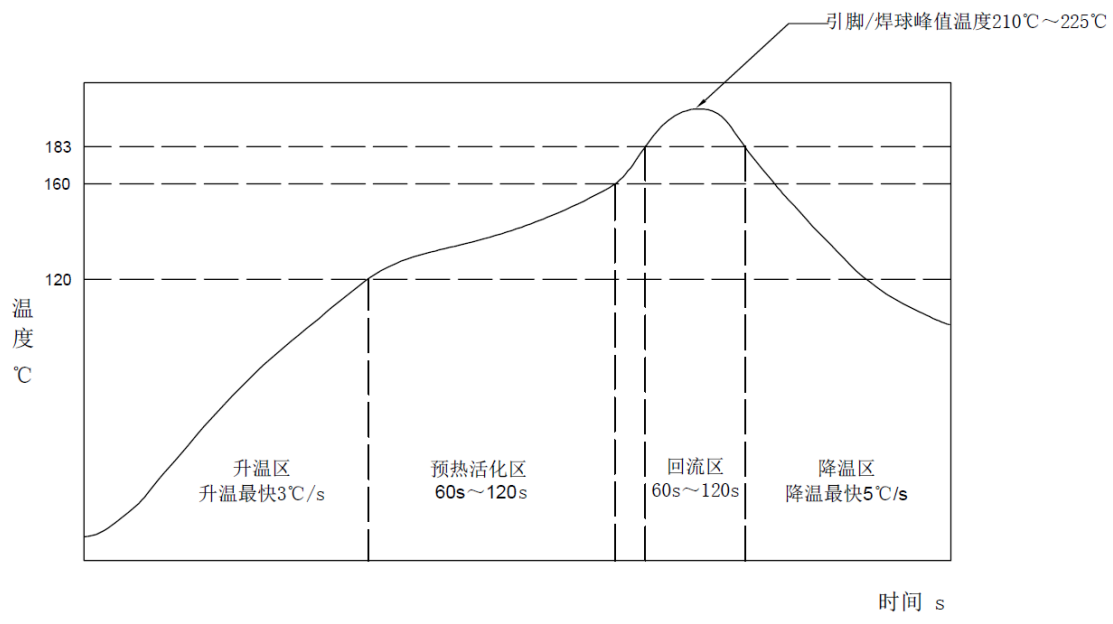


图7 HWD7606-A 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	模拟电源电压(AV_{CC})	-0.3V~+6V
2	数字端口电源电压(V_{DRIVE})	-0.3V~ $AV_{CC}+0.3V$
3	模拟输入电压	$\pm 16.5V$
4	数字输入电压	-0.3V~ $V_{DRIVE}+0.3V$
5	数字输出电压	-0.3V~ $V_{DRIVE}+0.3V$
6	基准输入端电压(V_{REFIN})	-0.3V~ $AV_{CC}+0.3V$
7	除电源之外的其他端口的输入电流(I_{IN})	$\pm 10mA$
8	ESD (HBM)	2000V
9	储存时的环境温度 (T_{stg})	-65°C~150°C
10	引线耐焊接温度 (T_h)	300°C
11	结温 (T_J)	175°C

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	数字端口电源电压 (V_{DRIVE})	2.30V~5.25V
2	模拟电源电压 (AV_{CC})	4.75V~5.25V
3	基准电压 (V_{REF} , 内基准或者外基准)	2.5V
4	工作环境温度 (T_A)	-55°C~125°C

6 电特性参数

该电特性指标为该系列产品能达到的最佳指标，不同的质量等级及封装形式略有不同，具体见对应的详细规范。

表 2 电特性

参数	符号	条 件 (除非另有规定, $4.75V \leq AV_{CC} \leq 5.25V$, $2.3V \leq V_{DRIVE} \leq 5.25V$, 模拟输入范围: $\pm 5V$ $-55^\circ C \leq T_A \leq 125^\circ C$)	最小值	最大值	单位
分辨率	RES	无失码, $AV_{CC}=V_{DRIVE}=5V$	16	—	Bits
微分非线性误差	DNL	$AV_{CC}=V_{DRIVE}=5V$	-0.99	3	LSB
积分非线性误差	INL	$AV_{CC}=V_{DRIVE}=5V$	-6	6	LSB

参数	符号	条 件 (除非另有规定, $4.75V \leq AV_{CC} \leq 5.25V$, $2.3V \leq V_{DRIVE} \leq 5.25V$, 模拟输入范围: $\pm 5V$ $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	最小值	最大值	单位
正满度误差	E_{FP}	外基准, $AV_{CC}=V_{DRIVE}=5V$ 内基准, $AV_{CC}=V_{DRIVE}=5V$	-15	15	mV
负满度误差	E_{FN}	外基准, $AV_{CC}=V_{DRIVE}=5V$ 内基准, $AV_{CC}=V_{DRIVE}=5V$	-15	15	mV
双极零点误差	E_Z	$AV_{CC}=V_{DRIVE}=5V$, 模拟输入范围: $\pm 10V$	-6	6	LSB
		$AV_{CC}=V_{DRIVE}=5V$, 模拟输入范围: $\pm 5V$	-10	10	LSB
数字输入高电平电压	V_{INH}	—	$0.9 \times V_{DRIVE}$	—	V
数字输入低电平电压	V_{INL}	—	—	$0.1 \times V_{DRIVE}$	V
数字输入电流	I_{IN}	—	-2	2	μA
数字输出电流	I_{OUT}	数字输出引脚悬空 (N1 级和军温级)	-20	20	μA
数字输出高电平电压	V_{OH}	—	$V_{DRIVE} - 0.8$	—	V
数字输出低电平电压	V_{OL}	—	—	0.8	V
功耗	P_D	正常工作状态	—	140	mW
信噪比	SNR	$AV_{CC}=V_{DRIVE}=5V$, $V_{IN}=-0.5dBFS$, 无过采样	87	—	dBc
		$AV_{CC}=V_{DRIVE}=5V$, $V_{IN}=-0.5dBFS$, 4 倍过采样	90	—	dBc
信纳比	SIN	$AV_{CC}=V_{DRIVE}=5V$, $V_{IN}=-0.5dBFS$, 无过采样	86	—	dBc
	AD	$AV_{CC}=V_{DRIVE}=5V$, $V_{IN}=-0.5dBFS$, 4 倍过采样	89	—	dBc
总谐波失真	THD	$AV_{CC}=V_{DRIVE}=5V$, $V_{IN}=-0.5dBFS$, 无过采样	—	-94	dBc
		$AV_{CC}=V_{DRIVE}=5V$, $V_{IN}=-0.5dBFS$, 4 倍过采样	—	-94	dBc
无杂散动态范围	$SFDR$	$AV_{CC}=V_{DRIVE}=5V$, $V_{IN}=-0.5dBFS$, 无过采样	—	-95	dBc
	R	$AV_{CC}=V_{DRIVE}=5V$, $V_{IN}=-0.5dBFS$, 4 倍过采样	—	-95	dBc
串行读取时钟频率	f_{SCLK}	$AV_{CC}=V_{DRIVE}=5V$	—	20	MHz
采样率	f_s	$AV_{CC}=V_{DRIVE}=5V$	—	200	KSPS

7 工作原理

7.1 模拟输入

7.1.1 模拟输入范围

HWD7606-A 可处理真双极性，单端输入电压。RANGE 引脚的逻辑电平决定所有模拟输入通道的模拟输入范围。如果此引脚与逻辑高电平相连，则所有通道的模拟输入范围为 $\pm 10\text{V}$ 。如果此引脚与逻辑低电平相连，则所有通道的模拟输入范围为 $\pm 5\text{V}$ 。此引脚的逻辑状态改变会立即影响模拟输入范围，但是，除正常采集时间要求外，还有典型值约为 $90\mu\text{s}$ 的建立时间要求。建议根据系统信号所需的输入范围，通过硬连线设置 RANGE 引脚。

7.1.2 模拟输入阻抗

HWD7606-A 的模拟输入阻抗为 $1\text{M}\Omega$ 。这是固定输入阻抗，不随采样频率而变化。高输入阻抗可免除前端的驱动放大器，允许其与信号源或传感器直接相连。由于无需驱动放大器，因此可去掉信号链中的双极性电源（通常是系统中的噪声源）。

7.2 ADC 传递函数

HWD7606-A 的输出编码方式为二进制补码。所设计的码转换在连续的 LSB 整数值的中间（即 $1/2\text{LSB}$ 和 $3/2\text{LSB}$ ）进行。HWD7606-A 的 LSB 大小为 $\text{FSR}/65,536$ 。其理想传递特性如下图所示。

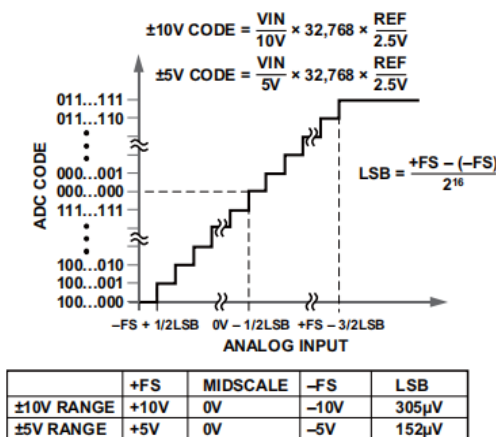


图8 HWD7606-A 的理想传递特性

7.3 内部/外部基准电压

HWD7606-A 内置一个 2.5V 片内带隙基准电压源。REFIN/REFOUT 引脚既可使用该 2.5V 基准电压，用以在内部产生 4.5V 片内基准电压，也允许施加一个 2.5V 外部基准电压。所施加的 2.5V 外部基准电压也会被内部缓冲放大至 4.5V 。此 4.5V 缓冲的基准电压是 SAR ADC 所用的基准电压。

REF SELECT 引脚是一个逻辑输入引脚，允许用户选择内部基准电压或外部基准电压。如果此引脚设

为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 REFIN/REFOUT 引脚。内部基准电压缓冲始终使能。复位之后器件工作在 REF SELECT 引脚所选择的基准电压模式。无论使用内部还是外部基准电压，都需要对 REFIN/REFOUT 引脚去耦。REFIN/REFOUT 引脚需要使用 $10\mu\text{F}$ 的陶瓷去耦电容。

7.3.1 外部基准电压模式

HWD7606-A 可以使用一个外部的基准电压源 ADR421 驱动所有 HWD7606-A 器件的 REFIN/REFOUT 引脚，如下图所示。在此配置中每个器件的 REFIN/REFOUT 引脚都应该使用至少一个 100nF 的去耦电容。

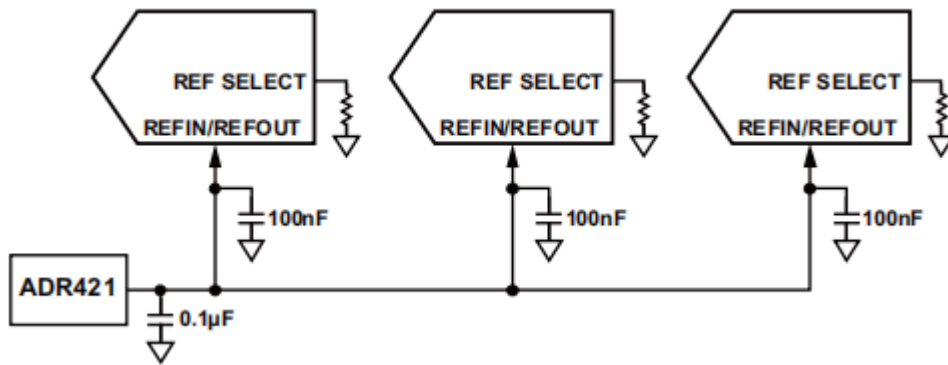


图9 外部基准电压源驱动多个 REFIN 引脚

7.3.2 内部基准电压模式

配置为内部基准电压工作模式的一个 HWD7606-A 器件可以用来驱动配置为外部基准电压工作模式的其余 HWD7606-A 器件，如下图所示。其应利用 $10\mu\text{F}$ 陶瓷去耦电容对其 REFIN/REFOUT 引脚去耦。配置为外部基准电压模式的其他 7606 器件应各利用至少一个 100nF 的去耦电容对其 REFIN/REFOUT 引脚去耦。

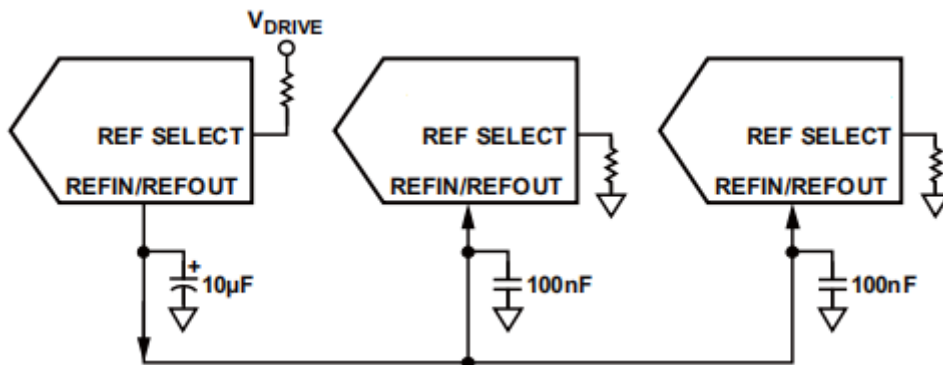


图10 内部基准电压源驱动多个 REFIN 引脚

7.4 转换控制

7.4.1 内部基准电压模式

HWD7606-A 可以对所有模拟输入通道进行同步采样。当两个 CONVST 引脚（CONVST A 和 CONVST

B) 连在一起时，所有通道同步采样。使用一个 CONVST 信号便可控制两个 CONVST 的 X 输入。此公用的 CONVST 信号的上升沿启动对所有模拟输入通道 (V1-V8) 的同步采样。

HWD7606-A 内置一个片内振荡器用于转换。所有 ADC 通道的转换时间为 t_{conv} 。BUSY 信号告知使用者正在进行转换，因此当施加 CONVST 上升沿时，BUSY 变为逻辑高电平，在整个转换过程结束时变为低电平。BUSY 信号下降沿用来使所有八个采样保持放大器返回跟踪模式。BUSY 下降沿还表示可以从并行总线 DB[15:0], DOUTA/ DOUTB 串行数据线路或并行字节总线 DB[7:0] 读取新数据。

7.4.2 两组通道同步采样

HWD7606-A 还允许模拟输入通道以两组的形式进行同步采样。这可以用在电力线保护和测量系统中以补偿 PT 和 CT 变压器所引入的相位差。在 50HZ 系统，它可以提供最多 9° 的相位补偿；在 60HZ 系统中，它可以提供最多 10° 的相位补偿。

通过脉冲独立激活两个 CONVST 引脚，并且只有在不使用过采样时，才可实现这种采样方式。CONVST A 用来对第一组通道 (V1-V4) 启动同步采样；CONVST B 用来对第二组模拟输入通道 (V5-V8) 启动同步采样。如下图所示。

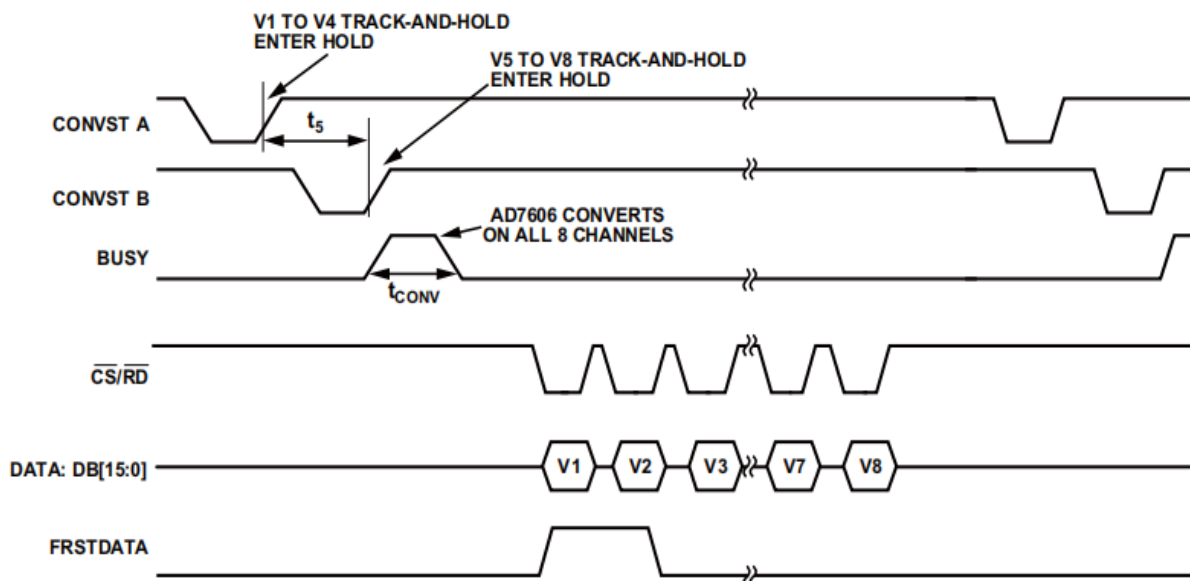


图11 HWD7606-A 并行模式

在 CONVST A 上升沿时，第一组通道的采样保持放大器进入保持模式。在 CONVST B 上升沿时，第二组通道的采样保持放大器进入保持模式。当两个 CONVST X 均已达到上升沿时，转换过程开始，因此在后一个 CONVST X 信号的上升沿时，BUSY 变为高电平。

使用两个独立的 CONVST X 信号时，数据读取过程不变。

将所有不使用的模拟输入通道接 AGND。不使用通道的结果仍会包括在所读取的数据中，因为始终会

转换所有通道。

7.5 数字接口

HWD7606-A 提供三种接口选项：并行接口，高速串行接口和并行字节接口。所需接口模式可通过 $\overline{\text{PAR}}$ /SER/BYTE SEL 和 DB15/BYTE SEL 引脚来选择。

表 3 接口模式选择

$\overline{\text{PAR}}$ /SER/BYTE SEL	DB15	接口模式
0	0	并行接口模式
1	0	串行接口模式
1	1	并行字节接口模式

7.5.1 并行接口

用户可以用标准 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 信号通过并行数据总线从 HWD7606-A 读取数据。通过并行总线读取数据时，需要将 $\overline{\text{PAR}}$ /SER/BYTE SEL 引脚和低电平相连。通过内部选通 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 输入信号，可以将转换结果输出到数据总线。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 同时处于逻辑低电平时，数据线 DB15 至 DB0 不再呈高阻态。其接口如下图所示。

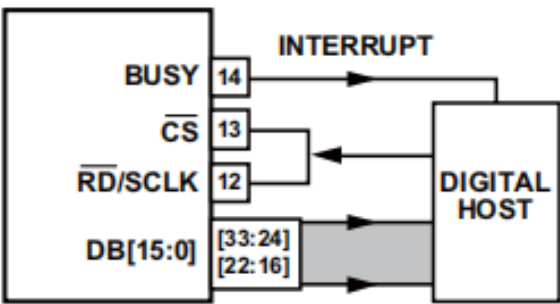


图12 HWD7606-A 接口图

7.5.2 并行字节

并行字节接口模式的工作原理与并行接口模式非常相似，不过各通道转换结果时分两次 8 位传输读出，因此，读取 HWD7606-A 的所有八个转换结果需要 16 个 $\overline{\text{RD}}$ 脉冲。将其配置位并行字节模式时， $\overline{\text{PAR}}$ /SER/BYTE SEL 和 BYTE SEL/DB15 引脚应与逻辑高电平相连，如表 3 所示。并行字节模式下，DB[7:0]用来将数据传输至数字主机。DB0 为数据传输的 LSB，DB7 为数据传输的 MSB。DB14 充当 HBEN 引脚。当 DB14/HBEN 接逻辑高电平时，首先输出转换结果的高字节（MSB），然后输出低字节（LSB）。当 DB14 接逻辑低电平时，首先输出转换结果的 LSB，然后输出 MSB。FRSTDATA 引脚将保持高电平，直到从 7606 读取 V1 的全部 16 位转换结果。

7.5.3 串行接口

用户若要通过串行接口从 HWD7606-A 回读数据， $\overline{\text{PAR/SER/BYTE SEL}}$ 引脚必须连接高电平。 $\overline{\text{CS}}$ 和 SCLK 信号用来传输数据。HWD7606-A 有两个串行数据输出引脚：D_{OUTA} 和 D_{OUTB}。可通过单或双 D_{OUT} 线路从器件回读数据。对于 HWD7606-A，通道 V1-V4 的转换结果首先出现在 D_{OUTA} 上，通道 V5-V8 的转换结果则首先出现在 D_{OUTB} 上。

7.5.4 转换期间读取

当 BUSY 为高电平，转换正在进行时，也可以从 HWD7606-A 读取数据，这几乎不会影响转换器的性能，而且可以实现更快的吞吐速率。转换期间可以执行并行，并行字节或串行读取，可以使用或不用过采样。

在并行或串行模式下 BUSY 为高电平时读取操作的时序图如图 14 所示。转换期间执行读取使得使用串行接口且 V_{DRIVE} 高于 4.75V 时也可以达到最高吞吐速率。

7.6 数字滤波器

HWD7606-A 内置一个可选的数字一阶 sinc 滤波器，在使用较低吞吐速率或需要更高信噪比或更宽动态范围的应用中，应使用该滤波器。数字滤波器的过采样倍率由过采样引脚 OS[2:0] 控制，如下表所示。

表 4 过采样位解码

OS[2:0]	过采样倍率	OS[2:0]	过采样倍率
000	NO OS	100	16
001	2	101	32
010	4	110	64
011	8	111	无效

OS 2 为 MSB 控制位，OS 0 则为 LSB 控制位。上表提供了用来选择不同过采样倍率的过采样位解码。OS 引脚在 BUSY 的下降沿锁存，从而设置下一个转换的过采样倍率，如下图所示。除过采样功能外，输出结果被抽取为 16 位分辨率。

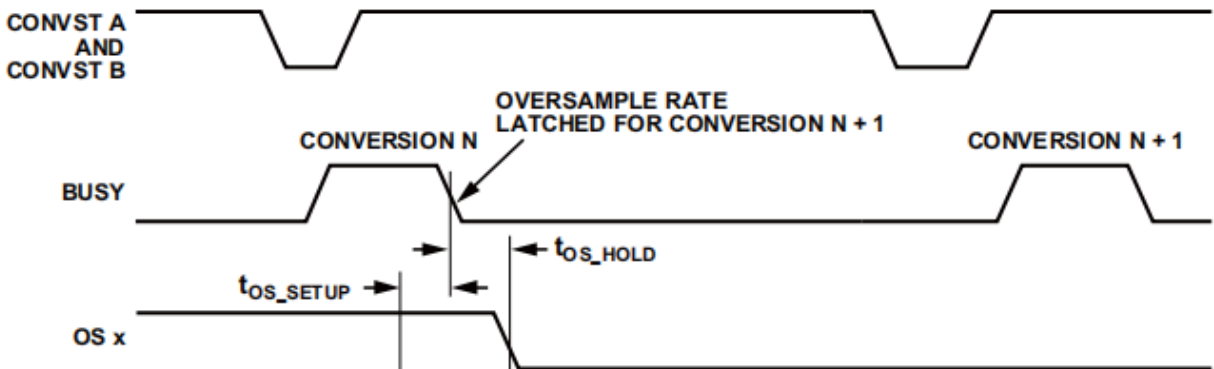


图13 OS x 引脚时序

8 时序图

表 5 时序参数

参数	最小值	最大值	描述
并行/串行/字节模式			
t _{CYCLE}	5μs	—	1/吞吐速率。并行模式，转换期间或之后读取，或者串行模式： V _{DRIVE} =4.75V~5.25V，利用 D _{OUTA} 和 D _{OUTB} 线路在转换期间读取
	5μs	—	1/吞吐速率。串行模式，转换期间读取，V _{DRIVE} =3.3V
	9.7μs	—	1/吞吐速率。串行模式，转换之后读取，V _{DRIVE} =2.3V，D _{OUTA} 和 D _{OUTB} 线路 转换时间
t _{CONV}	—	4.2μs	转换时间，过采样关闭
	—	9.2μs	转换时间，2 倍过采样
	—	19.2μs	转换时间，4 倍过采样
	—	40.5μs	转换时间，8 倍过采样
	—	88μs	转换时间，16 倍过采样
	—	161μs	转换时间，32 倍过采样
	—	320μs	转换时间，64 倍过采样
t _{WAKE-UP STANDBY}	—	100μs	STBY 上升沿到 CONVST x 上升沿，从待机模式上电的时间
t _{WAKE-UP SHUTDOWN}	—	30ms	内部基准电压，STBY 上升沿到 CONVST x 上升沿，从关断模式上电的时间
	—	13ms	外部基准电压，STBY 上升沿到 CONVST x 上升沿，从关断模式上电的时间
t _{RESET}	50ns	—	RESET 高电平脉冲宽度
t _{OS_SETUP}	20ns	—	BUSY 到 OS x 引脚设置时间
t _{OS_HOLD}	20ns	—	BUSY 到 OS x 引脚保持时间
t ₁	—	54ns	CONVST x 高电平到 BUSY 高电平
t ₂	25ns	—	最短 CONVST x 低电平脉冲
t ₃	25ns	—	最短 CONVST x 高电平脉冲
t ₄	0ns	—	BUSY 下降沿到 CS 下降沿设置时间
t ₅	—	0.5ms	CONVST A/CONVST B 上升沿之间最大容许延迟时间
t ₆	—	25ns	最后 CS 上升沿和 BUSY 下降沿之间的最长时间
t ₇	25ns	—	RESET 低电平到 CONVST x 高电平之间的最短延迟时间；t ₇ 只适用于转换之后 读取数据。正常使用时，建议 reset 信号早于 CONVST 信号 5us 以上，并只复 位一次。
并行/字节读取操作			
t ₈	0ns	—	CS 到 RD 设置时间
t ₉	0ns	—	CS 到 RD 保持时间
t ₁₀ ¹	16ns	—	RD 低电平脉冲宽度；V _{DRIVE} 高于 4.75V
	21ns	—	RD 低电平脉冲宽度；V _{DRIVE} 高于 3.3V
	25ns	—	RD 低电平脉冲宽度；V _{DRIVE} 高于 2.7V
	32ns	—	RD 低电平脉冲宽度；V _{DRIVE} 高于 2.3V
t ₁₁	15ns	—	RD 高电平脉冲宽度
t ₁₂	22ns	—	CS 高电平脉冲宽度，CS 与 RD 相连

参数	最小值	最大值	描述
t ₁₃	—	17ns	从CS直到 DB【15:0】三态禁用的延迟时间;V _{DRIVE} 高于 4.75V
	—	20ns	从CS直到 DB【15:0】三态禁用的延迟时间;V _{DRIVE} 高于 3.3V
	—	25ns	从CS直到 DB【15:0】三态禁用的延迟时间;V _{DRIVE} 高于 2.7V
	—	30ns	从CS直到 DB【15:0】三态禁用的延迟时间;V _{DRIVE} 高于 2.3V
t ₁₄	—	17ns	RD下降沿后的数据访问时间; V _{DRIVE} 高于 4.75V
	—	21ns	RD下降沿后的数据访问时间; V _{DRIVE} 高于 3.3V
	—	25ns	RD下降沿后的数据访问时间; V _{DRIVE} 高于 2.7V
	—	32ns	RD下降沿后的数据访问时间; V _{DRIVE} 高于 2.3V
t ₁₅	6ns	—	RD下降沿后的数据保持时间
t ₁₆	6ns	—	从CS直到 DB【15:0】保持时间
t ₁₇	—	22ns	从CS上升沿到 DB【15:0】三态使能的延迟时间
串行读取操作			
f _{SCLK} ²	—	23.5 MHz	串行读取时钟频率;V _{DRIVE} 高于 4.75V
	—	17 MHz	串行读取时钟频率;V _{DRIVE} 高于 3.3V
	—	14.5 MHz	串行读取时钟频率;V _{DRIVE} 高于 2.7V
	—	11.5 MHz	串行读取时钟频率;V _{DRIVE} 高于 2.3V
t ₁₈	—	19ns	从CS直到 DOUTA/DOUTB 三态禁用的延迟时间/从CS直到 MSB 有效的延迟时间, V _{DRIVE} 高于 4.75V
	—	23ns	从CS直到 DOUTA/DOUTB 三态禁用的延迟时间/从CS直到 MSB 有效的延迟时间, V _{DRIVE} 高于 3.3V
	—	35ns	从CS直到 DOUTA/DOUTB 三态禁用的延迟时间/从CS直到 MSB 有效的延迟时间, V _{DRIVE} =2.3V~2.7V
t ₁₉	—	21ns	SCLK 上升沿后的数据访问时间; V _{DRIVE} 高于 4.75V
	—	27ns	SCLK 上升沿后的数据访问时间; V _{DRIVE} 高于 3.3V
	—	32ns	SCLK 上升沿后的数据访问时间; V _{DRIVE} 高于 2.7V
	—	40ns	SCLK 上升沿后的数据访问时间; V _{DRIVE} 高于 2.3V
t ₂₀	0.4 t _{SCLK} ns	—	SCLK 低电平脉冲宽度
t ₂₁	0.4 t _{SCLK} ns	—	SCLK 高电平脉冲宽度
t ₂₂	7ns	—	SCLK 上升沿到 DOUTA/DOUTB 有效的保持时间
t ₂₃	—	22ns	CS上升沿到 DOUTA/DOUTB 三态使能
FRSTDATA 操作			
t ₂₄	—	19ns	从CS下降沿直到 FRSTDATA 三态禁用的延迟时间; V _{DRIVE} 高于 4.75V
	—	24ns	从CS下降沿直到 FRSTDATA 三态禁用的延迟时间; V _{DRIVE} 高于 3.3V
	—	30ns	从CS下降沿直到 FRSTDATA 三态禁用的延迟时间; V _{DRIVE} 高于 2.7V
	—	36ns	从CS下降沿直到 FRSTDATA 三态禁用的延迟时间; V _{DRIVE} 高于 2.3V
t ₂₅	—	19ns	从CS下降沿直到 FRSTDATA 高电平的延迟时间, 串行模式, V _{DRIVE} 高于 4.75V
	—	24ns	从CS下降沿直到 FRSTDATA 高电平的延迟时间, 串行模式, V _{DRIVE} 高于 3.3V

参数	最小值	最大值	描述
	—	30ns	从 $\overline{\text{CS}}$ 下降沿直到 FRSTDATA 高电平的延迟时间, 串行模式, V_{DRIVE} 高于 2.7V
	—	36ns	从 $\overline{\text{CS}}$ 下降沿直到 FRSTDATA 高电平的延迟时间, 串行模式, V_{DRIVE} 高于 2.3V
t_{26}	—	20ns	从 $\overline{\text{RD}}$ 下降沿直到 FRSTDATA 高电平的延迟时间, V_{DRIVE} 高于 4.75V
	—	23ns	从 $\overline{\text{RD}}$ 下降沿直到 FRSTDATA 高电平的延迟时间, V_{DRIVE} 高于 4.75V
	—	29ns	从 $\overline{\text{RD}}$ 下降沿直到 FRSTDATA 高电平的延迟时间, V_{DRIVE} 高于 4.75V
	—	36ns	从 $\overline{\text{RD}}$ 下降沿直到 FRSTDATA 高电平的延迟时间, V_{DRIVE} 高于 4.75V
t_{27}	—	23ns	从 $\overline{\text{RD}}$ 下降沿到 FRSTDATA 低电平的延迟时间, $V_{\text{DRIVE}}=3.3\text{V}\sim 5.25\text{V}$
	—	30ns	从 $\overline{\text{RD}}$ 下降沿到 FRSTDATA 低电平的延迟时间, $V_{\text{DRIVE}}=2.3\text{V}\sim 2.7\text{V}$
t_{28}	—	20ns	从第 16 个 SCLK 下降沿到 FRSTDATA 低电平的延迟时间, $V_{\text{DRIVE}}=3.3\text{V}\sim 5.25\text{V}$
	—	28ns	从第 16 个 SCLK 下降沿到 FRSTDATA 低电平的延迟时间, $V_{\text{DRIVE}}=2.3\text{V}\sim 2.7\text{V}$
t_{29}	—	30ns	从 $\overline{\text{CS}}$ 上升沿直到 FRSTDATA 三态使能的延迟时间

注 1: 实际并行/字节读取操作时, 建议 RD 低电平脉冲宽度和 RD 高电平脉冲宽度之和大于 100ns, 不能同时采用 t_{10} 和 t_{11} 的最小值;

注 2: 实际使用中, 建议采用 f_{SCLK} 小于 11.5MHz, 兼容不同数字电压;

注 3: 上表中时序参数极值仅供系统设计参考, 具体适用见下图。

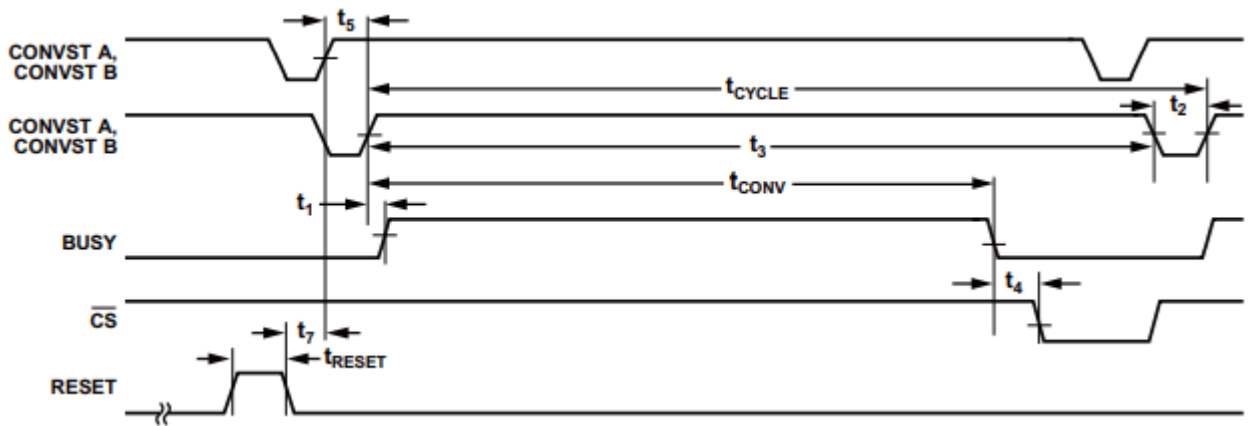


图14 CONVST 时序——转换之后读取

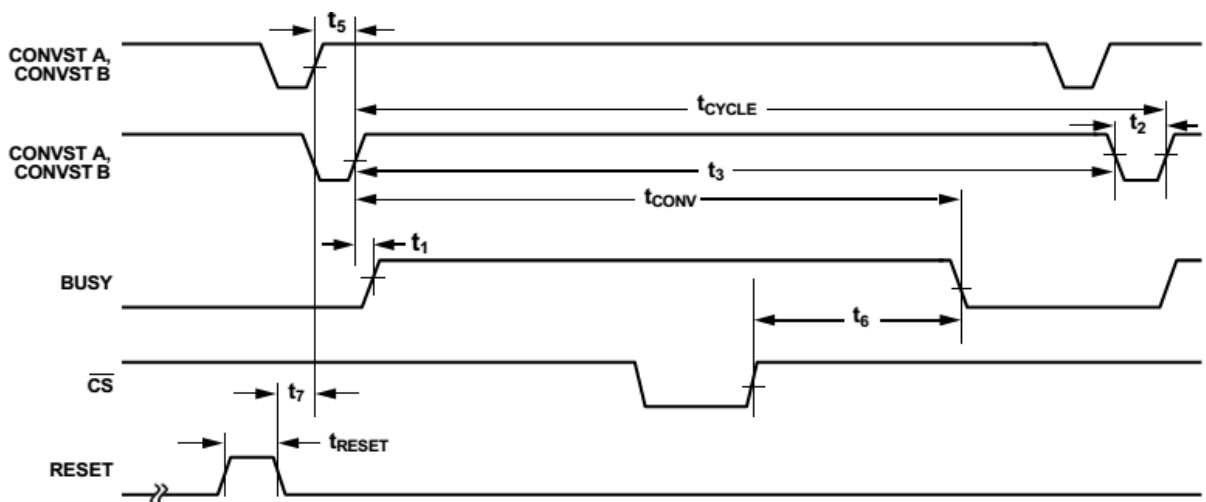


图15 CONVST 时序——转换期间读取

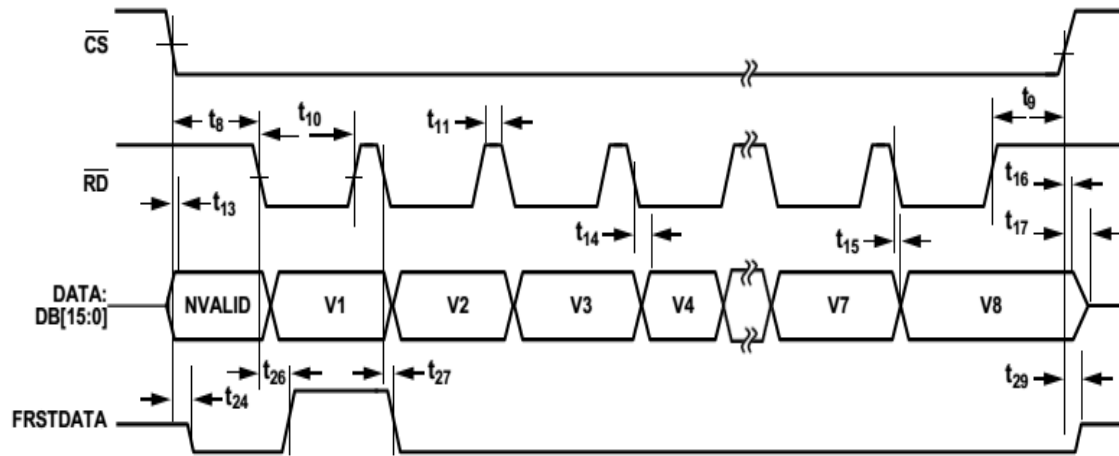
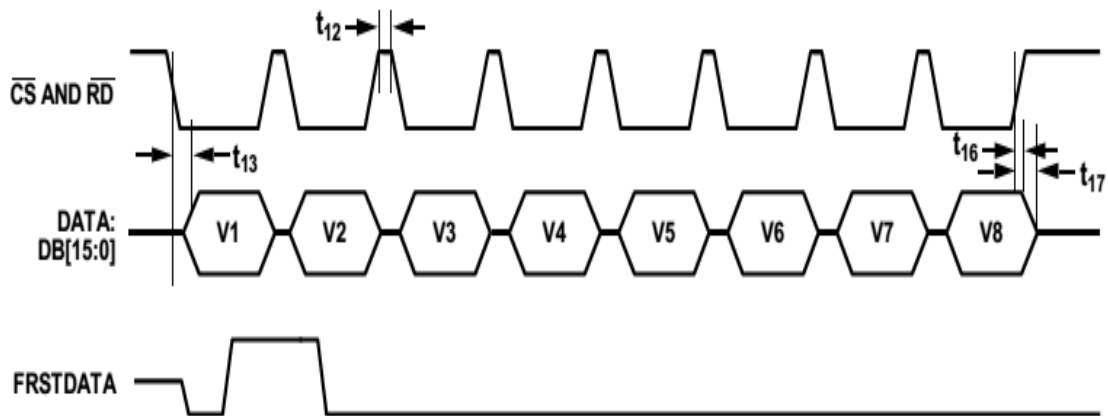
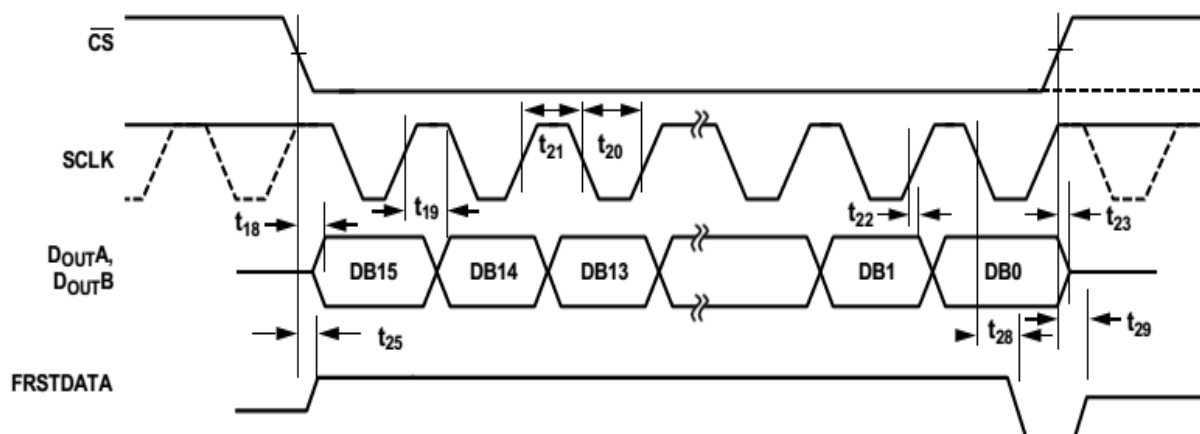
图16 并行模式，独立的 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 脉冲图17 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 相连的并行模式

图18 串行读取操作（通道 1）

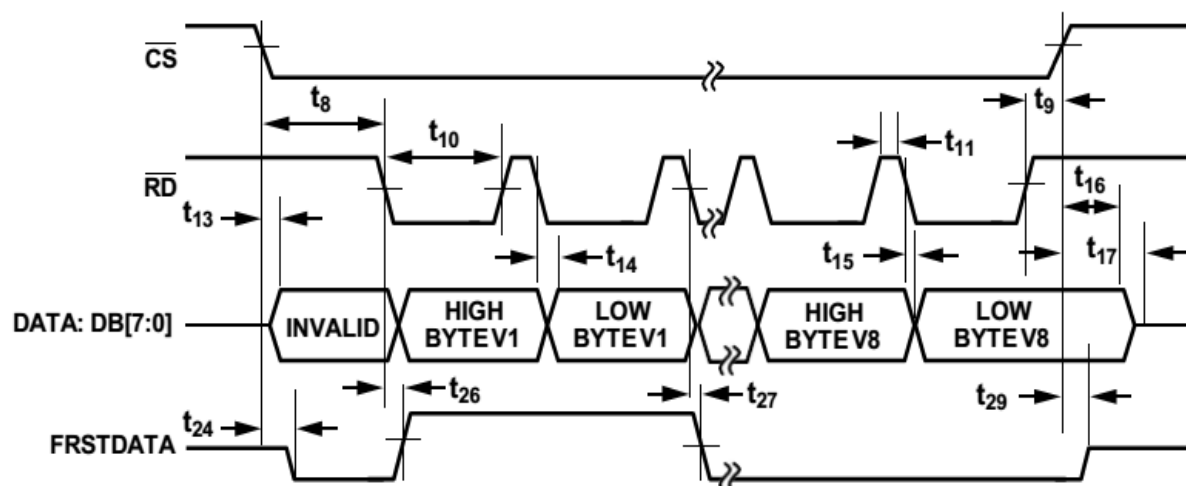


图19 字节模式读取操作

9 应用建议

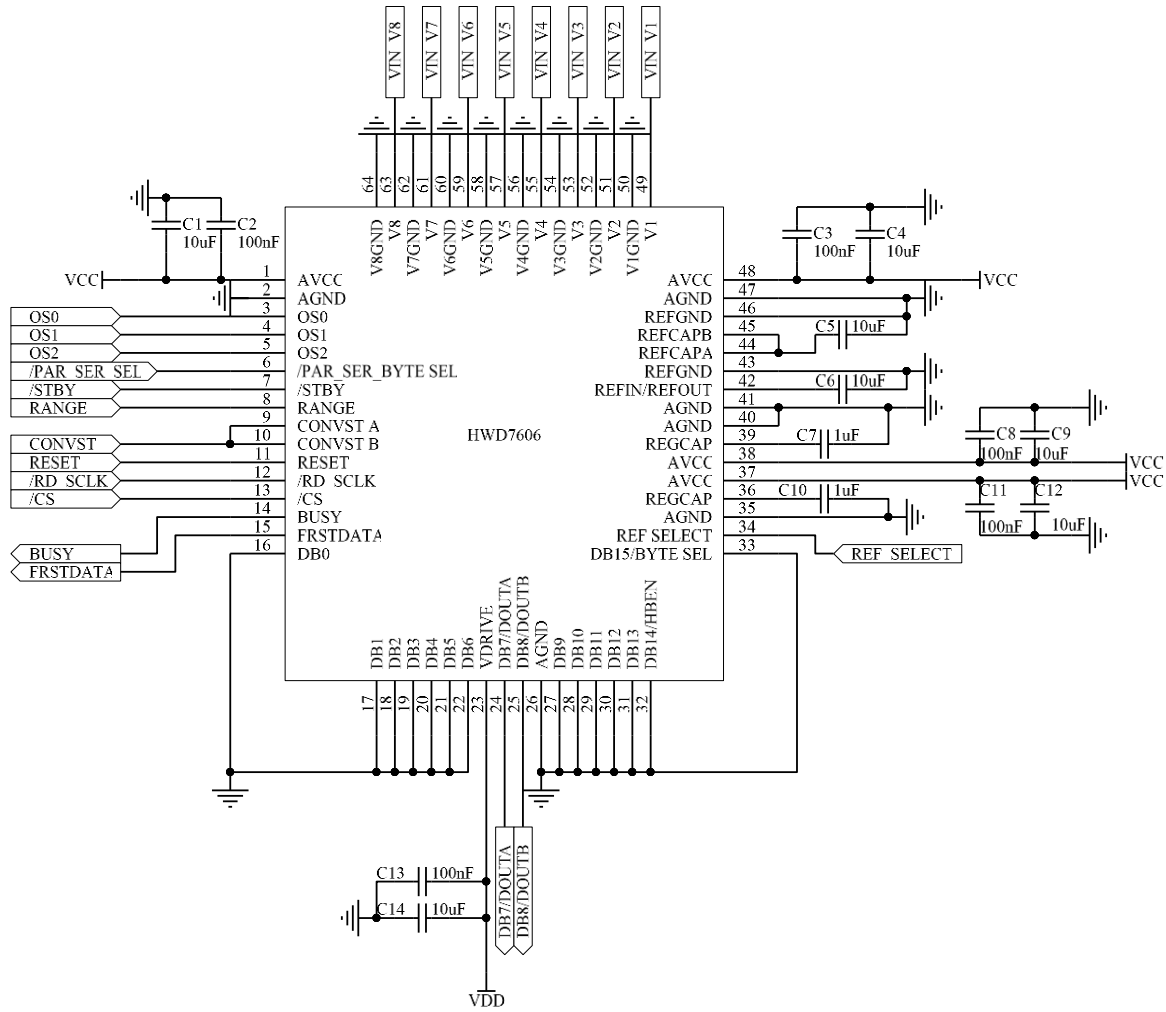


图20 串行模式典型应用电路

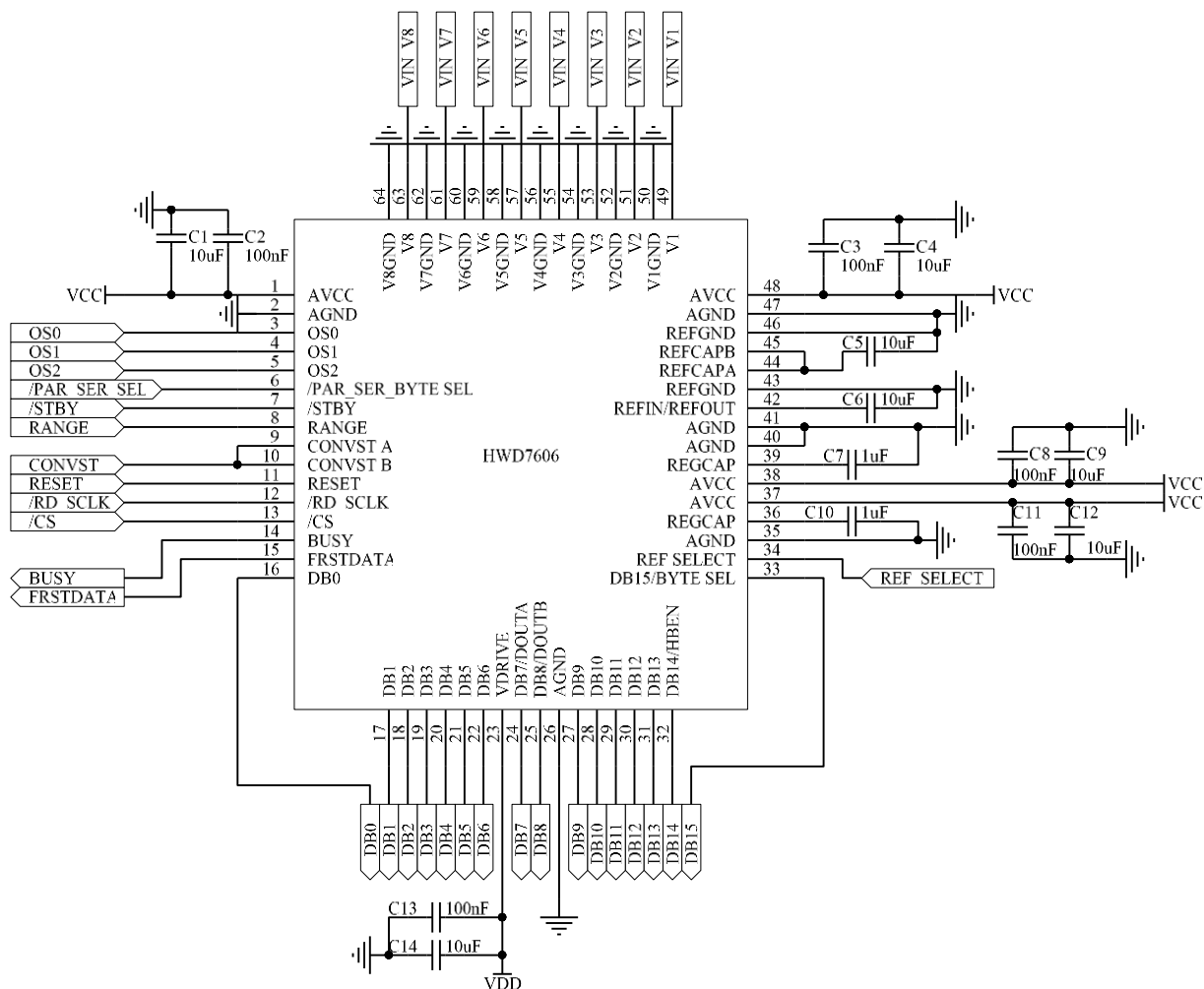


图21 并行模式典型应用电路

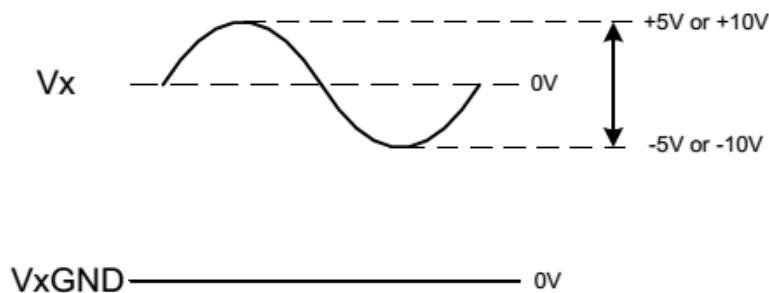


图22 单端模式信号输入格式

注:

- (1) 模拟电源 VCC=4.75V~5.25V，数字电源 VDD=2.3V~5.25V；
- (2) VxGND 接地，8 个模拟输入信号端 VIN_V1~VIN_V8 分别为双极性输入，最大摆幅有 $\pm 5V$ 和 $\pm 10V$ 两档；
- (3) 所有不使用的模拟输入通道接地；

(4) 配置端口 Pin3~5(OS0~OS2)、Pin6(/PAR_SER_BYTE SEL)、Pin7(/STBY)、Pin8(RANGE)、Pin34(REF_SELEC)建议直接通过硬件电路分别上拉至 VDD，下拉至 GND 进行设置。若配置端口通过数字微控制器进行配置，需要注意配置端口信号给定 500ms 后再进行 RESET 复位；

(5) 建议复位信号 RESET 给定 50us 后再给转换信号 CONVST；

(6) Pin24(DB7/DOUTA)、Pin25(DB8/DOUTB)为串行模式数据输出端口；

(7) Pin16~Pin22、Pin24、Pin25、Pin27~Pin33 为并行模式数据输出端口 DB0~DB15；

(8) Pin12(/RD_SCLK)、Pin13(/CS)为数字输出端口读取控制信号；

(9) Pin14(BUSY)、Pin15(FRSTDATA)为转换输出标识信号；

(10) 不使用通道的结果仍然会包括在所读取的数据中。

10 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物。

11 订货信息

表 6 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	引脚材料	重量（g）	详细规范
1	HWD7606-ALQFP64E	LQFP64	塑料	军温级	铜镀锡	0.34	Q/HWD 50393-2023
2	HWD7606LQFP64I	LQFP64	塑料	工业温区级	铜镀锡	0.34	Q/HWD 50369-2023
3	HWD7606-ALQFP64M3	LQFP64	塑料	N1 级	铜镀锡	0.34	Q/HWD 50394-2023

注1:

- a) N1级器件满足GJB 7400A 《合格制造厂认证用半导体集成电路通用规范》N1级的筛选要求
- b) 工业温区级器件满足Q/HWD40022-2021 《华微工业温区级产品通用规范》的筛选要求，其工作环境温度范围应为-40℃～+85℃。
- c) 军温级器件满足Q/HWD40020-2018 《华微军温级产品通用规范》的筛选要求，其工作环境温度范围应为-55℃～+125℃。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。