

HWD08B64GA1-APBGA484 型
8 位 64GSPS 超高速 A/D 转换器
产品手册
V1.0.0

成都华微电子科技股份有限公司

2025 年 6 月 11 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本（相较于 HWD08B64GA1PBGA484M3，该产品性能显著提升）。	李春艳	20250611	预发布

目 次

1 概述	1
2 产品特点	1
3 功能框图	1
4 封装信息	3
4.1 封装及引脚信息	3
4.2 焊盘推荐	21
4.3 焊接推荐	21
5 绝对最大额定值及推荐工作范围	23
5.1 绝对最大额定值	23
5.2 推荐工作范围	23
6 电特性参数	23
6.1 技术规格	23
6.2 典型性能曲线	31
6.3 幅频响应	32
6.4 误码率测试	33
6.5 S 曲线	34
6.6 等效电路	35
7 功能描述	37
7.1 概述	37
7.2 功能描述	37
8 应用建议	58
8.1 启动流程	58
8.2 应用电路	58
9 使用注意事项	58
10 订货信息	59

1 概述

HWD08B64GA1-APBGA484是一款单通道、8位超高速A/D转换器，采样率范围32GSPS到64GSPS可调，输入带宽支持29GHz。ADC内核采用时间交织SAR结构实现，通过使用宽带采样保持电路设计技术、时间交织及内部误差校正技术、JESD204C高速串行接口电路设计技术，使其具备单芯片超高速及高输入带宽A/D转换器的能力。同时该款芯片具有较低误码率（ $CER < 1e-15$ ），支持多芯片同步功能。

HWD08B64GA1-APBGA484相较于HWD08B64GA1PBGA484M3性能显著提升，该款芯片具备更优异的高频动态性能，在25GHz -3dBFS输入信号下，ENOB由5.1bit提升至5.4bit，SFDR由39dBFS提升至43dBFS。幅频响应由19GHz提升至29GHz，具备更宽的3dB输入带宽。Vppdif由580mVpp调整为530mVpp-700mVpp，以支持更灵活的输入电压范围。误码率CER由 10^{-14} 量级优化至 10^{-15} 量级，具备更低的低门限误码率。该款芯片性能的显著提升为通信、雷达、高端仪器仪表等战略产业注入核心动能。

2 产品特点

- 1) NSD: -143.6 dBFS/Hz at 50 GSPS with -3dBFS, 1GHz input。
- 2) SFDR: 56.1 dBFS at 50 GSPS with -3dBFS, 1GHz input;
44.3 dBFS at 50 GSPS with -3dBFS, 18GHz input;
43.3 dBFS at 50 GSPS with -3dBFS, 25GHz input。
- 3) 最差其他 spur (H2、H3 除外): 62.9 dBFS at 50 GSPS with -3dBFS, 1GHz input。
- 4) DNL 典型值 ± 0.16 LSB; INL 典型值 ± 0.46 LSB。
- 5) 低误码率 (CER): $< 1 \times 10^{-15}$ (测试条件参见表 9)
- 6) 低功耗: 典型值 $\leq 4W$ at 50 GSPS。
- 7) 输入带宽支持 29GHz, 530-700mVpp, 100 Ω 。
- 8) 支持多芯片同步功能。
- 9) 支持 SPI 接口, 满足 SPI 标准接口协议, 可寻址内部存储空间。
- 10) 支持 JESD204C 接口, 内置 32 条 lane 可配置输出, 最高线速率达 25.6Gbps, 兼容 JESD204B 接口。
- 11) 19.0mm x 19.0mm, 484-ball BGA package。

3 功能框图

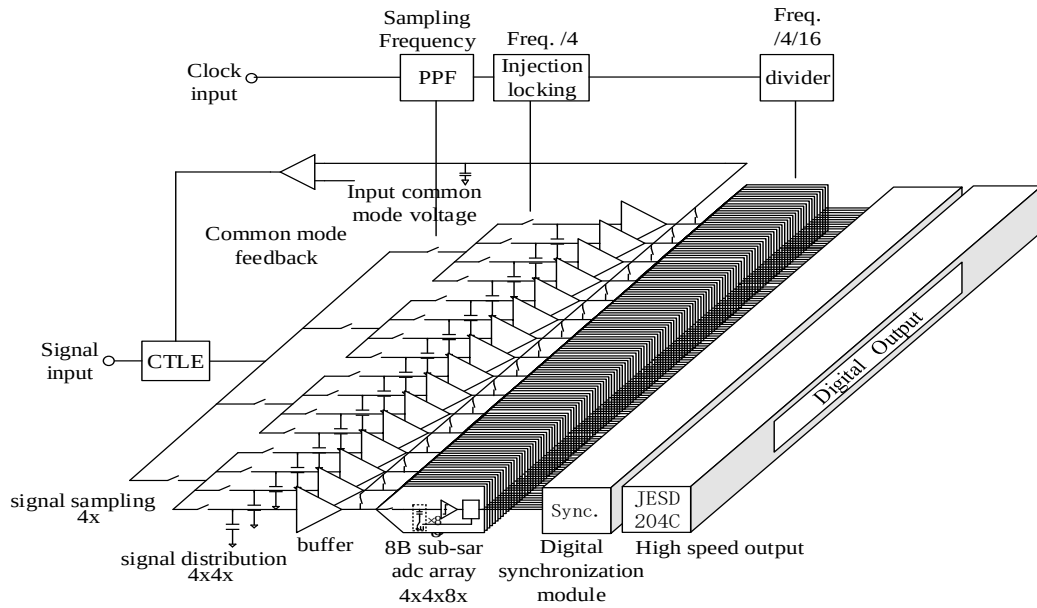


图 1 系统架构图

HWD08B64GA1-APBGA484的典型应用场景如图2所示，应用直接RF采样接收器模拟信号链，支持L、S、C、X、Ku、Ka、V波段采样。

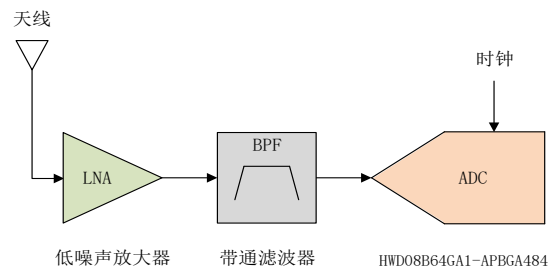


图 2 典型应用场景

4 封装信息

4.1 封装及引脚信息

HWD08B64GA1-APBGA484塑封版本采用484引出端，封装形式为塑封BGA484，外形尺寸参照GB/T 7092-2021的规定，封装外形图及引脚排列图如图3所示。

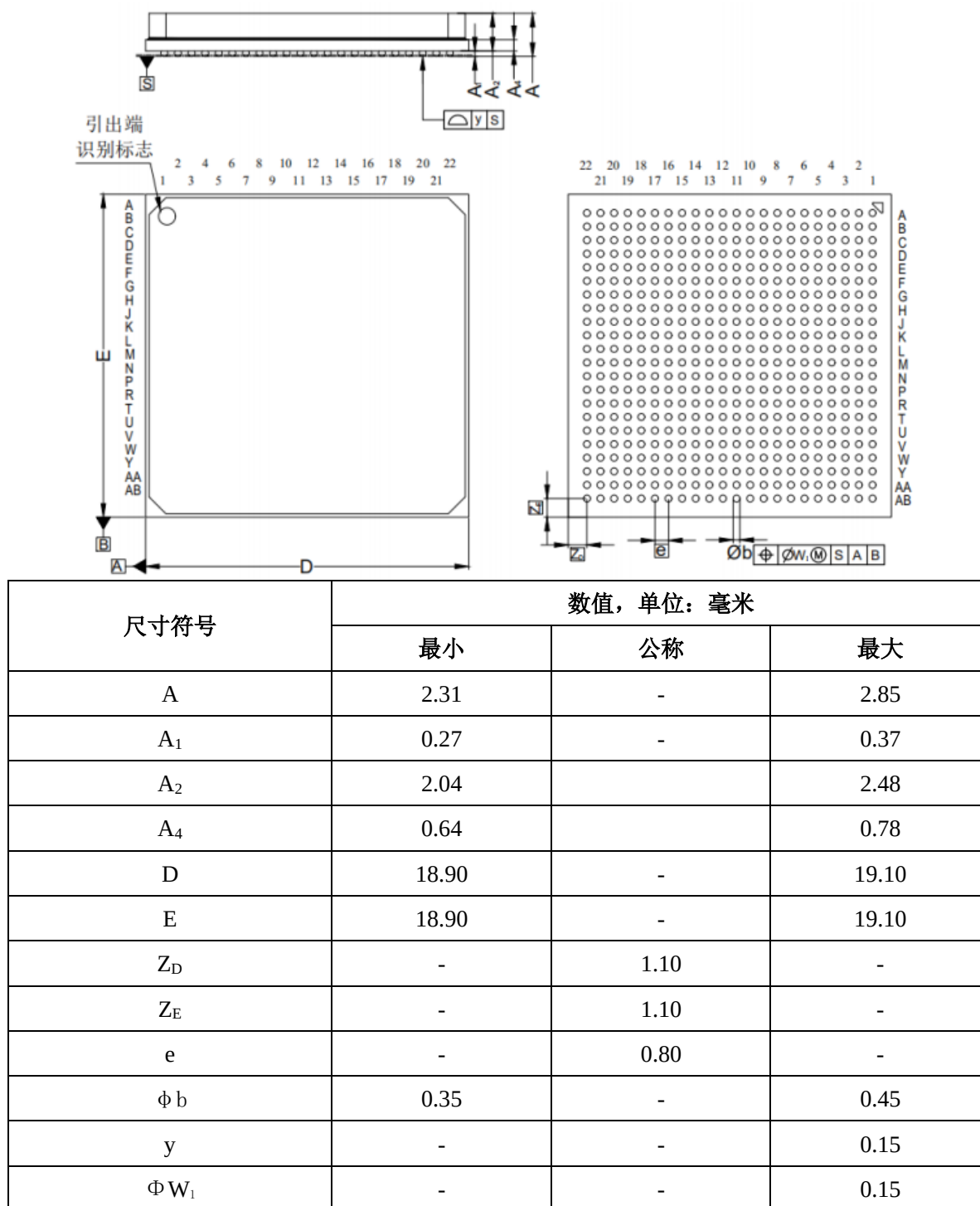


图 3 封装外形图及引脚排列图

HWD08B64GA1-APBGA484引脚布局示意图如图4所示。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
A	A1 DRGND	A2 DRGND	A3 DRGND	A4 DRGND	A5 DRGND	A6 DRGND	A7 B_SERDOUT2_P	A8 B_SERDOUT2_N	A9 DRGND	A10 DRGND	A11 D_SERDOUT0_N	A12 D_SERDOUT0_P	A13 DRGND	A14 DRGND	A15 D_SERDOUT2_N	A16 D_SERDOUT2_P	A17 DRGND	A18 DRGND	A19 DRGND	A20 DRGND	A21 DRGND	A22 DRGND
B	B1 DRGND	B2 DRGND	B3 DRGND	B4 DRGND	B5 B_SERDOUT4_P	B6 B_SERDOUT4_N	B7 DRGND	B8 DRGND	B9 B_SERDOUT1_P	B10 B_SERDOUT1_N	B11 DRGND	B12 DRGND	B13 D_SERDOUT1_N	B14 D_SERDOUT1_P	B15 DRGND	B16 DRGND	B17 D_SERDOUT4_N	B18 D_SERDOUT4_P	B19 DRGND	B20 DRGND	B21 DRGND	B22 DRGND
C	C1 DRGND	C2 DRGND	C3 B_SERDOUT6_P	C4 B_SERDOUT6_N	C5 DRGND	C6 DRGND	C7 B_SERDOUT3_P	C8 B_SERDOUT3_N	C9 DRGND	C10 DRGND	C11 B_SERDOUT0_N	C12 B_SERDOUT0_P	C13 DRGND	C14 DRGND	C15 D_SERDOUT3_N	C16 D_SERDOUT3_P	C17 DRGND	C18 DRGND	C19 D_SERDOUT6_N	C20 D_SERDOUT6_P	C21 DRGND	C22 DRGND
D	D1 B_SERDOUT7_P	D2 B_SERDOUT7_N	D3 DRGND	D4 DRGND	D5 B_SERDOUT5_P	D6 B_SERDOUT5_N	D7 DRGND	D8 DRGND	D9 DRGND	D10 DRGND	D11 DRGND	D12 DRGND	D13 DRGND	D14 DRGND	D15 DRGND	D16 DRGND	D17 D_SERDOUT5_N	D18 D_SERDOUT5_P	D19 DRGND	D20 DRGND	D21 D_SERDOUT7_N	D22 D_SERDOUT7_P
E	E1 DRGND	E2 DRGND	E3 A_SERDOUT0_P	E4 A_SERDOUT0_N	E5 DRGND	E6 DRGND	E7 DRGND	E8 DRGND	E9 DRGND	E10 DRGND	E11 DRGND	E12 DRGND	E13 DRGND	E14 DRGND	E15 REFCLKN	E16 REFCLKP	E17 DRGND	E18 DRGND	E19 C_SERDOUT0_N	E20 C_SERDOUT0_P	E21 DRGND	E22 DRGND
F	F1 A_SERDOUT1_P	F2 A_SERDOUT1_N	F3 DRGND	F4 DRGND	F5 DRGND	F6 DRYD01	F7 DRGND	F8 DRGND	F9 DRYD01	F10 DRYD02	F11 DRYD01	F12 DRYD01	F13 DRYD02	F14 DRYD01	F15 DRGND	F16 DRGND	F17 DRYD01	F18 DRGND	F19 DRGND	F20 DRGND	F21 C_SERDOUT1_N	F22 C_SERDOUT1_P
G	G1 DRGND	G2 DRGND	G3 A_SERDOUT2_P	G4 A_SERDOUT2_N	G5 DRGND	G6 DRYD01	G7 DRGND	G8 DRGND	G9 DRYD01	G10 DRYD02	G11 DRYD01	G12 DRYD01	G13 DRYD02	G14 DRYD01	G15 DRGND	G16 DRGND	G17 DRGND	G18 DRGND	G19 C_SERDOUT2_N	G20 C_SERDOUT2_P	G21 DRGND	G22 DRGND
H	H1 A_SERDOUT3_P	H2 A_SERDOUT3_N	H3 DRGND	H4 DRGND	H5 DRGND	H6 DRYD01	H7 DRGND	H8 DRGND	H9 DRYD01	H10 DRGND	H11 DRGND	H12 DRGND	H13 DRYD01	H14 DRYD01	H15 DRGND	H16 DRGND	H17 DRYD01	H18 DRGND	H19 DRGND	H20 DRGND	H21 C_SERDOUT3_N	H22 C_SERDOUT3_P
J	J1 DRGND	J2 DRGND	J3 A_SERDOUT4_P	J4 A_SERDOUT4_N	J5 DRGND	J6 DRGND	J7 DRGND	J8 DRGND	J9 DRGND	J10 DRYD02	J11 DRYD01	J12 DRYD01	J13 DRYD01	J14 DRGND	J15 DRGND	J16 DRYD01	J17 DRGND	J18 DRGND	J19 C_SERDOUT4_N	J20 C_SERDOUT4_P	J21 DRGND	J22 DRGND
K	K1 A_SERDOUT5_P	K2 A_SERDOUT5_N	K3 DRGND	K4 DRGND	K5 DRGND	K6 DRYD01	K7 DRGND	K8 DRGND	K9 DRYD01	K10 DRGND	K11 DRGND	K12 DRGND	K13 DRYD02	K14 DRYD01	K15 DRGND	K16 DRGND	K17 DRYD01	K18 DRGND	K19 DRGND	K20 DRGND	K21 C_SERDOUT5_N	K22 C_SERDOUT5_P
L	L1 DRGND	L2 DRGND	L3 A_SERDOUT6_P	L4 A_SERDOUT6_N	L5 DRGND	L6 RSTB	L7 CBI	L8 MOS1	L9 MISO	L10 DRYD02	L11 DRYD01	L12 DRYD01	L13 DRYD01	L14 R0EF	L15 ATST	L16 SYNCINB_N	L17 DTEST1	L18 DNI	L19 C_SERDOUT6_N	L20 C_SERDOUT6_P	L21 DRGND	L22 DRGND
M	M1 A_SERDOUT7_P	M2 A_SERDOUT7_N	M3 DRGND	M4 DRGND	M5 DRGND	M6 SEL_P0R	M7 EXT_CLK	M8 SEL_K	M9 SEL_CLK	M10 SDIO0	M11 DRGND	M12 DRGND	M13 DRYD02	M14 DRYD02	M15 DTEST0	M16 SYNCINB_P	M17 ATEST0	M18 DN2	M19 DRGND	M20 DRGND	M21 C_SERDOUT7_N	M22 C_SERDOUT7_P
N	N1 VSS_W0AT	N2 VSS_W0AT	N3 VSS_W0AT	N4 VSS_W0AT	N5 VSS_W0AT	N6 VSS_W0AT	N7 VSS_W0AT	N8 VSS_W0AT	N9 VSS_W0AT	N10 VSS_W0AT	N11 DRYD01	N12 DRYD01	N13 VSS_W0AT	N14 VSS_W0AT	N15 VSS_W0AT	N16 VSS_W0AT	N17 VSS_W0AT	N18 VSS_W0AT	N19 VSS_W0AT	N20 VSS_W0AT	N21 VSS_W0AT	N22 VSS_W0AT
P	P1 AGND	P2 AGND	P3 AGND	P4 AGND	P5 AGND	P6 AGND	P7 AGND	P8 AGND	P9 AGND	P10 AGND	P11 VSS_W0AT	P12 VSS_W0AT	P13 VSS_W0AT	P14 VSS_W0AT	P15 AGND	P16 AGND	P17 AGND	P18 AGND	P19 AGND	P20 AGND	P21 AGND	P22 TRIG_P
R	R1 AGND	R2 AGND	R3 AGND	R4 AGND	R5 AGND	R6 AGND	R7 AGND	R8 AGND	R9 AGND	R10 AVDD	R11 AGND	R12 AGND	R13 AGND	R14 AGND	R15 AGND	R16 AGND	R17 AGND	R18 AGND	R19 AGND	R20 AGND	R21 AGND	R22 TRIG_P
T	T1 AGND	T2 AGND	T3 AGND	T4 AGND	T5 AGND	T6 AGND	T7 AGND	T8 AGND	T9 AVDD	T10 AGND	T11 AVDD	T12 AVDD	T13 AGND	T14 AVDD	T15 AGND	T16 AVDD	T17 AGND	T18 AGND	T19 AGND	T20 AGND	T21 AGND	T22 AGND
U	U1 AGND	U2 AGND	U3 TUN	U4 TM_FHFP	U5 TM_REFN	U6 RES_EXT	U7 AGND	U8 AGND	U9 AGND	U10 AGND	U11 AGND	U12 AGND	U13 AGND	U14 AGND	U15 AGND	U16 AGND	U17 AVDD	U18 AGND	U19 AGND	U20 AGND	U21 AGND	U22 AGND
V	V1 AVSSFS8	V2 AVSSFS8	V3 TIP	V4 AGND	V5 AVDD	V6 AGND	V7 AVDD	V8 AGND	V9 AVDD	V10 AGND	V11 AGND	V12 AGND	V13 AGND	V14 AVDD	V15 AGND	V16 AGND	V17 AGND	V18 AVDD	V19 AGND	V20 AGND	V21 AGND	V22 CLKN
W	W1 SYSREF_N	W2 AIOFS8	W3 AGND	W4 AGND	W5 AGND	W6 AGND	W7 AGND	W8 AGND	W9 AGND	W10 AGND	W11 AGND	W12 AGND	W13 AGND	W14 AGND	W15 AGND	W16 AGND	W17 AGND	W18 AGND	W19 AGND	W20 AGND	W21 AGND	W22 CLAP
Y	Y1 SYSREF_P	Y2 AIOFS8	Y3 AVDD	Y4 AGND	Y5 AGND	Y6 AGND	Y7 AGND	Y8 AGND	Y9 AGND	Y10 AGND	Y11 AGND	Y12 AGND	Y13 AGND	Y14 AGND	Y15 AGND	Y16 AGND	Y17 AGND	Y18 AGND	Y19 AGND	Y20 AGND	Y21 AGND	Y22 AGND
AA	AA1 AVSSFS8	AA2 AVSSFS8	AA3 AGND	AA4 AGND	AA5 AGND	AA6 AGND	AA7 AGND	AA8 AGND	AA9 AGND	AA10 AGND	AA11 AGND	AA12 AGND	AA13 AGND	AA14 AGND	AA15 AGND	AA16 AGND	AA17 AGND	AA18 AGND	AA19 AGND	AA20 AGND	AA21 AGND	AA22 AGND
AB	AB1 AGND	AB2 AGND	AB3 TEST_1X	AB4 TEST_OUT	AB5 AGND	AB6 AGND	AB7 AGND	AB8 AGND	AB9 AGND	AB10 AGND	AB11 VIP	AB12 VIN	AB13 AGND	AB14 AGND	AB15 AGND	AB16 AGND	AB17 AGND	AB18 AGND	AB19 AGND	AB20 AGND	AB21 AGND	AB22 AGND

图 4 引脚布局示意图

HWD08B64GA1-APBGA484引脚端功能说明如表1所示。

表 1 引脚端功能说明

引出端序号	符号	功能描述
A1	DRGND	SERDES 地
A2	DRGND	SERDES 地
A3	DRGND	SERDES 地
A4	DRGND	SERDES 地
A5	DRGND	SERDES 地
A6	DRGND	SERDES 地
A7	B_SERDOUT2_P	B_SERDOUTP<2>
A8	B_SERDOUT2_N	B_SERDOUTN<2>
A9	DRGND	SERDES 地
A10	DRGND	SERDES 地
A11	D_SERDOUT0_N	D_SERDOUTN<0>
A12	D_SERDOUT0_P	D_SERDOUTP<0>
A13	DRGND	SERDES 地
A14	DRGND	SERDES 地
A15	D_SERDOUT2_N	D_SERDOUTN<2>

引出端序号	符号	功能描述
A16	D_SERDOUT2_P	D_SERDOUTP<2>
A17	DRGND	SERDES 地
A18	DRGND	SERDES 地
A19	DRGND	SERDES 地
A20	DRGND	SERDES 地
A21	DRGND	SERDES 地
A22	DRGND	SERDES 地
B1	DRGND	SERDES 地
B2	DRGND	SERDES 地
B3	DRGND	SERDES 地
B4	DRGND	SERDES 地
B5	B_SERDOUT4_P	B_SERDOUTP<4>
B6	B_SERDOUT4_N	B_SERDOUTN<4>
B7	DRGND	SERDES 地
B8	DRGND	SERDES 地
B9	B_SERDOUT1_P	B_SERDOUTP<1>
B10	B_SERDOUT1_N	B_SERDOUTN<1>
B11	DRGND	SERDES 地
B12	DRGND	SERDES 地
B13	D_SERDOUT1_N	D_SERDOUTN<1>
B14	D_SERDOUT1_P	D_SERDOUTP<1>
B15	DRGND	SERDES 地
B16	DRGND	SERDES 地
B17	D_SERDOUT4_N	D_SERDOUTN<4>
B18	D_SERDOUT4_P	D_SERDOUTP<4>
B19	DRGND	SERDES 地
B20	DRGND	SERDES 地
B21	DRGND	SERDES 地
B22	DRGND	SERDES 地
C1	DRGND	SERDES 地
C2	DRGND	SERDES 地
C3	B_SERDOUT6_P	B_SERDOUTP<6>
C4	B_SERDOUT6_N	B_SERDOUTN<6>

引出端序号	符号	功能描述
C5	DRGND	SERDES 地
C6	DRGND	SERDES 地
C7	B_SERDOUT3_P	B_SERDOUTP<3>
C8	B_SERDOUT3_N	B_SERDOUTN<3>
C9	DRGND	SERDES 地
C10	DRGND	SERDES 地
C11	B_SERDOUT0_N	B_SERDOUTN<0>
C12	B_SERDOUT0_P	B_SERDOUTP<0>
C13	DRGND	SERDES 地
C14	DRGND	SERDES 地
C15	D_SERDOUT3_N	D_SERDOUTN<3>
C16	D_SERDOUT3_P	D_SERDOUTP<3>
C17	DRGND	SERDES 地
C18	DRGND	SERDES 地
C19	D_SERDOUT6_N	D_SERDOUTN<6>
C20	D_SERDOUT6_P	D_SERDOUTP<6>
C21	DRGND	SERDES 地
C22	DRGND	SERDES 地
D1	B_SERDOUT7_P	B_SERDOUTP<7>
D2	B_SERDOUT7_N	B_SERDOUTN<7>
D3	DRGND	SERDES 地
D4	DRGND	SERDES 地
D5	B_SERDOUT5_P	B_SERDOUTP<5>
D6	B_SERDOUT5_N	B_SERDOUTN<5>
D7	DRGND	SERDES 地
D8	DRGND	SERDES 地
D9	DRGND	SERDES 地
D10	DRGND	SERDES 地
D11	DRGND	SERDES 地
D12	DRGND	SERDES 地
D13	DRGND	SERDES 地
D14	DRGND	SERDES 地
D15	DRGND	SERDES 地

引出端序号	符号	功能描述
D16	DRGND	SERDES 地
D17	D_SERDOUT5_N	D_SERDOUTN<5>
D18	D_SERDOUT5_P	D_SERDOUTP<5>
D19	DRGND	SERDES 地
D20	DRGND	SERDES 地
D21	D_SERDOUT7_N	D_SERDOUTN<7>
D22	D_SERDOUT7_P	D_SERDOUTP<7>
E1	DRGND	SERDES 地
E2	DRGND	SERDES 地
E3	A_SERDOUT0_P	A_SERDOUTP<0>
E4	A_SERDOUT0_N	A_SERDOUTN<0>
E5	DRGND	SERDES 地
E6	DRGND	SERDES 地
E7	DRGND	SERDES 地
E8	DRGND	SERDES 地
E9	DRGND	SERDES 地
E10	DRGND	SERDES 地
E11	DRGND	SERDES 地
E12	DRGND	SERDES 地
E13	DRGND	SERDES 地
E14	DRGND	SERDES 地
E15	REFCLKN	SERDES 外部时钟输入负端
E16	REFCLKP	SERDES 外部时钟输入正端
E17	DRGND	SERDES 地
E18	DRGND	SERDES 地
E19	C_SERDOUT0_N	C_SERDOUTN<0>
E20	C_SERDOUT0_P	C_SERDOUTP<0>
E21	DRGND	SERDES 地
E22	DRGND	SERDES 地
F1	A_SERDOUT1_P	A_SERDOUTP<1>
F2	A_SERDOUT1_N	A_SERDOUTN<1>
F3	DRGND	SERDES 地
F4	DRGND	SERDES 地

引出端序号	符号	功能描述
F5	DRGND	SERDES 地
F6	DRVDD1	SERDES 1V 电源
F7	DRGND	SERDES 地
F8	DRGND	SERDES 地
F9	DRVDD1	SERDES 1V 电源
F10	DRVDD2	SERDES 2.5V 电源
F11	DRVDD1	SERDES 1V 电源
F12	DRVDD1	SERDES 1V 电源
F13	DRVDD2	SERDES 2.5V 电源
F14	DRVDD1	SERDES 1V 电源
F15	DRGND	SERDES 地
F16	DRGND	SERDES 地
F17	DRVDD1	SERDES 1V 电源
F18	DRGND	SERDES 地
F19	DRGND	SERDES 地
F20	DRGND	SERDES 地
F21	C_SERDOUT1_N	C_SERDOUTN<1>
F22	C_SERDOUT1_P	C_SERDOUTP<1>
G1	DRGND	SERDES 地
G2	DRGND	SERDES 地
G3	A_SERDOUT2_P	A_SERDOUTP<2>
G4	A_SERDOUT2_N	A_SERDOUTN<2>
G5	DRGND	SERDES 地
G6	DRGND	SERDES 地
G7	DRVDD1	SERDES 1V 电源
G8	DRGND	SERDES 地
G9	DRVDD1	SERDES 1V 电源
G10	DRVDD2	SERDES 2.5V 电源
G11	DVDD	数字 1V 电源
G12	DVDD	数字 1V 电源
G13	DRVDD2	SERDES 2.5V 电源
G14	DRVDD1	SERDES 1V 电源
G15	DRGND	SERDES 地

引出端序号	符号	功能描述
G16	DRVDD1	SERDES 1V 电源
G17	DRGND	SERDES 地
G18	DRGND	SERDES 地
G19	C_SERDOUT2_N	C_SERDOUTN<2>
G20	C_SERDOUT2_P	C_SERDOUTP<2>
G21	DRGND	SERDES 地
G22	DRGND	SERDES 地
H1	A_SERDOUT3_P	A_SERDOUTP<3>
H2	A_SERDOUT3_N	A_SERDOUTN<3>
H3	DRGND	SERDES 地
H4	DRGND	SERDES 地
H5	DRGND	SERDES 地
H6	DRVDD1	SERDES 1V 电源
H7	DRGND	SERDES 地
H8	DRGND	SERDES 地
H9	DRVDD1	SERDES 1V 电源
H10	DRGND	SERDES 地
H11	DGND	数字地
H12	DGND	数字地
H13	DRGND	SERDES 地
H14	DRVDD1	SERDES 1V 电源
H15	DRGND	SERDES 地
H16	DRGND	SERDES 地
H17	DRVDD1	SERDES 1V 电源
H18	DRGND	SERDES 地
H19	DRGND	SERDES 地
H20	DRGND	SERDES 地
H21	C_SERDOUT3_N	C_SERDOUTN<3>
H22	C_SERDOUT3_P	C_SERDOUTP<3>
J1	DRGND	SERDES 地
J2	DRGND	SERDES 地
J3	A_SERDOUT4_P	A_SERDOUTP<4>
J4	A_SERDOUT4_N	A_SERDOUTN<4>

引出端序号	符号	功能描述
J5	DRGND	SERDES 地
J6	DRGND	SERDES 地
J7	DRVDD1	SERDES 1V 电源
J8	DRGND	SERDES 地
J9	DRGND	SERDES 地
J10	DRVDD2	SERDES 2.5V 电源
J11	DVDD	数字 1V 电源
J12	DVDD	数字 1V 电源
J13	DRVDD1	SERDES 1V 电源
J14	DRGND	SERDES 地
J15	DRGND	SERDES 地
J16	DRVDD1	SERDES 1V 电源
J17	DRGND	SERDES 地
J18	DRGND	SERDES 地
J19	C_SERDOUT4_N	C_SERDOUTN<4>
J20	C_SERDOUT4_P	C_SERDOUTP<4>
J21	DRGND	SERDES 地
J22	DRGND	SERDES 地
K1	A_SERDOUT5_P	A_SERDOUTP<5>
K2	A_SERDOUT5_N	A_SERDOUTN<5>
K3	DRGND	SERDES 地
K4	DRGND	SERDES 地
K5	DRGND	SERDES 地
K6	DRVDD1	SERDES 1V 电源
K7	DRGND	SERDES 地
K8	DRGND	SERDES 地
K9	DRVDD1	SERDES 1V 电源
K10	DRVDD1	SERDES 1V 电源
K11	DGND	数字地
K12	DGND	数字地
K13	DRVDD2	SERDES 2.5V 电源
K14	DRVDD1	SERDES 1V 电源
K15	DGND	数字地

引出端序号	符号	功能描述
K16	DGND	数字地
K17	DRVDD1	SERDES 1V 电源
K18	DRGND	SERDES 地
K19	DRGND	SERDES 地
K20	DRGND	SERDES 地
K21	C_SERDOUT5_N	C_SERDOUTN<5>
K22	C_SERDOUT5_P	C_SERDOUTP<5>
L1	DRGND	SERDES 地
L2	DRGND	SERDES 地
L3	A_SERDOUT6_P	A_SERDOUTP<6>
L4	A_SERDOUT6_N	A_SERDOUTN<6>
L5	DRGND	SERDES 地
L6	RSTB	复位信号
L7	CEB	SPI 片选信号
L8	MOSI	SPI 输入数据
L9	MISO	SPI 输出数据
L10	DRVDD2	SERDES 2.5V 电源
L11	DVDD	数字 1V 电源
L12	DVDD	数字 1V 电源
L13	DRVDD1	SERDES 1V 电源
L14	RREF	外接电阻端口
L15	ATST	NC
L16	SYNCINB_N	204B 异步触发信号负端
L17	DTEST1	NC
L18	VDDQ	熔丝烧写
L19	C_SERDOUT6_N	C_SERDOUTN<6>
L20	C_SERDOUT6_P	C_SERDOUTP<6>
L21	DRGND	SERDES 地
L22	DRGND	SERDES 地
M1	A_SERDOUT7_P	A_SERDOUTP<7>
M2	A_SERDOUT7_N	A_SERDOUTN<7>
M3	DRGND	SERDES 地
M4	DRGND	SERDES 地

引出端序号	符号	功能描述
M5	DRGND	SERDES 地
M6	SEL_POR	上电复位选择
M7	EXT_CLK	外部输入时钟
M8	SCLK	SPI 读写时钟
M9	SEL_CLK	SPI 时钟选择端口
M10	SVDDH	数字 2.5V 电源
M11	DGND	数字地
M12	DGND	数字地
M13	DRVDD2	SERDES 2.5V 电源
M14	DRVDD2	SERDES 2.5V 电源
M15	DTEST0	NC
M16	SYNCINB_P	204B 异步触发信号正端
M17	ATEST0	NC
M18	VDDQ	熔丝烧写
M19	DRGND	SERDES 地
M20	DRGND	SERDES 地
M21	C_SERDOUT7_N	C_SERDOUTN<7>
M22	C_SERDOUT7_P	C_SERDOUTP<7>
N1	VSS_MOAT	隔离地
N2	VSS_MOAT	隔离地
N3	VSS_MOAT	隔离地
N4	VSS_MOAT	隔离地
N5	VSS_MOAT	隔离地
N6	VSS_MOAT	隔离地
N7	VSS_MOAT	隔离地
N8	VSS_MOAT	隔离地
N9	VSS_MOAT	隔离地
N10	VSS_MOAT	隔离地
N11	DVDD	数字 1V 电源
N12	DVDD	数字 1V 电源
N13	VSS_MOAT	隔离地
N14	VSS_MOAT	隔离地
N15	VSS_MOAT	隔离地

引出端序号	符号	功能描述
N16	VSS_MOAT	隔离地
N17	VSS_MOAT	隔离地
N18	VSS_MOAT	隔离地
N19	VSS_MOAT	隔离地
N20	VSS_MOAT	隔离地
N21	VSS_MOAT	隔离地
N22	AGND	模拟地
P1	AGND	模拟地
P2	AGND	模拟地
P3	AGND	模拟地
P4	AGND	模拟地
P5	AGND	模拟地
P6	AGND	模拟地
P7	AGND	模拟地
P8	AGND	模拟地
P9	AGND	模拟地
P10	AGND	模拟地
P11	VSS_MOAT	隔离地
P12	VSS_MOAT	隔离地
P13	VSS_MOAT	隔离地
P14	VSS_MOAT	隔离地
P15	AGND	模拟地
P16	AGND	模拟地
P17	AGND	模拟地
P18	AGND	模拟地
P19	AGND	模拟地
P20	AGND	模拟地
P21	AGND	模拟地
P22	TRIG_P	多芯片同步触发正端
R1	AGND	模拟地
R2	AGND	模拟地
R3	AGND	模拟地
R4	AGND	模拟地

引出端序号	符号	功能描述
R5	AGND	模拟地
R6	AGND	模拟地
R7	AGND	模拟地
R8	AGND	模拟地
R9	AGND	模拟地
R10	AVDD	模拟 1.1V 电源
R11	AGND	模拟地
R12	AGND	模拟地
R13	AVDD	模拟 1.1V 电源
R14	AGND	模拟地
R15	AGND	模拟地
R16	AGND	模拟地
R17	AGND	模拟地
R18	AGND	模拟地
R19	AN2	NC
R20	AN1	NC
R21	AGND	模拟地
R22	TRIG_N	多芯片同步触发负端
T1	AGND	模拟地
T2	AGND	模拟地
T3	AGND	模拟地
T4	AGND	模拟地
T5	AGND	模拟地
T6	AGND	模拟地
T7	AGND	模拟地
T8	AGND	模拟地
T9	AVDD	模拟 1.1V 电源
T10	AGND	模拟地
T11	AVDD	模拟 1.1V 电源
T12	AVDD	模拟 1.1V 电源
T13	AGND	模拟地
T14	AVDD	模拟 1.1V 电源
T15	AGND	模拟地

引出端序号	符号	功能描述
T16	AVDD	模拟 1.1V 电源
T17	AGND	模拟地
T18	AGND	模拟地
T19	AGND	模拟地
T20	AGND	模拟地
T21	AGND	模拟地
T22	AGND	模拟地
U1	AGND	模拟地
U2	AGND	模拟地
U3	TDN	NC
U4	TMU_REFP	温度传感器 2.5V 电源
U5	TMU_REFN	温度传感器地
U6	RES_EXT	传感器外部校正电阻
U7	AGND	模拟地
U8	AVDD	模拟 1.1V 电源
U9	AGND	模拟地
U10	AVDD	模拟 1.1V 电源
U11	AGND	模拟地
U12	AGND	模拟地
U13	AVDD	模拟 1.1V 电源
U14	AGND	模拟地
U15	AVDD	模拟 1.1V 电源
U16	AGND	模拟地
U17	AVDD	模拟 1.1V 电源
U18	AGND	模拟地
U19	AGND	模拟地
U20	AGND	模拟地
U21	AGND	模拟地
U22	AGND	模拟地
V1	AVSSFS8	同步时钟地
V2	AVSSFS8	同步时钟地
V3	TDP	NC
V4	AGND	模拟地

引出端序号	符号	功能描述
V5	AVDD	模拟 1.1V 电源
V6	AGND	模拟地
V7	AVDD	模拟 1.1V 电源
V8	AGND	模拟地
V9	AVDD	模拟 1.1V 电源
V10	AGND	模拟地
V11	AGND	模拟地
V12	AGND	模拟地
V13	AGND	模拟地
V14	AVDD	模拟 1.1V 电源
V15	AGND	模拟地
V16	AVDD	模拟 1.1V 电源
V17	AGND	模拟地
V18	AVDD	模拟 1.1V 电源
V19	AGND	模拟地
V20	AGND	模拟地
V21	AGND	模拟地
V22	CLKN	高速输入采样时钟负端
W1	SYSREF_N	协议层同步时钟信号负端
W2	AVDDFS8	同步时钟 1V 电源
W3	AGND	模拟地
W4	AVDD	模拟 1.1V 电源
W5	AGND	模拟地
W6	AVDD	模拟 1.1V 电源
W7	AGND	模拟地
W8	AVDD	模拟 1.1V 电源
W9	AGND	模拟地
W10	AGND	模拟地
W11	AGND	模拟地
W12	AGND	模拟地
W13	AGND	模拟地
W14	AGND	模拟地
W15	AVDD	模拟 1.1V 电源

引出端序号	符号	功能描述
W16	AGND	模拟地
W17	AVDD	模拟 1.1V 电源
W18	AGND	模拟地
W19	AVDD	模拟 1.1V 电源
W20	AGND	模拟地
W21	AGND	模拟地
W22	CLKP	高速输入采样时钟正端
Y1	SYSREF_P	协议层同步时钟信号正端
Y2	AVDDFS8	同步时钟 1V 电源
Y3	AVDD	模拟 1.1V 电源
Y4	AGND	模拟地
Y5	AVDD	模拟 1.1V 电源
Y6	AGND	模拟地
Y7	AVDD	模拟 1.1V 电源
Y8	AGND	模拟地
Y9	AGND	模拟地
Y10	AGND	模拟地
Y11	AGND	模拟地
Y12	AGND	模拟地
Y13	AGND	模拟地
Y14	AGND	模拟地
Y15	AGND	模拟地
Y16	AVDD	模拟 1.1V 电源
Y17	AGND	模拟地
Y18	AVDD	模拟 1.1V 电源
Y19	AGND	模拟地
Y20	AVDD	模拟 1.1V 电源
Y21	AGND	模拟地
Y22	AGND	模拟地
AA1	AVSSFS8	同步时钟地
AA2	AVSSFS8	同步时钟地
AA3	AGND	模拟地
AA4	AGND	模拟地

引出端序号	符号	功能描述
AA5	AGND	模拟地
AA6	AGND	模拟地
AA7	AGND	模拟地
AA8	AGND	模拟地
AA9	AGND	模拟地
AA10	AGND	模拟地
AA11	AGND	模拟地
AA12	AGND	模拟地
AA13	AGND	模拟地
AA14	AGND	模拟地
AA15	AGND	模拟地
AA16	AGND	模拟地
AA17	AGND	模拟地
AA18	AGND	模拟地
AA19	AGND	模拟地
AA20	AGND	模拟地
AA21	AGND	模拟地
AA22	AGND	模拟地
AB1	AGND	模拟地
AB2	AGND	模拟地
AB3	TEST_IN	NC
AB4	TEST_OUT	NC
AB5	AGND	模拟地
AB6	AGND	模拟地
AB7	AGND	模拟地
AB8	AGND	模拟地
AB9	AGND	模拟地
AB10	AGND	模拟地
AB11	VIP	高速输入采样信号正端
AB12	VIN	高速输入采样信号负端
AB13	AGND	模拟地
AB14	AGND	模拟地
AB15	AGND	模拟地

引出端序号	符号	功能描述
AB16	AGND	模拟地
AB17	AGND	模拟地
AB18	AGND	模拟地
AB19	AGND	模拟地
AB20	AGND	模拟地
AB21	AGND	模拟地
AB22	AGND	模拟地

HWD08B64GA1-APBGA484引脚说明如表2所示。

表 2 引脚说明

编号	Pin 名称	说明	备注
1	DRVDD1	SERDES 1V 电源	电流 4A 以下
2	DRGND	SERDES 地	电流 4.75A 以下
3	DRVDD2	SERDES 2.5V 电源	电流 750mA 以下
4	DVDD	数字 1V 电源	电流 2A 以下
5	DGND	数字地	电流 2.1A 以下
6	SVDDH	数字 2.5V 电源	电流 100mA 以下
7	EXT_CLK	SPI 50M 外部输入时钟	SVDDH 2.5V CMOS 电平
8	CEB	SPI 片选信号。低电平有效控制信号，用来选通读写周期。	SVDDH 2.5V CMOS 电平
9	MISO	SPI 主机输入从机输出接口。ADC 对上位机返回数据。	SVDDH 2.5V CMOS 电平
10	MOSI	SPI 主机输出从机输入接口。上位机对 ADC 写入配置数据。	SVDDH 2.5V CMOS 电平
11	SCLK	SPI 读写时钟。串行移位时钟输入，用来同步串行接口的读、写操作。	SVDDH 2.5V CMOS 电平
12	RSTB	异步复位信号，低电平有效，复位时间 100ns。	SVDDH 2.5V CMOS 电平
13	SEL_POR	ADC 上电复位选择。取值为 0 表示内部 POR 复位，取值为 1 表示外部 RSTB 复位。	SVDDH 2.5V CMOS 电平
14	SEL_CLK	SPI 系统时钟选择端口。取值为 0 表示选择内部时钟，取值为 1 表示选择外部时钟 EXT_CLK。	SVDDH 2.5V CMOS 电平 当前版本必须配置为 1，选择外部时钟
15	VSS_MOAT	隔离地	可以跟 AGND 合并
16	RREF	SERDES 外接电阻端口	接 200 欧姆连接至 DRVDD1

编号	Pin 名称	说明	备注
17	ATST	NC (建议悬空)	可以不用引出
18	ATEST0	NC (建议悬空)	可以不用引出
19	DTEST0	NC (建议悬空)	可以不用引出
20	DTEST1	NC (建议悬空)	可以不用引出
21	VDDQ	熔丝烧写	1.89V 高压烧写, 烧写完毕可浮空或接地
22	VDDQ	熔丝烧写	1.89V 高压烧写, 烧写完毕可浮空或接地
23	AN1	NC	可以不用引出
24	AN2	NC	可以不用引出
25	RES_EXT	传感器外部校正电阻	外接 300K 欧姆电阻到地
26	REFCLKP	SERDES 外部参考时钟输入正端。用户可以根据寄存器 0x0242ex 设置选择是用此端口引入 SERDES 参考时钟, 还是选择内部 CLK_IN 分频产生 SERDES 参考时钟。功能实现框图见图 40。	400MHz 以内 CML 或者 CMOS 电平
27	REFCLKN	SERDES 外部参考时钟输入负端。用户可以根据寄存器 0x0242ex 设置选择是用此端口引入 SERDES 参考时钟, 还是选择内部 CLK_IN 分频产生 SERDES 参考时钟。功能实现框图见图 40。	400MHz 以内 CML 或者 CMOS 电平
28	SYNCINB_P	204B 异步触发信号正端。将 204C 配置为 204B 模式时, 使用该引脚, 为 204B 建链 SYNC 同步信号。	LVDS 或者 CMOS 电平
29	SYNCINB_N	204B 异步触发信号负端。将 204C 配置为 204B 模式时, 使用该引脚, 为 204B 建链 SYNC 同步信号。	LVDS 或者 CMOS 电平
30	AVDDFS8	同步时钟 1V 电源	电流 100mA 以下
31	AVSSFS8	同步时钟地	电流 100mA 以下
32	SYSREF_P	协议层同步时钟信号正端	LVDS 或者 CMOS 电平
33	SYSREF_N	协议层同步时钟信号负端	LVDS 或者 CMOS 电平
34	TDP	NC	可以不用引出
35	TDN	NC	可以不用引出
36	TEST_IN	NC	可以不用引出
37	TEST_OUT	NC	可以不用引出
38	TMU_REFP	温度传感器 2.5V 电源	电流 10mA 以下

编号	Pin 名称	说明	备注
39	TMU_REFN	温度传感器地	电流 10mA 以下
40	AVDD	模拟 1.1V 电源	电流 1A 以下
41	AGND	模拟地	电流 1A 以下
42	TRIG_P	多芯片同步触发正端，可配置为连续或脉冲模式，对多片 ADC 进行同步，实现数据对齐	建议 LVPECL 接口
43	TRIG_N	多芯片同步触发负端，可配置为连续或脉冲模式，对多片 ADC 进行同步，实现数据对齐	建议 LVPECL 接口
44	CLKP	高速输入采样时钟正端	$\leq 16\text{GHz}$ ，需要隔直(用 dc block 或者 20pF 电容)
45	CLKN	高速输入采样时钟负端	$\leq 16\text{GHz}$ ，需要隔直(用 dc block 或者 20pF 电容)
46	VIP	高速输入采样信号正端	0-35GHz (直流耦合或者交流耦合均可，交流耦合时用 dc block)
47	VIN	高速输入采样信号负端	0-35GHz (直流耦合或者交流耦合均可，交流耦合时用 dc block)
48	A_SERDOUT*_P	A 号 SERDES 8 路输出正端	最高 25.6Gbps，CML 输出
49	A_SERDOUT*_N	A 号 SERDES 8 路输出负端	最高 25.6Gbps，CML 输出
50	B_SERDOUT*_P	B 号 SERDES 8 路输出正端	最高 25.6Gbps，CML 输出
51	B_SERDOUT*_N	B 号 SERDES 8 路输出负端	最高 25.6Gbps，CML 输出
52	C_SERDOUT*_P	C 号 SERDES 8 路输出正端	最高 25.6Gbps，CML 输出
53	C_SERDOUT*_N	C 号 SERDES 8 路输出负端	最高 25.6Gbps，CML 输出
54	D_SERDOUT*_P	D 号 SERDES 8 路输出正端	最高 25.6Gbps，CML 输出
55	D_SERDOUT*_N	D 号 SERDES 8 路输出负端	最高 25.6Gbps，CML 输出

4.2 焊盘推荐

HWD08B64GA1-APBGA484焊盘推荐如图5所示，用户可根据焊接要求进行调整。

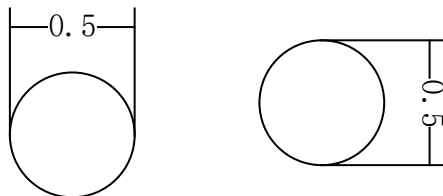


图 5 推荐焊盘图

4.3 焊接推荐

HWD08B64GA1-APBGA484焊接条件可参见表3的规定，其推荐焊接温度曲线如图6所示。

表 3 焊接条件

步 骤	条 件
预热区 最高温度 25℃升至 150℃的时间	150℃ 60s~120s
保温区 保温区温度 温变率	150℃~179℃ 最大 3℃/s
再流区 再流时间 再流区温度 峰值温度 峰值温度保持时间	30s~60s 179℃ 205℃~220℃ 6s~10s
冷却区	30s~60s

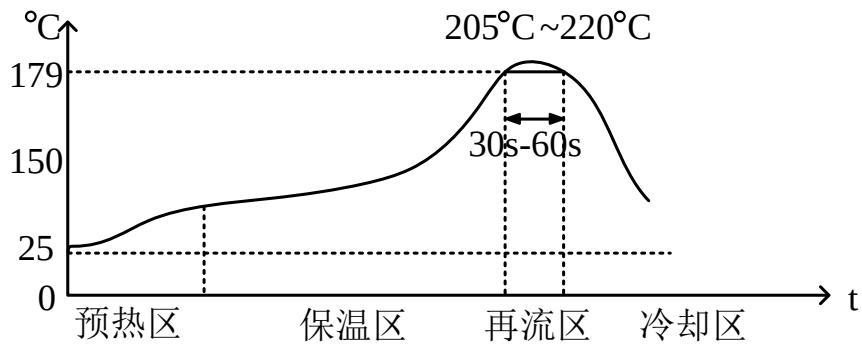


图 6 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	电源电压 (AVDDFS8, DRVDD1, DVDD)	-0.5V~1.1V
2	电源电压 (AVDD)	-0.5V~1.15V
3	电源电压 (DRVDD2, SVDDH)	-0.5V~2.75V
4	结温 (TJ)	150℃
5	引线焊接温度 (Th)	265℃
6	贮存温度范围 (Tstg)	-65℃~150℃

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	电源电压 (AVDD, AVDDFS8, DRVDD1, DVDD)	0.98V~1.1V
2	电源电压 (DRVDD2, SVDDH)	2.4V~2.75V
3	工作环境温度 (TA)	-55℃~125℃

6 电特性参数

该电特性指标为该系列产品能达到的最佳指标，不同的质量等级及封装形式略有不同，具体见对应的详细规范。

6.1 技术规格

除非另有规定，DVDD = DRVDD1 = 1.0V，AVDD = 1.1V，DRVDD2 = SVDDH = 2.5V，AIN = -1.0dBFS。

表 4 规格指标

参数	温度	HWD08B64GA1-APBGA484			单位
		最小值	典型值	最大值	
速率等级	-	32	50	64	GSPS
分辨率	-	8			位
精度					
无失码	室温	保证			
失调误差范围	室温	-3 ~ 3			LSB
增益误差范围	室温	-10 ~ 10			%FSR
差分非线性 (DNL)	室温	±0.16			LSB

参数	温度	HWD08B64GA1-APBGA484			单位
		最小值	典型值	最大值	
积分非线性 (INL)	室温	± 0.46			LSB
模拟输入					
差分输入电压	室温	530~700			mVpp
差分输入电阻	室温	100			Ω
输入共模电压 (V_{cm})	室温	0.5 ~ 0.9			V
全功率模拟带宽	室温	29			GHz
折合到输入端噪声	室温	0.8			LSB _{RMS}
隔离度					
模拟电源与数字电源间	室温	FEXT、NEXT < -50 dB (0~10GHz)			-
电源					
DVDD	室温	0.975	1.0	1.025	V
AVDD	室温	1.080	1.1	1.120	V
DRVDD1	室温	0.975	1.0	1.025	V
DRVDD2	室温	2.45	2.5	2.75	V
SVDDH	室温	2.45	2.5	2.75	V
I_{DVDD}^1	室温	0.6			A
$^1 I_{AVDD}$	室温	0.8			A
I_{DRVDD1}^1	室温	0.9			A
I_{DRVDD2}^1	室温	0.6			A
I_{SVDDH}^1	室温	0.01			A
功耗 ¹	室温	4.0			W

注 1: 表中备注 1 的电流和功耗是在 50G 采样率、16lane 下的测试结果。

6.1.1 交流规格

除非另有规定, DVDD = DRVDD1 = 1.0V, AVDD = 1.1V, DRVDD2 = SVDDH = 2.5V。

表 5 ADC 性能 ($f_s=50\text{GSPS}$)

参数	典型值	单位
	AIN = -3 dBFS	
采样率	50	GSPS
噪声密度 (NSD) At 1 GHz, -3dBFS	-143.6	dBFS/Hz
信噪比 (SNR) $f_{IN} = 0.2 \text{ GHz}$	39.7	dBFS

参数	典型值	单位
	AIN = -3 dBFS	
fIN = 1 GHz	39.7	dBFS
fIN = 18 GHz	35.6	dBFS
fIN = 25 GHz	34.4	dBFS
信纳比 (SINAD)		
fIN = 0.2 GHz	39.5	dBFS
fIN = 1 GHz	39.5	dBFS
fIN = 18 GHz	35.5	dBFS
fIN = 25 GHz	34.3	dBFS
有效位数 (ENOB)		
fIN = 0.2 GHz	6.3	Bits
fIN = 1 GHz	6.3	Bits
fIN = 18 GHz	5.6	Bits
fIN = 25 GHz	5.4	Bits
无杂散动态范围 (SFDR)		
fIN = 0.2 GHz	55.5	dBFS
fIN = 1 GHz	56.1	dBFS
fIN = 18 GHz	44.3	dBFS
fIN = 25 GHz	43.3	dBFS
二阶谐波 (H2)		
fIN = 0.2 GHz	55.5	dBFS
fIN = 1 GHz	63.8	dBFS
fIN = 18 GHz	61.9	dBFS
fIN = 25 GHz	54.5	dBFS
三阶谐波 (H3)		
fIN = 0.2 GHz	57.0	dBFS
fIN = 1 GHz	56.1	dBFS
fIN = 18 GHz	54.4	dBFS
fIN = 25 GHz	56.3	dBFS
最差其他杂散 (不包括二次和三次谐波)		
fIN = 0.2 GHz	67.5	dBFS
fIN = 1 GHz	62.9	dBFS
fIN = 18 GHz	44.3	dBFS

参数	典型值	单位
	AIN = -3 dBFS	
f _{IN} = 25 GHz	43.3	dBFS

6.1.2 数字规格

除非另有规定，DVDD = DRVDD1 = 1.0V，AVDD = 1.1V，DRVDD2 = SVDDH = 2.5V，AIN = -1.0dBFS。

表 6 数字规格

参数	温度	典型值	单位
时钟输入			
差分输入电压	室温	1400	mV _{pp}
共模输入电压	室温	0.5	V
输入电阻（差分）	室温	105	Ω
SYSREF 输入 (SYSREF _x)			
差分输入电压	室温	1000	mV _{pp}
共模输入电压	室温	0.85	V
输入电阻（差分）	室温	103	Ω
输入电容	室温	0.5	pF
TRIG 输入 (TRIG _x)			
差分输入电压	室温	1000	mV _{pp}
共模输入电压	室温	0.85	V
输入电阻（差分）	室温	105	Ω
输入电容	室温	0.5	pF
逻辑输入 (MOSI, SCLK, CEB)			
逻辑兼容	室温	CMOS	
电压 逻辑 1	室温	>0.7*SVDDH	V
电压 逻辑 0	室温	<0.3*SVDDH	V
输入电阻	室温	44	kΩ
输入电容	室温	1.5	pF
SYNCINB _x 输入			
逻辑兼容	室温	CML	
电压	室温	1000	mV
输入电阻 (差分)	室温	32	kΩ
输入电容	室温	1	pF
逻辑输出 (MISO)			
逻辑兼容	室温	CMOS	

参数	温度	典型值	单位
电压 逻辑 1	室温	$>SVDDH-0.45$	V
电压 逻辑 0	室温	<0.45	V
复位 (RSTB)			
电压 逻辑 1	室温	$>0.7*SVDDH$	V
电压 逻辑 0	室温	$<0.3*SVDDH$	V
输入电阻(差分)	室温	44	$k\Omega$
输入电容	室温	1.5	pF
REFCLK 输入 (REFCLK_x)			
差分输入电压	室温	1000	mVpp
共模输入电压	室温	0.85	V
输入电阻 (差分)	室温	100	Ω
输入电容	室温	0.5	pF
EXT_CLK 输入			
输入电压	室温	2.5	V
输入电阻	室温	10	$k\Omega$
输入电容	室温	0.5	pF

6.1.3 开关规格

除非另有规定, $DVDD = DRVDD1 = 1.0V$, $AVDD = 1.1V$, $DRVDD2 = SVDDH = 2.5V$, $A_{IN} = -1.0dBFS$ 。

表 7 开关规格

参数	测试条件	温度	最小值	典型值	最大值	单位
时钟 (CLK)						
时钟速率		室温	8		16	GSps
时钟占空比		室温	45	50	55	%占空比
不确定 (抖动)		室温		50		(fs) rms
延迟 (Latency)						
流水线延迟		室温		4672		时钟周期
TRIG (TRIG_x)						
建立时间		室温		1		ns
保持时间		室温		1		ns
不确定 (抖动)		室温		2		(ps) rms
输出参数 (Serdout)						
上升时间		室温	10			ps
下降时间		室温	10			ps

参数	测试条件	温度	最小值	典型值	最大值	单位
线速率		室温			25	Gbps

6.1.4 时序规格

表 8 时序规格

参数	测试条件/注释	最小值	典型值	最大值	单位
SPI 时序要求					
Tds	数据与 SCLK 上升沿之间的建立时间	8			ns
Tdh	数据与 SCLK 上升沿之间的保持时间	8			ns
Tclk	SCLK 周期	100			ns
Ts	CEB 与 SCLK 之间的建立时间	4			ns
Th	CEB 与 SCLK 之间的保持时间	4			ns
Thigh	SCLK 应处于逻辑高电平状态的最短时间	20			ns
Tlow	SCLK 应处于逻辑低电平状态的最短时间	20			ns
Taccess	SCLK 下降沿和读指令输出有效数据之间的最大延迟时间		12	20	ns

6.1.4.1 时序图

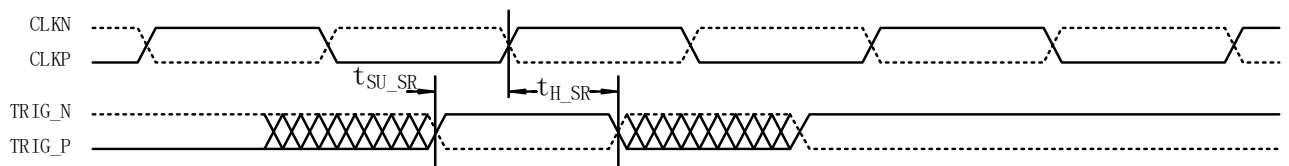


图 7 SYSREF±建立和保持时间

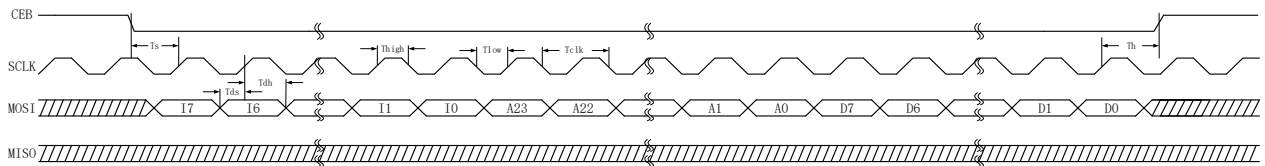


图 8 串行接口时序图 (MSB 优先)

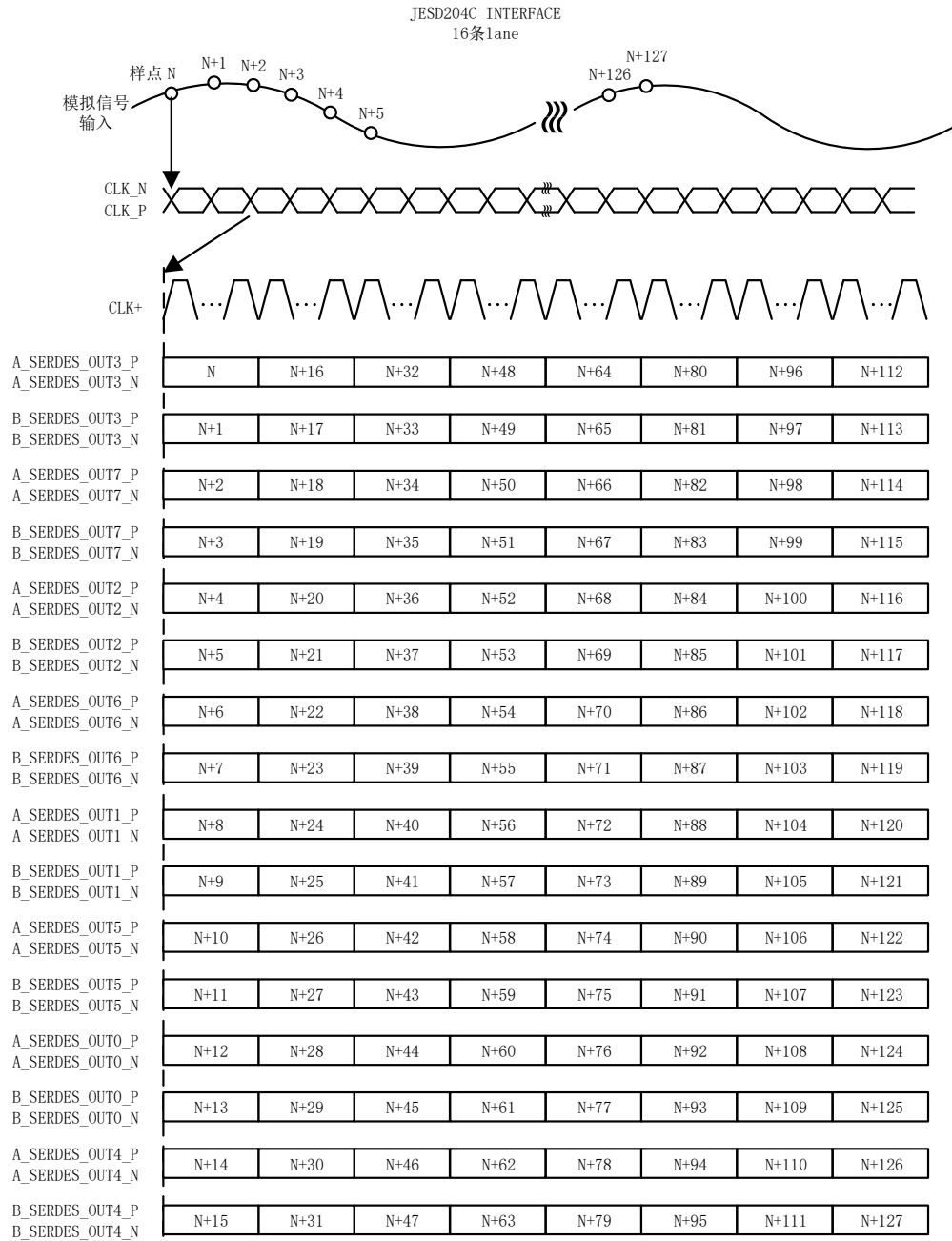


图9 16 LANE 数据输出图

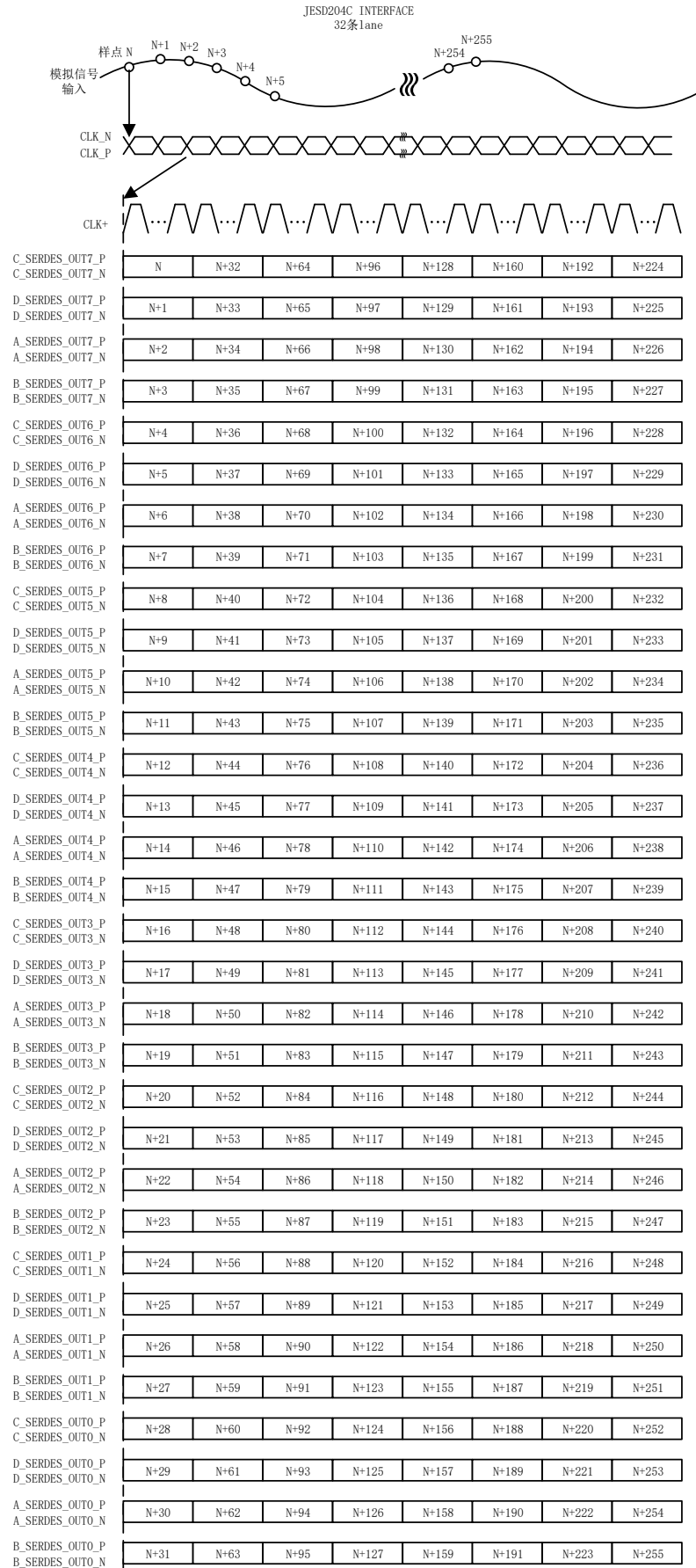


图 10 32 LANE 数据输出图

6.2 典型性能曲线

测试条件: AVDD = 1.1V, DVDD = 1V, FS = 50GSPS, 室温, 信号差分输入, 1048K FFT。

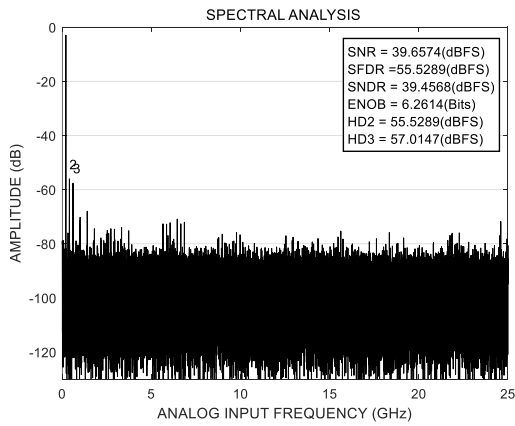


图 11 FFT at $f_{IN}=0.2\text{GHz}$, -3dBFS , 50GSPS

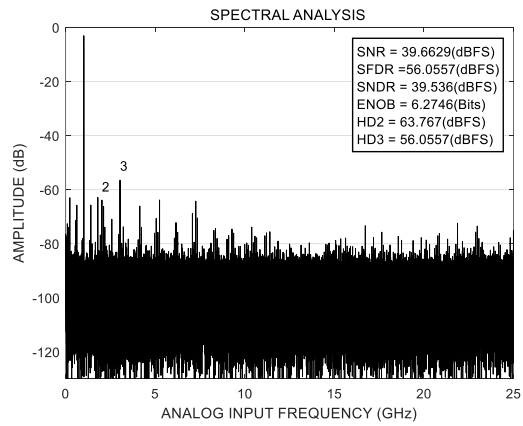


图 12 FFT at $f_{IN}=1\text{GHz}$, -3dBFS , 50GSPS

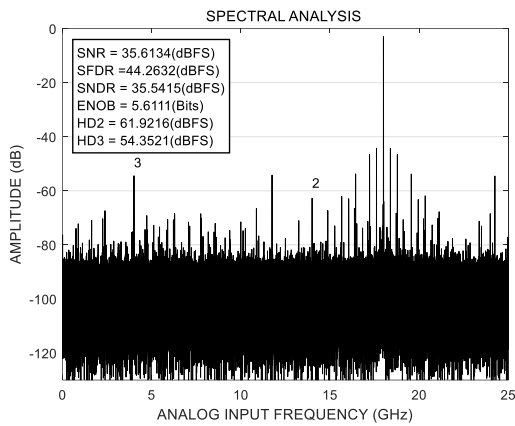


图 13 FFT at $f_{IN}=18\text{GHz}$, -3dBFS , 50GSPS

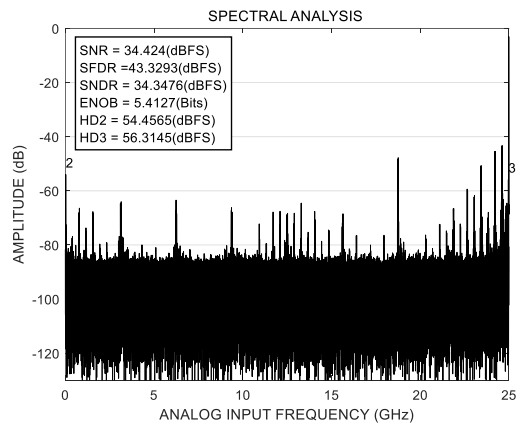


图 14 FFT at $f_{IN}=25\text{GHz}$, -3dBFS , 50GSPS

6.3 幅频响应

测试条件: AVDD = 1.1V, DVDD = 1V, FS = 50GSPS, 室温, 信号差分输入。

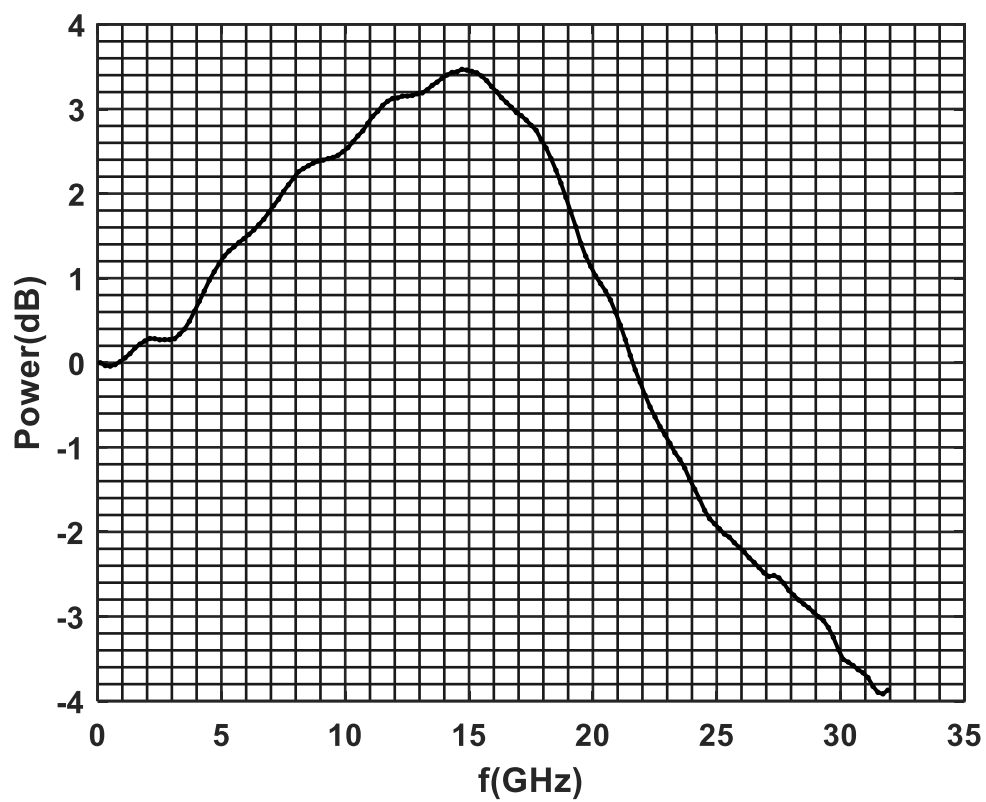


图 15 幅频响应

6.4 误码率测试

测试条件：AVDD = 1.1V，fs = 50GSPS，Fin = 762.939453KHz，Ain = -1dBFS，32lane，测试时间：1小时。

表 9 误码率测试（双通道 EVB 板）

通道 1		通道 2	
Threshold	Error rate	Threshold	Error rate
≥ 16	1.18e-15	≥ 16	4.23e-15
≥ 32	0（未测到误码）	≥ 32	0（未测到误码）
≥ 64	0（未测到误码）	≥ 64	0（未测到误码）
≥ 128	0（未测到误码）	≥ 128	0（未测到误码）

6.5 S 曲线

测试条件: AVDD = 1.0V, DVDD = 1V。

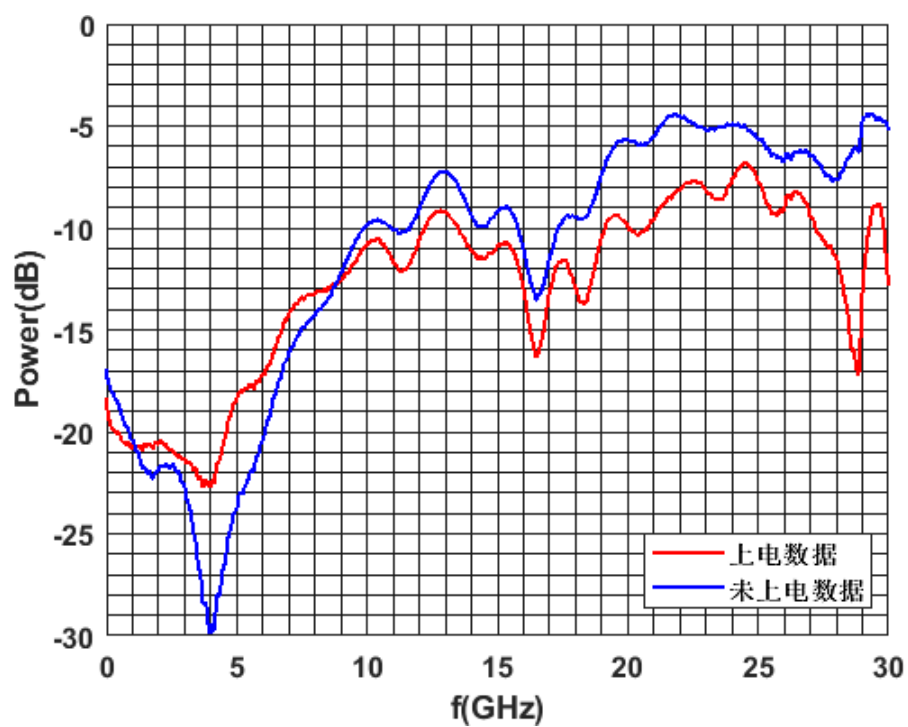


图 16 S11 曲线

6.6 等效电路

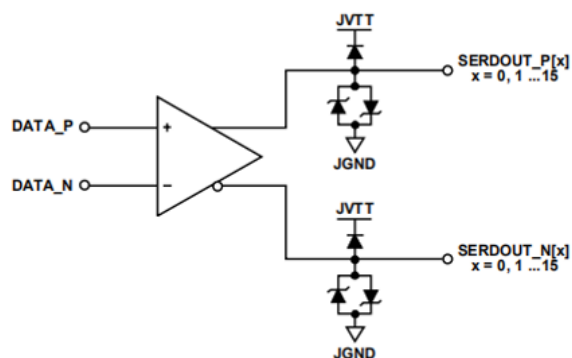


图 17 数字输出

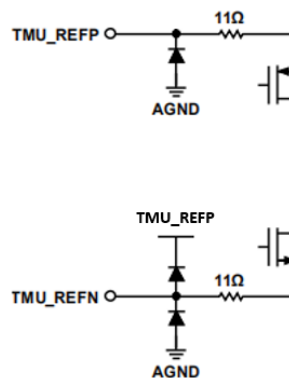


图 18 TMU_REF_x 输入

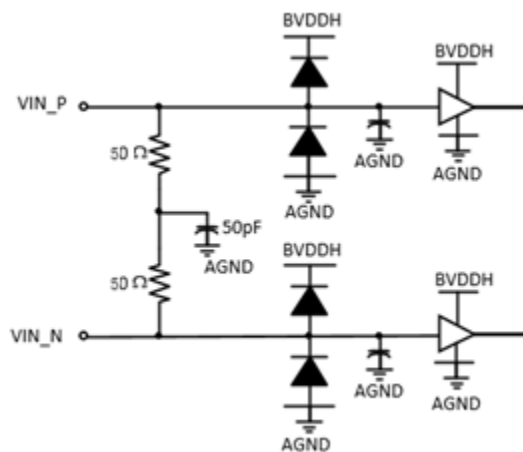


图 19 模拟输入

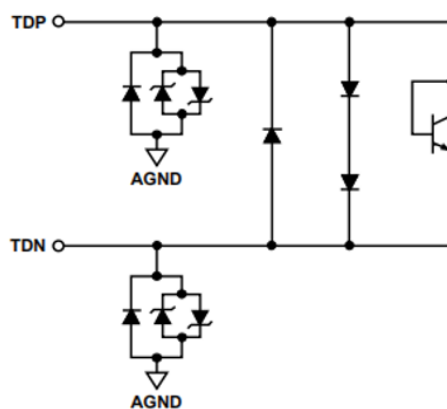
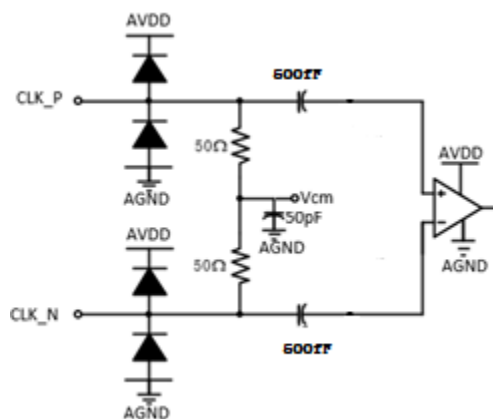
图 20 温度检测二极管⁽¹⁾

图 21 输入时钟

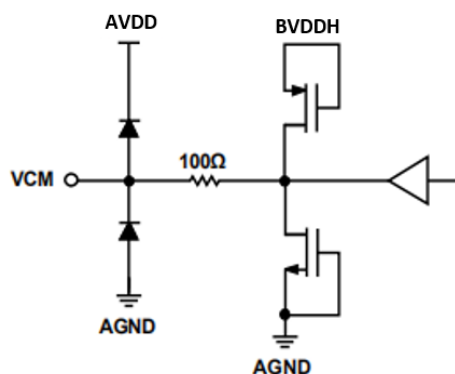


图 22 VCM

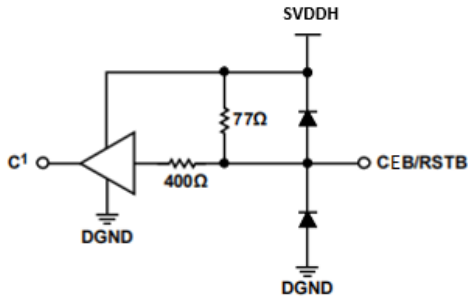


图 23 CEB 和 RSTB

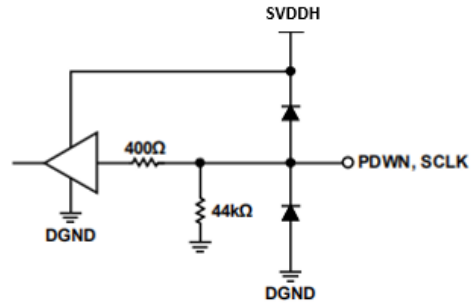


图 24 掉电和 SCLK

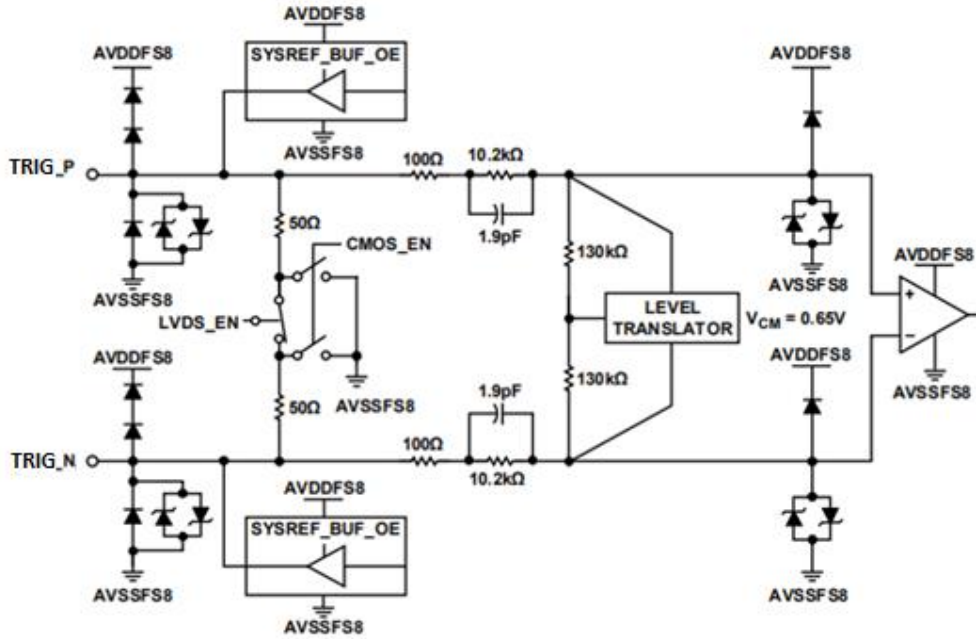


图 25 TRIG_x 输入

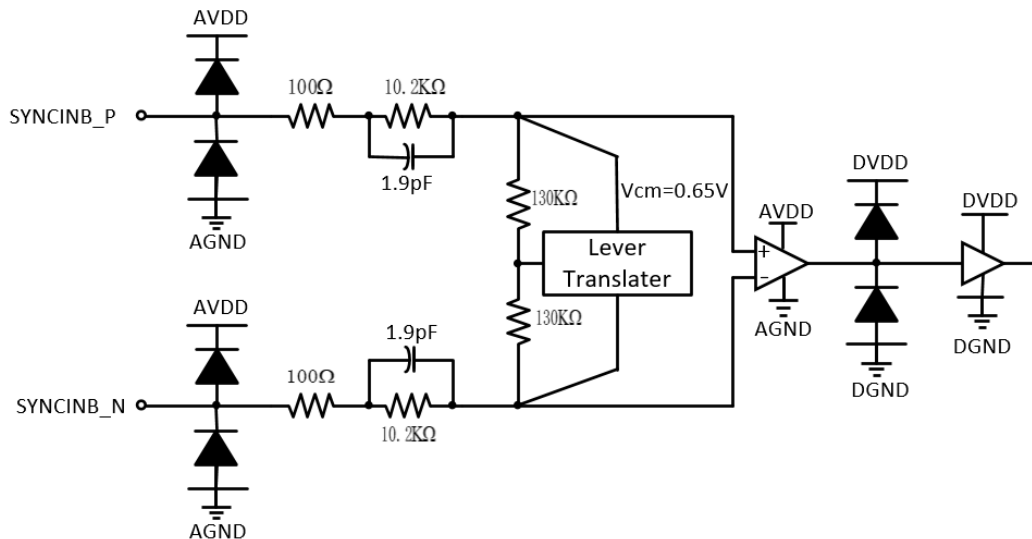


图 26 SYNCINB_x 输入

注 1: 图 20 对应的温度检测功能当前版本暂不支持, 后续版本会集成。

注 2: V_{cm} 电压范围为 0.6V 到 2V。

7 功能描述

7.1 概述

图 1 为 HWD08B64GA1-APBGA484 系列芯片的内部框图。芯片集成了 ADC 内核，JESD204C 接口模块，SPI 控制模块，时钟模块，外设 IO 模块等。

ADC 内核采用时间交织 SAR 结构实现，使用了宽带采样保持电路设计、时间交织及内部误差校正技术。

JESD204C 接口模块实现数据输出，最高 lane 速率可达 25.6Gbps，内置 32 个 lane 可配置使用，兼容 JESD204B 接口，此时支持子类 0 和子类 1，最高线速率可达 12.5Gbps。

SPI 接口模块完成 ADC 内部寄存器配置、通过指令实现时钟切换、芯片内部状态读取等功能。SPI 可以让用户根据实际应用场景灵活配置寄存器。

7.2 功能描述

7.2.1 工作原理

HWD08B64GA1-APBGA484 是一款时间交织的 SAR 架构 ADC，具有高输入带宽，高采样率，低功耗的特点。HWD08B64GA1-APBGA484 采用 JESD204C 接口，内置 32 条 lane，兼容 JESD204B 接口，支持实现高速数据传输以及灵活的数字输出格式。

ADC 内核采用 128 通道时间交织的 SAR 架构，采用时间交织算法，在大部分输入信号条件下均可达到较好的动态性能。

7.2.1.1 ADC 架构

128 路子 ADC 工作在时间交织模式，对模拟输入进行采样量化得到 128 路 8 位的并行数据，以及每路数据的同频随路时钟。

电路中关键模块电路为：多相时钟产生和调整电路、Sub ADC、连续时间均衡、高速信号分发电路、高速信号采样电路、高速缓冲器电路、低噪声 VCO 电路等。

7.2.1.2 模拟差分输入

HWD08B64GA1-APBGA484 的模拟输入是一个差分缓冲器，内部缓冲器的共模电压是 0.5V。为了更好的动态性能，驱动 VIN_N 和 VIN_P 的源阻抗必须与 ADC 内部阻抗匹配，这样 ADC 输入端的共模误差就被抵消掉。

由于大部分放大器的噪声性能和信号带宽不足以使 HWD08B64GA1-APBGA484 发挥出真实的性能，为了获得更好的 SNR 和 SFDR 性能，建议使用差分变压耦合器作为差分输入配置。

7.2.1.3 ADC 复位时序

HWD08B64GA1-APBGA484 的复位引脚为 RSTB，异步复位信号，低电平有效，复位时间 100ns。为了防止复位信号撤除时可能产生亚稳态，故采用异步复位同步释放的模式。即复位信号到来时不受时钟信号的同步，复位信号释放时受到时钟信号的同步。

7.2.2 测试模式

7.2.2.1 ADC 测试模式

HWD08B64GA1-APBGA484 ADC core 内部可通过寄存器配置选择输出 ADC 数据或者 PRBS 测试数据。详细信息可参见下表：

表 10 ADC 测试模式

寄存器名字	寄存器地址	位宽	属性	含义
RG_P_SUBADC	0x000005	8	R/W	Bit[7]: PRBS 电路使能, 默认配置为 0。 =1' b0: 选择 ADC 输出。 =1' b1: 选择 PRBS 输出。

7.2.2.2 JESD204C 测试模式

HWD08B64GA1-APBGA484 在 204C 模块设计了灵活的测试模式用于通道调试和问题定位, 通过配置 test mode 寄存器实现各种数据类型输出。

相关具体设置如下表所示, 表中寄存器地址以 204C IP0 为参考, 其他通道参考寄存器映射表 11 即可。

表 11 204C 测试模式

寄存器名字	寄存器地址	位宽	属性	含义
test mode	0x020100	8	R/W	Bit[3:0]: 测试模式产生选择, 默认配置为 0。 =4' b0000: 测试模式关闭(正常操作)。 =4' b0001: Midscale short。 =4' b0010: Positive full scale。 =4' b0011: Negative full scale。 =4' b0100: Alternating checker board。 =4' b0101: PN 序列(long)。 =4' b0110: PN 序列(short)。 =4' b0111: 1/0 字切换。 =4' b1000: 用户测试模式。 =4' b1111: 斜坡输出。
	0x020110	8	R/W	Bit[3:0]: 默认配置为 0。 =4' b0000: 正常操作(测试模式关闭)。 =4' b0001: Alternating checkerboard。 =4' b0010: 1/0 字切换。 =4' b0011: 31bit 伪随机数(PN)序列- $x^{31}+x^{28}+1$ 。 =4' b0100: 23bit PN 序列- $x^{23}+x^{18}+1$ 。 =4' b0101: 15bit PN 序列- $x^{15}+x^{14}+1$ 。 =4' b0110: 9bit PN 序列- x^9+x^5+1 。 =4' b0111: 7bit PN 序列- x^7+x^6+1 。 =4' b1000: 斜坡输出。 =4' b1110: 连续/重复用户测试。 =4' b1111: 单次用户测试。

7.2.3 温度测量单元

HWD08B64GA1-APBGA484 的温度寄存器码值与环境温度呈线性关系： $\text{temperature} = A \times \text{code} + B$ 。

如图 27 所示给出温度曲线的典型值，此时线性增益参数 $A = -0.6656$ ，固定偏差 $B = 536.07$ 。温度寄存器码值 code 通过寄存器读取，具体操作步骤如下：

1. 对地址 0x000082 配置 0x06，命令格式为：0xad 0x00 0x00 0x82 0x06。
2. 读取地址 0x01010d 的数据，该数据为温度寄存器码值的高 8bit，命令格式为：0x90 0x01 0x01 0x0d 0x00。
3. 读取地址 0x01010e 的数据，该数据为温度寄存器码值的低 8bit，命令格式为：0x90 0x01 0x01 0x0e 0x00。
4. 组合温度寄存器码值的 16bit 数据，带入上述线性关系中，求取估计的环境温度。

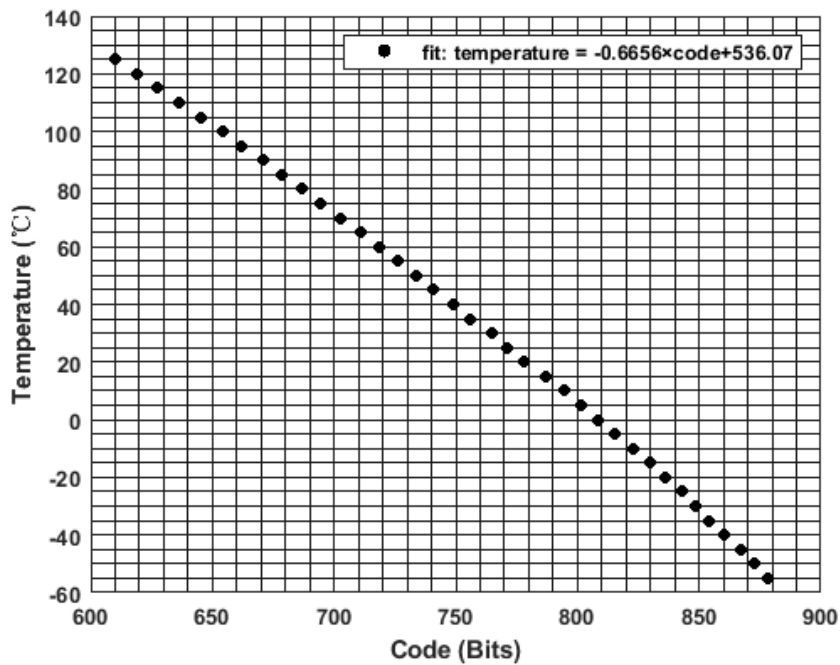


图 27 温度曲线

7.2.4 数字输出

7.2.4.1 功能概述

HWD08B64GA1-APBGA484采用 JESD204C 高速串行接口实现数据输出，最高lane速率达25.6Gbps, 内置32个lane可配置使用。兼容 JESD204B 接口，支持子类0和子类1操作，最高lane速率可达12.5Gbps。

JESD204B/C 处理过程可以分为传输层、数据链路层和物理层，如图28所示，显示了JESD204B/C的功能框图。

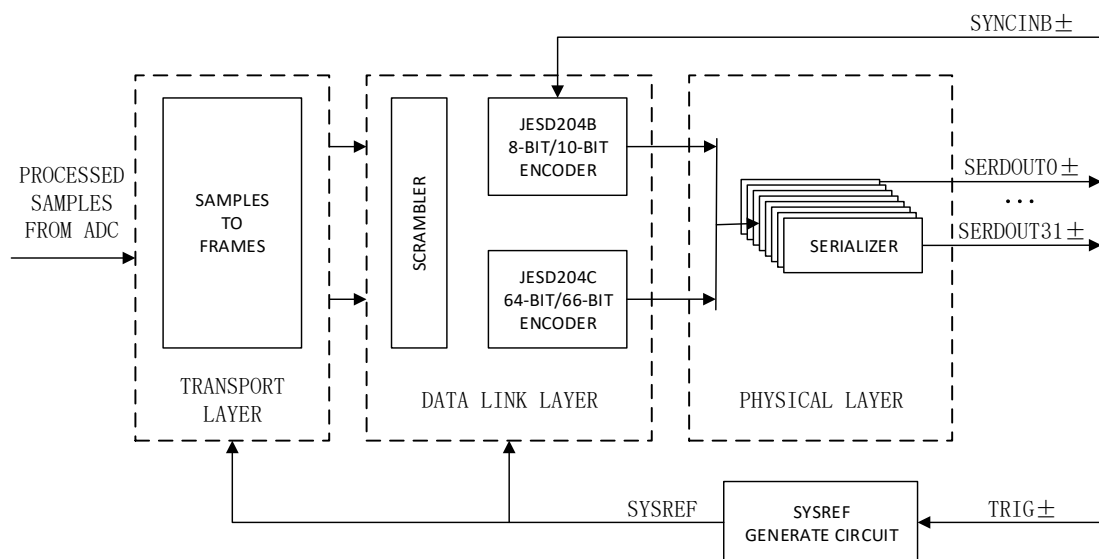


图 28 JESD204B/C 的功能框图

7.2.4.2 JESD204B/C 时钟

HWD08B64GA1-APBGA484 支持 JESD204B/C 子类 0 和子类 1 操作。

当设备在子类 0 模式下工作时，不需要 SYSREF 输入，不支持确定性延迟和多芯片同步功能。在子类 0 模式下，JESD204B/C 发射器和接收器之间的 JESD204B/C 时钟的关系是任意的，但并不影响接收器捕获和对齐链路内通道的能力。

当设备在子类 1 模式下工作时，使用 SYSREF 作为采样时序的系统级基准，204B 采用 8b/10b 编码方案，SYSREF 用于对齐本地多帧时钟（LMFC），204C 采用 64b/66b 编码方案，SYSREF 用于对齐本地扩展多块时钟（LEMC），以支持实现确定性延迟和多芯片同步功能。注意，所有通道、链路、设备的总延迟变化（可变延迟和固定延迟变化）必须小于等于 1 个 LMFC/LEMC 周期。如图 29 所示，显示了 SYSREF 与 LMFC/LEMC 的关系。

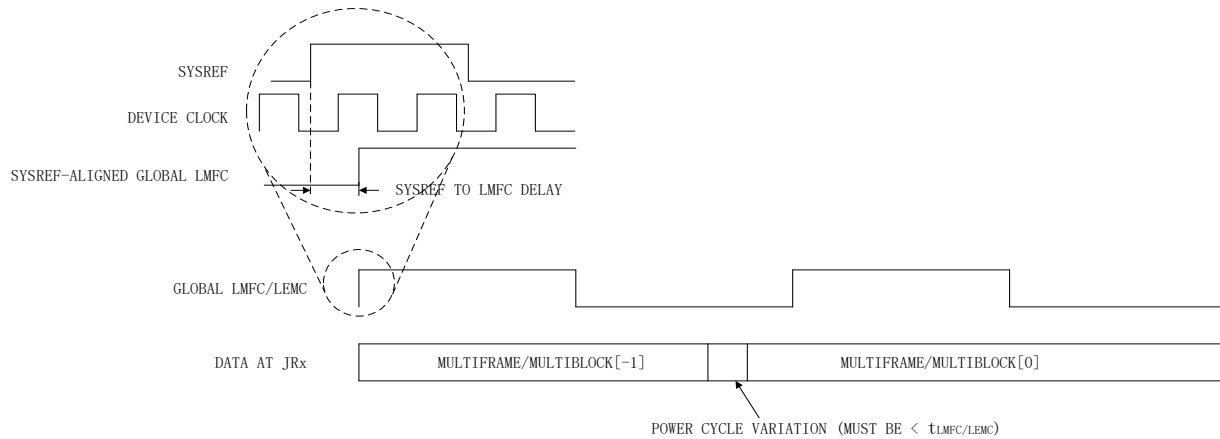


图 29 SYSREF 与 LMFC/LEMC

7.2.4.3 传输层

传输层负责把由样本和可选控制位组成的数据打包成 JESD204B/C 帧，之后将其映射为 8 位字节结构传送给数据链路层。传输层受链路配置参数产生的规则控制，根据规则来对数据打包处理，需要时添加填充位以填补空隙。所需填充位个数由等式 $T = N' - N - CS$ 决定。

7.2.4.4 数据链路层

一般来说，数据链路层主要负责对数据进行加扰，建立码组或块边界、建立多帧或多块边界，初始化链路，对数据编码，监控链路的任务。

HWD08B64GA1-APBGA484 支持 8b/10b 链路层（JESD204B）或 64b/66b 链路层（JESD204C），如表 12 所示，显示了 8b/10b 和 64b/66b 链路层的主要区别。

表 12 8b/10b 和 64b/66b 链路层的主要区别

特征	8-bit/10-bit 编码	64-bit/66-bit 编码
编码效率	80%	96.97%
SYNCINB_x 引脚	需要	不需要
样本数据加扰操作	可选	必须
链路初始化	码组同步 (CGS) + 初始通道对齐序列 (ILAS)	同步报头 (SH) 对齐 + 扩展多块 (EMB) 同步 + EMB 对齐
错误监测	字符监控	CRC-12 或 FEC
子类 1 模式下的 SYSREF	用于对齐 LMFC	用于对齐 LEMC
推荐通道速率范围	$1.5\text{Gbps} \leq \text{Lane rate} \leq 12.5\text{Gbps}$	$6\text{Gbps} \leq \text{Lane rate} \leq 25.6\text{Gbps}$

7.2.4.4.1 8-bit/10-bit 链路层

当使用 JESD204C 的 8b/10b 链路层选项时，兼容 JESD204B 规范。

HWD08B64GA1-APBGA484 JESD204B 发射端接口定义及基本功能可参考 JEDEC 204B 协议标准，使用 8b/10b

● 用户数据和纠错

完成 ILAS 之后便开始发送用户数据，在普通的一帧数据中所有数据都是用户数据。为了监控帧时钟和多帧时钟同步，当数据符合某些条件时，通过一个机制来保证将字符替换为/F/或/A/对齐字符，该机制对于加扰和未加扰的数据条件是不同的，是否加扰可通过寄存器配置。

对于加扰的数据，帧末尾的任何 0xFC 字符都用/F/替换，多帧末尾的 0x7C 字符都用/A/替换。JESD204B Rx 检查接收到的数据中是否有/F/或/A/字符来验证它是否只出现在预期的位置上。如果发现意外的/F/或/A/字符，Rx 将利用动态对齐或者激活 SYNCINB_x 持续 4 帧以上时间重新启动同步来处理这种情况。

对于未加扰的数据，如果两个连续帧的最后一个字符相同，就会将第 2 帧的最后一个字符替换为/F/，如果它位于多帧的末尾，则替换为/A/。

7.2.4.4.2 64-bit/66-bit 链路层

当使用 JESD204C 的 64b/66b 链路层选项时，消除了 SYNCINB_x 引脚的使用，不兼容 JESD204B 规范。如下表 14 所示，显示了 JESD204C 协议标准中主要用于描述 64b/66b 链路层相关功能的新术语和参数。

表14 JESD204C引入的新术语和参数

术语	定义
块	一种结构，开头是一个2位的同步报头，总共包含66个位
多块（MB）	包含32个块的一组数据
扩展多块（EMB）	包含一个或多个多块的一组数据
同步报头（SH）	块头最开始的两数据位，要保证数据位之间有变化
同步转换位	由同步报头解码的单bit数据
同步字	来自一个多块的32bit同步转换位
LEMC	本地扩展多块时钟
BKW	块宽，一个块中的位数
E	一个扩展多块中的多块数量
EoMB	多块结束标识序列（00001），也称为导频信号
EoEMB	扩展多块结束标识符
SH_LOCK	声明同步报头已对齐的一种状态
EMB_LOCK	声明扩展多块已对齐的一种状态
命令通道	使用同步报头提供的额外带宽的数据流
FEC	前向纠错

7.2.4.4.2.1 块、多块、扩展多块

对于64b/66b链路层，66位数据块由两位的同步报头，后接八个八位字节的样本数据组成。请注意，来自传输层的有效载荷数据仅是转换器样本数据，由于没有编码来确保发生一定数量的数据转换以提供dc平

衡，因此必须对样本数据进行加扰操作。如图31所示，显示了64b/66b数据块的格式，其中，D[0:7]表示八个数据字节组，S[0:7]表示加扰后的字节组，SH表示2位的同步报头。

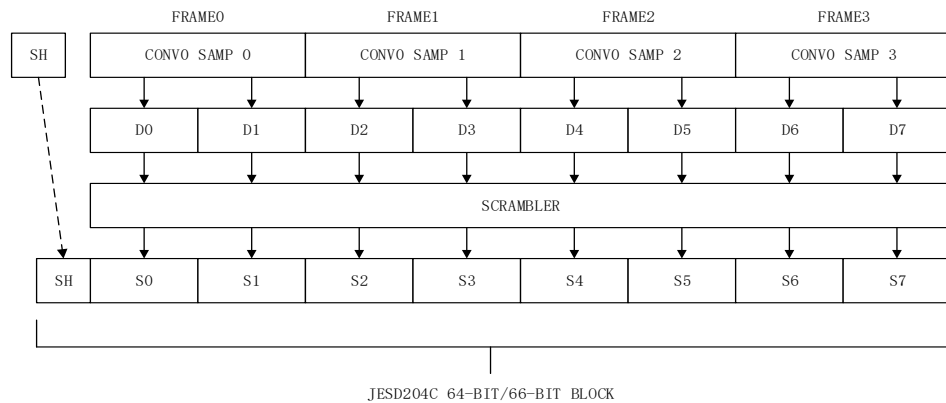


图 31 64-bit/66-bit 块格式示例，LMFS=1121，N=N' =16

JESD204C一个多块包含32个块，64b/66b编码方案中一个多块共2112（32x66）位。扩展多块是一个E数量的多块容器，扩展多块必须包含整数数量的帧，以确保EMB边界与帧边界一致。如图32所示，显示了多块和扩展多块的格式。

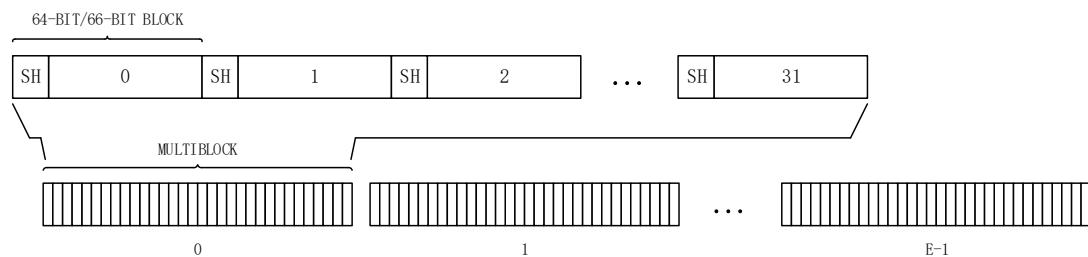


图 32 多块、扩展多块格式

7.2.4.4.2.2 同步字

32位同步字是由每个多块的32位同步转换位组成，其中位0首先传输。同步转换位从位于每个数据块开始位置的2位未加扰同步报头解析获取，如表15所示，显示了同步转换位与同步报头之间的解析关系。请注意，同步报头必须保证两数据位之间有变化，同步报头采用0-1序列用于表示逻辑1，同步报头采用1-0序列用于表示逻辑0。

表 15 同步报头与同步转换位

同步报头[0:1]	同步转换位
00	无效
01	1
10	0
11	无效

同步字用于提供通道同步并使能确定性延迟，提供可选CRC错误校验、前向纠错、或供发射器与接收器通信的命令通道。HWD08B64GA1-APBGA484支持12位循环冗余校验（CRC-12）同步字选项和前向纠错（FEC）同步字选项。

● CRC-12同步字

JESD204C发射器中的CRC-12编码器接收每个多块的2048（32x64）个加扰数据位，并计算12个奇偶校验位，这些奇偶校验位在下一个多块的同步报头流中传输到接收器。接收端从接收到的每个多块数据中计算12个奇偶校验位，并将其与接收到的下一个多块的同步字中的奇偶校验位进行比较，若奇偶校验位不匹配，则表明接收到的数据中或接收到的12位奇偶校验位中至少存在一个错误。有关CRC-12奇偶校验字生成的详细信息，请参见JESD204C标准。

如表16所示，显示了CRC-12同步字的字段描述。

表 16 CRC-12 同步字

同步字位	域名	功能
0	CRC11	12位CRC值的位[11:9]— 适用于之前的多块
1	CRC10	
2	CRC9	
3	1	始终为1
4	CRC8	12位CRC值的位[8:6]— 适用于之前的多块
5	CRC7	
6	CRC6	
7	1	始终为1
8	CRC5	12位CRC值的位[5:3]— 适用于之前的多块
9	CRC4	
10	CRC3	
11	1	始终为1
12	CRC2	12位CRC值的位[2:0]— 适用于之前的多块
13	CRC1	
14	CRC0	
15	1	始终为1
16	Cmd6	7位命令通道的位[6:4]
17	Cmd5	
18	Cmd4	
19	1	始终为1

同步字位	域名	功能
20	Cmd3	7位命令通道的位3
21	1	始终为1
22	EoEMB	扩展多块结束位
23	1	始终为1
24	Cmd2	7位命令通道的位[2:0]
25	Cmd1	
26	Cmd0	
27	0	标识多块结束的导频信号
28	0	
29	0	
30	0	
31	1	

● FEC同步字

JESD204C发射器中的FEC编码器接收每个多块的2048（32x64）个加扰数据位，并计算26个奇偶校验位，这些奇偶校验位在下一个多块的同步报头流中传输到接收器。接收端从接收到的每个多块数据中计算26个奇偶校验位，并计算本地生成的奇偶校验位与接收到的奇偶校验位之间的差异（称为校验子）。若校验子为0，则假定数据正确接收，若校验子为非0值，则用以确定最可能的错误并予以纠正。

请注意，使用FEC同步字选项时，导频信号有可能出现在同步报头流的其他位置，但在多个多块序列的同一位置看到导频信号是不可能的，因此在该模式下，可能需要多个多块才能找到一个多块的结束。EoEMB是扩展多块结束位，对于扩展多块的最后一个多块，它被设置为1。有关FEC奇偶校验字生成、FEC解码与纠错的详细信息，请参见JESD204C标准。

如表17所示，显示了FEC同步字的字段描述。

表 17 FEC 同步字

同步字位	域名	功能
0	FEC[25]	26位前向纠错字的位[25:4]——适用于之前的多块
1	FEC[24]	
2	FEC[23]	
3	FEC[22]	
4	FEC[21]	
5	FEC[20]	
6	FEC[19]	

同步字位	域名	功能
7	FEC[18]	
8	FEC[17]	
9	FEC[16]	
10	FEC[15]	
11	FEC[14]	
12	FEC[13]	
13	FEC[12]	
14	FEC[11]	
15	FEC[10]	
16	FEC[9]	
17	FEC[8]	
18	FEC[7]	
19	FEC[6]	
20	FEC[5]	
21	FEC[4]	
22	EoEMB	扩展多块结束位
23	FEC[3]	26位前向纠错字的位[3:0]— 适用于之前的多块
24	FEC[2]	
25	FEC[1]	
26	FEC[0]	
27	0	标识多块结束的导频信号
28	0	
29	0	
30	0	
31	1	

7.2.4.4.2.3 链路建立

HWD08B64GA1-APBGA484使用64b/66b链路层时的建链过程可分为以下四个步骤：同步报头对齐，扩展多块同步，扩展多块对齐，错误监测与再同步。请注意，链路建立过程在链路上电时自动启动，不再需要SYNCINB_x信号或同步请求。另外64b/66b链路层对样本数据的加扰操作是必须的。

● 同步报头对齐

同步报头指示块的开始，并用于块同步监控。同步报头中的同步转换位确保在每个块边界（66位）都

有一个数据转换。JESD204C接收器检测到一个数据转换后，在下一个66位查找另一个数据转换。如果检测到64个连续以66位为间隔进行的位转换，则实现同步报头锁定（SH_lock）。如果没有检测到64个连续转换，则重启该机制。

● 扩展多块同步

一旦实现同步报头对齐，接收器就会在转换位中查找扩展多块结束序列（100001）。同步字的结构确保此序列只能在适当的时间发生。一旦确定EoEMB序列，该机制将检查每个32位同步字，以确保存在多块结束导频信号（00001）。如果 $E=1$ ，EoEMB位会与导频信号一起出现。如果 $E>1$ ，那么每 $E \times 32$ 个转换位，导频信号将包含EoEMB位。一旦检测到四个连续的有效序列，就可以实现扩展多块结束锁定（EMB_LOCK）。继续监测每 $E \times 32$ 个转换位，如果没有检测到有效序列，则EMB_LOCK丢失且同步过程重置。

● 扩展多块对齐

使用64b/66b链路层时，扩展多块对齐实现通道对齐。类似于使用8b/10b链路层时的通道对齐，每个通道上的JESD204C接收器都使用一个弹性缓冲区来存储传入数据。在扩展多块对齐期间，每个通道的缓冲区开始在EoEMB边界（而不是在使用8b/10b链路层时ILAS期间的/K/至/R/边界）存储数据，所有通道在最后到达通道的EoEMB边界一同释放各自的缓冲数据。

图33显示了如何实现通道对齐。每个通道的接收缓冲区在接收到EoEMB同步字位字段的最后一位时开始缓冲数据（最后到达的通道除外）。接收到最后达到通道的EoEMB同步字位字段时，触发释放所有通道的接收缓冲区，以便所有通道对齐。

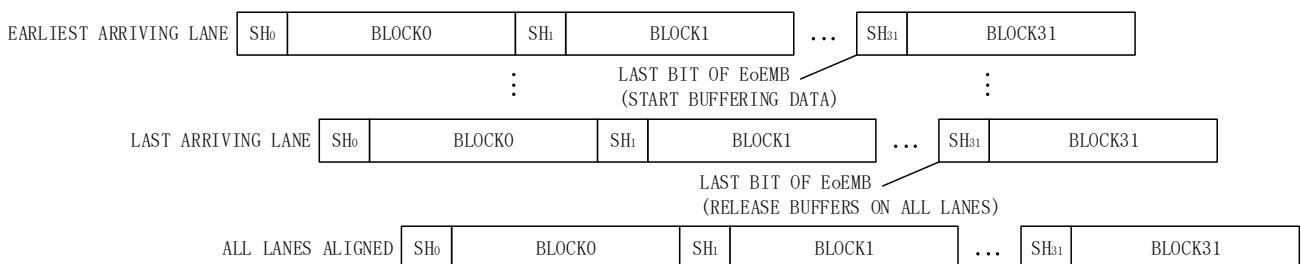


图 33 JESD204C 扩展多块对齐示意图

● 错误监测与再同步

JESD204C同步字选项让用户能够监测或纠正数据传输中可能发生的错误。HWD08B64GA1-APBGA484支持CRC-12同步字选项和FEC同步字选项，其中，CRC-12同步字仅可实现数据传输过程中的错误监控，而FEC同步字能够检测并纠正错误。有关CRC-12、FEC同步字实现功能的详细信息，请参见JESD204C标准。

请注意，如果接收端检测到传输数据错误过多，则同步丢失，此时接收方自动重新启动同步。

JESD204C会监视同步报头对齐和扩展多块同步的状态，用以告知系统主机。如果需要重新同步，系统主机将power down链路两侧。如果需要重新配置或更改时钟，请在链路下电时执行。在链路上电时会自动进行重新同步。

7.2.4.5 物理层输出

JESD204C引入了两个分类来定义物理接口的特性，表18显示了与每类相关的通道速率，表19显示了C类中的通道类型及相关的加重和均衡特性。HWD08B64GA1-APBGA484实现了C-M类接口。建议采用8b/10b编码方案的最低数据速率限制为1.5Gbps，采用64b/66b编码方案的最高数据速率限制为25.6Gbps。

表 18 数据接口类对应的通道数据速率

数据接口类	最小数据速率 (Gbps)	最大数据速率 (Gbps)
B-3	0.3125	3.125
B-6	0.3125	6.375
B-12	6.375	12.5
C	6.375	32

表 19 JESD204C 接口器件类特性

类	相对功耗	发射器FFE (最小值 dB)	接收器CTLE (最小值 dB)	接收器DFE抽头 (最小值)
C-S	低	9.5	6	0
C-M	中	9.5	9	3
C-R	高	9.5	12	14

如图34所示，JESD204B/C的物理层由串行器、FFE和输出驱动三部分组成。物理层实现并行数据到高速差分串行数据的转换。

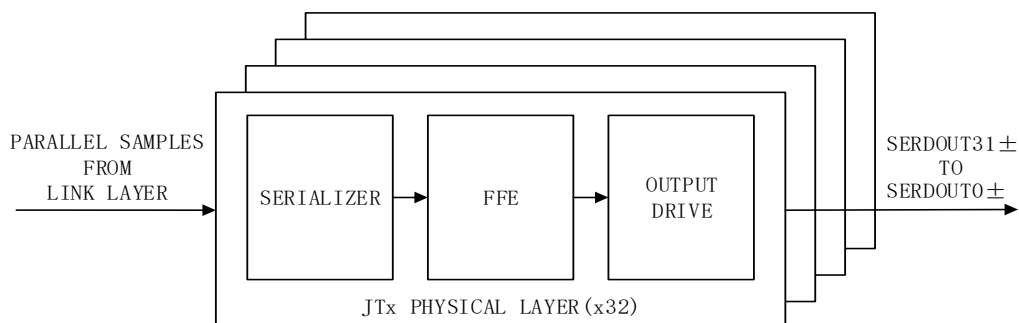


图 34 JESD204B/C 物理层框图

7.2.5 多片同步 (MCS)

多片同步方案如图 35 所示。

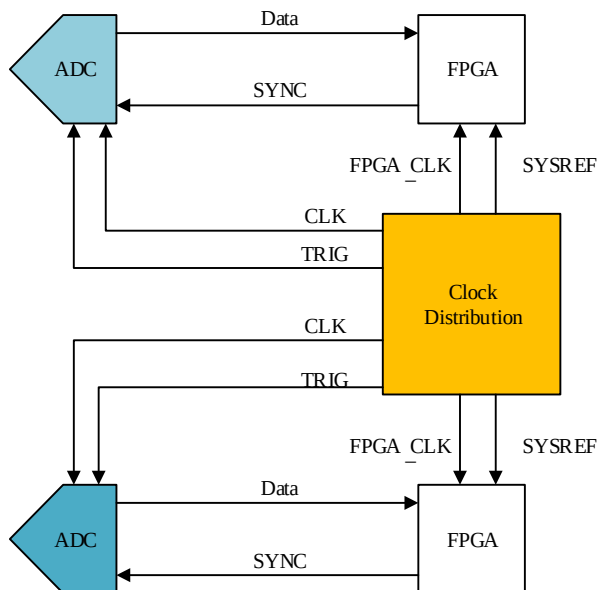


图 35 多片同步方案

上图中各个信号的功能如下：

- CLK：ADC 采样高速时钟，10-16GHz，CML 电平。
- TRIG：外部同步信号， $\leq 100\text{ps}$ 上升沿，lvpecl 接口或者 lvds 接口，rms jitter $\leq 2\text{ps}$ 。TRIG 每产生一次上升沿，各个芯片同步一次；TRIG 保持 0 和 1，或者产生下降沿，ADC 状态均不会发生改变；TRIG 产生多次上升沿，各个 ADC 会同步多次，最终结果以最后一次同步为准。
- SYSREF：同步 FPGA 工作状态。
- SYNC：该信号由 FPGA 发出，用于 ADC 内部 204B 协议层的同步，连接 ADC SYNCINB 引脚。

同步方案具体描述如下：

1. TRIG 和 SYSREF 有确定时延关系，以保证确定性时延。
2. CLK 和 TRIG 板级上均走等长线，确保到各个 ADC 芯片的时钟和同步信号尽量同步。在靠近芯片位置，预留 CLK 和 TRIG 信号的测试点。TRIG 为脉冲信号，TRIG 和 CLK 每次上电均要求为确定相位关系，可通过片外延时微调节 TRIG 和 CLK 相对延时关系，也可通过片内延时电路调节 TRIG 和 CLK 相对延时关系，保证 ADC 内部 CLK 能够正确采样 TRIG。
3. 片内延时电路可调整芯片内部 CLK 和 TRIG 的时间延迟。CLK 的调整步进为一个 ADC 采样率周期，调整范围为 4 个 ADC 采样率周期。TRIG 的调整步进为 10ps，调整范围为 -80ps 至 +70ps。
4. 反复上下电，计算两路 ADC 的延迟差。如果延迟差固定，说明两片同步成功，如果延迟差不固定，则需要继续调整 CLK 和 TRIG 至一合理区间，确保每次上下电，各个芯片之间只需要 1 次 TRIG 触发就能完成同步。
5. 根据信号输入链路测试结果，数字域调节整数采样点延时，对齐采样时刻。

7.2.6 内部校正流程和使用方法

HWD08B64GA1-APBGA484由128个采样率为FS/128的SubADC交织而成，SubADC通道间存在偏差，需先后进行Offset校正、Gain Mismatch校正、采样时钟相位误差校正。

7.2.6.1 Offset 校正

发送单音或者宽带信号进行 Offset 校正量计算。如发送单音，则单音频率建议选择工作频段的中间频率。采集 ADC 的输出数据，对每个 SubADC 的数据分别求均值可得到对应的 $Offset_{SubADC(i)}$ 。 $Offset_{SubADC(i)}$ 为 7bit 的有符号数。通过 SPI 配置 $Offset_{SubADC(i)}$ 或者写入 EFUSE 进行固化，在片上进行 Offset 的校正。

7.2.6.2 Gain Mismatch 校正

完成 Offset 校正后，进行 Gain Mismatch 校正。发送单音或者宽带信号进行 Gain Mismatch 校正量计算。如发送单音，则单音频率建议选择工作频段的中间频率。采集 ADC 的输出数据，计算每个 SubADC 的数据的均方根值 $RMS_{SubADC(i)}$ 。每个 SubADC 对应的 Gain Mismatch 的校正量可由下式计算得到。

$$Gain_{SubADC(i)} = \frac{\max(RMS_{SubADC(1)}, RMS_{SubADC(2)}, \dots, RMS_{SubADC(128)})}{RMS_{SubADC(i)}} - 1$$

$Gain_{SubADC(i)}$ 为 6bit 的无符号数。通过 SPI 配置 $Gain_{SubADC(i)}$ 或者写入 EFUSE 进行固化，在片上进行 Gain Mismatch 的校正。

7.2.6.3 采样时钟相位误差校正

为保证高频性能，发送信号 fin 为在工作最高频率的 3/4，用于校正第一级四个采样率为 FS/4 的由 32 个 SubADC 交织成的 ADC 之间的采样时钟相位误差。

分别计算出四个 ADC 实际采样到的信号 fin 的相位 $Phase_i$ ，得到他们相对于第一个 ADC 的相位差 $\Delta Phase_{cal_i} = Phase_i - Phase_1$ 分别为 0， $\Delta Phase_{cal_2}$ ， $\Delta Phase_{cal_3}$ ， $\Delta Phase_{cal_4}$ 。

分别计算出四个 ADC 理想采样到的信号 fin 的相位 $Phase_{standard_i}$ ，得到他们相对于第一个 ADC 的相位差 $\Delta Phase_{standard_i} = Phase_{standard_i} - Phase_{standard_1}$ 分别为 0， $\Delta Phase_{standard_2}$ ， $\Delta Phase_{standard_3}$ ， $\Delta Phase_{standard_4}$ 。

分别调节采样率为 FS/4 的四相时钟对应的寄存器，使得采样时钟相位误差 $Phase_error_i = \Delta Phase_{standard_i} - \Delta Phase_{cal_i}$ 接近于 0。由于四相时钟调节存在一定相互影响，因此首先调节 $Phase_error_i$ 最大的通道，使其调节后的误差不是最大后就调节下一个通道，而不是将其误差调节完成后再调节下一个通道。

7.2.7 串行端口接口（SPI）

SPI 接口模块主要实现 ADC 内部寄存器配置、通过指令实现时钟切换、芯片内部状态读取等功能。SPI 可以让用户根据实际应用场景灵活配置寄存器来设置 HWD08B64GA1-APBGA484。

7.2.7.1 功能概述

HWD08B64GA1-APBGA484 中 SPI 由 4 个引脚组成：SCLK 引脚，MISO 引脚，MOSI 引脚，CEB 引脚，具体含义见下表 20，其中 SCLK（串行时钟）用于同步从 ADC 读出来的数据和写入 ADC 的数据；MOSI 为串行数据输入，用于将数据发送至内部 ADC 存储器映射寄存器；MISO 为串行数据输出，从 ADC 寄存器读出数据；CEB（片选信号）是低电平有效控制引脚，它能够使能或者禁用读写周期。

表 20 串行接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
MISO	串行数据输出。
MOSI	串行数据输入。
CEB	片选信号。低电平有效控制信号，用来选通读写周期。

7.2.7.2 时序规格

HWD08B64GA1-APBGA484 中 SPI 读写时序如图 36 和图 37 所示。

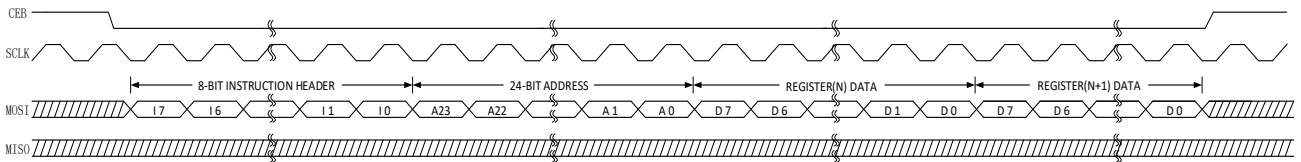


图 36 SPI 寄存器写时序

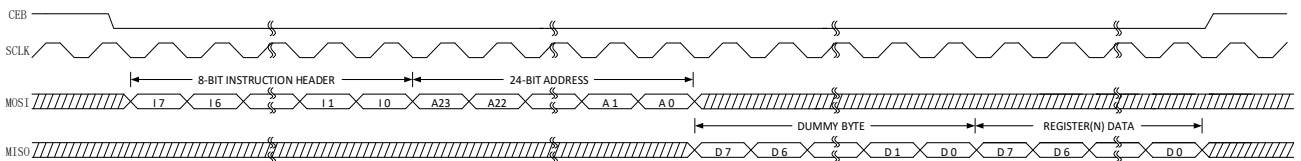


图 37 SPI 寄存器读时序

当 CEB 信号在指令传输阶段无效时，该指令及指令后跟随的数据都将被忽略；当 CEB 信号在第 N-1 个数据传输过程中无效时，第 N-1 个数据将被忽略，如图 38 和图 39 所示。

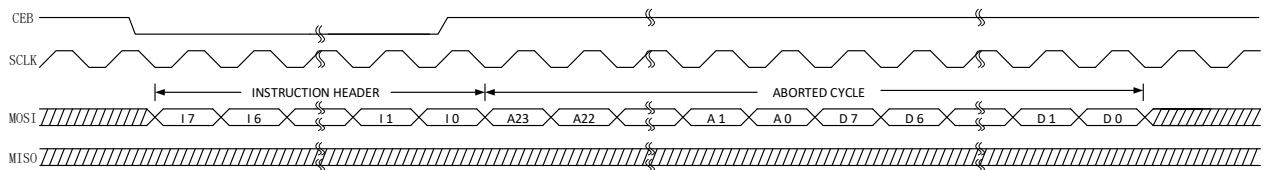


图 38 CEB 信号在指令阶段无效情况

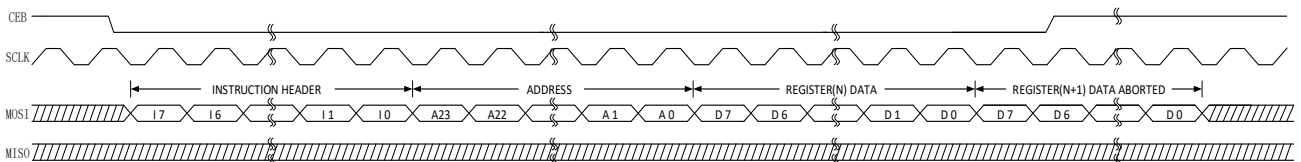


图 39 CEB 信号在数据阶段无效情况

注意：上图 38 和图 39 中的 instruction header 对应的具体信息参见接口指令章节中表格第一列 instruction header 内容。

7.2.7.3 接口指令

HWD08B64GA1-APBGA484 中 SPI 接口指令列表如下表 21 所示：

表 21 接口指令列表

Instruction Header	Description	Op Code	Address Cycle(s)	Dummy Cycle(s)	Data Cycle(s)
Read-Register	读寄存器指令。	0x90	3	1	1 to ∞
Write-Register	写寄存器指令。	0xAD	3	0	1 to ∞
WREN	写寄存器全局使能，芯片上电后，必须输出此 OP_CODE 才可对寄存器进行写操作。	0x06	0	0	0
WRDI	写寄存器全局使能关闭，需再次输入 WREN 才可打开写寄存器全局使能。	0x04	0	0	0

7.2.7.3.1 Read-Register 指令

当 SPI_CTRL 接收到 Read_register 指令后，继续接收 3 个 byte 的 ADC 寄存器初始地址，接收完三个初始地址后，SPI 接口需要等待一个 dummy byte 之后，SPI 接口将发出 ADC 寄存器数据。读 ADC 寄存器地址将继续累加，并读取 ADC 寄存器值。当 ADC 寄存器地址累加到最大值后，将回到 0 地址循环读取，直到 SPI 接口 CEB 信号回到高电平则结束当前读 ADC 寄存器操作。

读寄存器采用该指令，默认为多字节自动地址+1 读模式；单字节读出时，发送单字节对应地址，接收输出数据后，将 CEB 拉高结束读操作。

7.2.7.3.2 Write-Register 指令

当 SPI_CTRL 接收到 Write-Register 指令后，继续接收 3 个 byte 的写 ADC 寄存器初始地址，接收完三个初始地址后，SPI_CTRL 继续接收数据，并将数据存入响应地址的影子寄存器中，写 ADC 寄存器地址将继续累加，并将接收到的数据存入相应的寄存器的影子寄存器中。当 ADC 寄存器地址累加到最大值后，将回到 0 地址继续写入。直到 SPI 接口 CEB 信号回到高电平则结束当前写入 ADC 寄存器操作。并将本次写入的寄存器同时更新到 ADC 寄存器中。

写寄存器采用该指令，默认为多字节自动地址+1 写入模式；单字节写入时，发送单字节对应地址和数据后，将 CEB 拉高结束写操作。

注意：进行多字节地址连续写入操作时，需要确保对于寄存器表单中未定义的地址不要进行任何写操作。

7.2.7.3.3 WREN 指令

当 SPI_CTRL 接收到 WREN 指令后，SPI_CTRL 进入写使能操作，内部写使能有效信号将被置高，当此指

令有效后，所有写相关的指令将可以生效。在系统复位之后或上电复位之后，发送 Write-Register 等指令之前，需要先发送 WREN 使能写操作，否则写操作指令将失效。

7.2.7.3.4 WRDI 指令

当 SPI_CTRL 接收到 WRDI 指令后，SPI_CTRL 进入无效写使能操作，内部写使能信号将被置地，当此指令有效后，所有写相关指令将不会生效，达到写保护功能。如果需要发送 Write-Register 等指令，在发送指令之前需要先发送 WREN 使能写操作，否则写操作指令将被无效。

7.2.8 存储器映射

HWD08B64GA1-APBGA484 的存储器映射寄存器表单参见下表 22，本章内容将具体介绍寄存器表单信息。

● 读取存储器映射寄存器

存储器映射寄存器的每一行有 8 位，存储器映射大致分为三部分：ADC 模拟寄存器，ADC 算法寄存器，JESD204B/C 寄存器。

存储器映射寄存器表列出了每个十六进制地址及十六进制默认值。MSB 为给定十六进制默认值的起始位。

注意：表 22 中地址栏末尾 X 表示 4 个 204C IP 的调用，每个 IP 的寄存器完全相同，每个 IP 控制 8 条 lane 的配置。X 取值 0x0、0x1、0x2、0x3 分别表示读/写 IP0、IP1、IP2、IP3 寄存器，X 取值 0xF 表示以相同值同时写 4 个 IP 寄存器。

● 禁用位置和保留位置

本器件目前并不支持全部地址的读写操作，有效地址中未使用的位应保持默认值不变。当一个地址仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址均禁用，则不应对该地址进行写操作。

● 默认值

HWD08B64GA1-APBGA484 复位后，关键寄存器将载入默认值，存储器映射寄存器表列出了各寄存器的默认值。如果是软复位操作，关键寄存器的值保持当前状态不变。

表 22 HWD08B64GA1-APBGA484 寄存器映射表

寄存器名字	地址	默认值	属性	描述
RG_P_SUBADC	0x000005	0x74	R/W	Bit[7]: PRBS 电路使能，默认配置为 0。 =1' b0: 选择 ADC 输出；=1' b1: 选择 PRBS 输出。
test mode	0x02010X	0x00	R/W	Bit[3:0]: 测试模式产生选择，默认配置为 0。 =4' b0000: 测试模式关闭(正常操作)。=4' b0001: Midscale short。 =4' b0010: Positive full scale。=4' b0011: Negative full scale。 =4' b0100: Alternating checker board。=4' b0101: PN 序列(long)。 =4' b0110: PN 序列(short)。=4' b0111: 1/0 字切换。

寄存器名字	地址	默认值	属性	描述
				=4' b1000: 用户测试模式。=4' b1111: 斜坡输出。
test mode	0x02011X	0x00	R/W	Bit[3:0]: 默认配置为 0。 =4' b0000: 正常操作(测试模式关闭)。=4' b0001: Alternating checkerboard。 =4' b0010: 1/0 字切换。=4' b0011: 31bit 伪随机数(PN)序列-x³¹+x²⁸+1。 =4' b0100: 23bit PN 序列-x²³+x¹⁸+1。=4' b0101: 15bit PN 序列-x¹⁵+x¹⁴+1。 =4' b0110: 9bit PN 序列-x⁹+x⁵+1。=4' b0111: 7bit PN 序列-x⁷+x⁶+1。 =4' b1000: 斜坡输出。=4' b1110: 连续/重复用户测试。=4' b1111: 单次用户测试。
tx_div_cfg	0x0242CX	0x00	R/W	Bit[7:5]: tx post divider ratios, 由系统参数决定。 =3' b000: /1; =3' b001: /2; =3' b010: /4; =3' b011: /8; =3' b100: /16。 Bit [4:0]: 保留位。
pll_div_cfg	0x0242DX	0x04	R/W	Bit[7:5]: pll feedback divider ratios, 由系统参数决定。 =3' b000: /40 (默认); =3' b001: /80; =3' b110: /66; =0others: 未使用。 Bit[4:3]: pll pre divider ratios, 由系统参数决定。 =2' b00: /1 (默认); =2' b01: /2; =2' b10: /4; =2' b11: /8。 Bit[2]: pll post divider ratios, 由系统参数决定。 =1' b0: /1; =1' b1: /2 (默认)。 Bit[1:0]: 保留位。
top_cfg	0x0242EX	0x01	R/W	Bit[7]: 204C IP 掉电控制位。 =1' b0: 正常工作; =1' b1: 掉电。 Bit[6:1]: 保留位。 Bit[0]: 204C IP PMA PLL 时钟源控制位。 =1' b0: 来自 ADC 的参考时钟; =1' b1: pad 时钟。
tx_post_tap_cfg0	0x02434X	0x00	R/W	Bit[7:4]: tx post tap level control for lane1。 =4' b0000: 0 dB; =4' b0001: 0.5 dB; =4' b0010: 1.1 dB; =4' b0011: 1.8 dB; =4' b0100: 2.5 dB; =4' b0101: 3.4 dB; =4' b0110: 4.4 dB; =4' b0111: 5.5 dB; =4' b1000: 7.2 dB; =4' b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane0。 =4' b0000: 0 dB; =4' b0001: 0.5 dB; =4' b0010: 1.1 dB; =4' b0011: 1.8 dB; =4' b0100: 2.5 dB; =4' b0101: 3.4 dB; =4' b0110: 4.4 dB; =4' b0111: 5.5 dB; =4' b1000: 7.2 dB; =4' b1001: 8.9 dB; =others: 保留值。
tx_post_tap_cfg1	0x02435X	0x00	R/W	Bit[7:4]: tx post tap level control for lane3。 =4' b0000: 0 dB; =4' b0001: 0.5 dB; =4' b0010: 1.1 dB; =4' b0011: 1.8 dB; =4' b0100: 2.5 dB; =4' b0101: 3.4 dB; =4' b0110: 4.4 dB; =4' b0111: 5.5 dB; =4' b1000: 7.2 dB; =4' b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane2。 =4' b0000: 0 dB; =4' b0001: 0.5 dB; =4' b0010: 1.1 dB; =4' b0011: 1.8 dB; =4' b0100: 2.5 dB; =4' b0101: 3.4 dB; =4' b0110: 4.4 dB; =4' b0111: 5.5 dB; =4' b1000: 7.2 dB; =4' b1001: 8.9 dB; =others: 保留值。
tx_post_tap_cfg2	0x02436X	0x00	R/W	Bit[7:4]: tx post tap level control for lane5。 =4' b0000: 0 dB; =4' b0001: 0.5 dB; =4' b0010: 1.1 dB; =4' b0011: 1.8 dB; =4' b0100: 2.5 dB; =4' b0101: 3.4 dB; =4' b0110: 4.4 dB; =4' b0111: 5.5 dB; =4' b1000: 7.2 dB; =4' b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane4。

寄存器名字	地址	默认值	属性	描述
				=4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。
tx_post_tap_cfg3	0x02437X	0x00	R/W	Bit[7:4]: tx post tap level control for lane7。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane6。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。
tx_pre_tap_cfg0	0x02438X	0x00	R/W	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane1。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane0。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。
tx_pre_tap_cfg1	0x02439X	0x00	R/W	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane3。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane2。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。
tx_pre_tap_cfg2	0x0243AX	0x00	R/W	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane5。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane4。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。
tx_pre_tap_cfg3	0x0243BX	0x00	R/W	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane7。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane6。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。

寄存器名字	地址	默认值	属性	描述
SUBCLASS	0x0281CX	0x01	R/W	Bit[7:3]: 保留位。 Bit[2:0]: 操作子类模式 (0 或 1)。
E	0x02AD4X	0x03	R/W	Bit[7:0]: 每个扩展多块中多块的数量。如果不支持扩展多块, E=1。合法值是 1-127, 编码为二进制值减 1。

● HWD08B64GA1-APBGA484 参考时钟配置

ADC 参考时钟可通过寄存器 0x0242EX 的写入数据最低位进行配置, 选择是采样时钟 CLK 进行直接分频还是直接外供 REFCLK。Bit[0] = 1'b0: 来自 ADC 采样时钟分频所得的参考时钟; Bit[0]=1'b1: 则为外灌时钟。其中 X 表示配置 PHY 的数量, 一般将 X 设置为 F。该寄存器属于 PMA Regsiter 需要对寄存器地址[11:4]位数据乘 4 再进行配置, 因此实际配置地址值为 0x024Bb8f, 如图 40 所示:

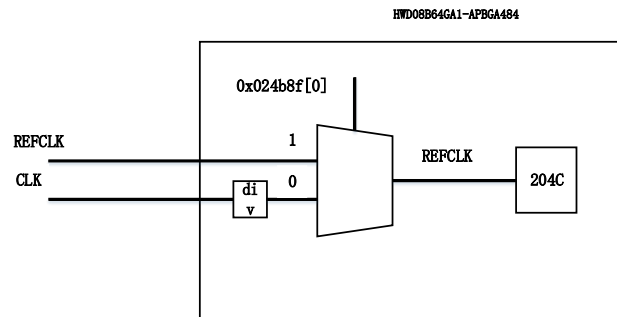


图 40 参考时钟配置

8 应用建议

8.1 启动流程

- 1) HWD08B64GA1-APBGA484 上电没有强制上电顺序要求，上电前供采样时钟或上电同时提供采样时钟。
- 2) 上电后，将 RSTB 拉低进行复位，然后再拉高。
- 3) 配置寄存器列表，主要包含 ADC 基础参数与 JESD204C 相关参数。
- 4) 读取寄存器 0x4F0F，检查内部 PLL 锁定状态，bit[0]=1 表示锁定，ADC 工作正常。bit[0]=0 表示未锁定，重复步骤 2~4，直到 ADC 工作正常。

8.2 应用电路

应用电路设计应符合 HWD08B64GA1-APBGA484 数据手册中额定参数要求，推荐参考 HWD08B64GA1-APBGA484 官方 DEMO 板设计或联系我们的销售人员。在实际应用前，应对包含 ADC 的系统进行充分的测试，保证各项指标均在设计范围内，确保 ADC 按照设计参数进行工作。

8.2.1 电源供应

HWD08B64GA1-APBGA484 电源部分典型应用电路如图 41 所示。对于多片 HWD08B64GA1-APBGA484，推荐复制前级电源模块保证单个 HWD08B64GA1-APBGA484 电流供应和电源噪声。HWD08B64GA1-APBGA484 不同电源轨的上电顺序没有严格的约束，只需要保证 ADC 进行配置之前，各电源轨满足所需要的额定电压和电流值。

与大多数 ADC 类似，我们也建议在 PCB 设计和布板上，使用低 ESR 的电容器作为 ADC 的滤波/去耦电容，并将它们放置在尽量靠近芯片的电源管脚处，以实现电源完整性设计。所有的 GND 管脚尽可能短地接入完整的地平面。

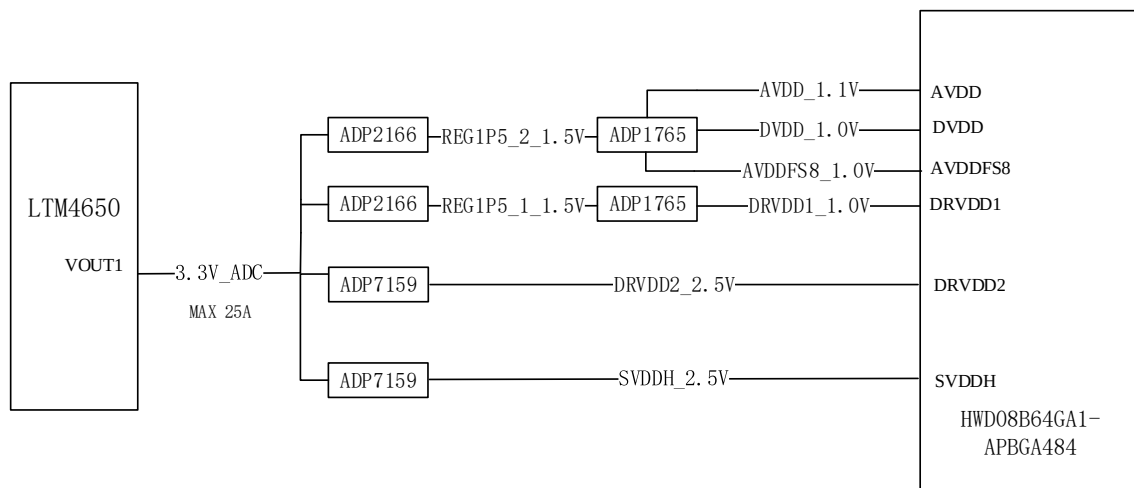


图 41 典型电源供应示意图

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物；
- f) 若可行，相对湿度保持在 50%以上。

10 订货信息

表 23 产品订货信息

序号	产品型号	封装形式	封装材料	器件等级	引脚材料	重量	详细规范
1	HWD08B64GA1-APBGA484	PBGA484	塑料	—	—	—	—

注1：产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。