

HWD2V6000 系列
可现场可编程门阵列
产品手册
V2.0.0

成都华微电子科技股份有限公司

2025 年 12 月 20 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本	王世颖	20141220	
V1.0.1	增加了表 43 中无铅军温型号；增加了章节 8 中第 5 点有关无铅焊接温度曲线内容	王世颖	20181110	
V1.0.2	修改了图 57，外形尺寸图	王世颖	20190121	
V1.0.3	修改了图 52，外形尺寸图	王世颖	20190821	
V1.0.4	修改了图 54，外形尺寸图； 修正了订货信息中 HWD2V1000-4FG456G 和 HWD2V6000-4EF1152G 详细规范号的错误	舒美	20200826	
V1.0.5	增加“应用说明”章节，补充选择 DONE_PIPE 属性的应用建议	夏明刚	20210621	
V1.0.6	删除陶封产品信息； 增加 HWD2V6000FG676 相关信息； 针对 HWD2V6000 修改推荐工作条件	涂屹昆	20220527	
V1.0.7	增加 8.2 应用原理图 删除表 43 冗余信息，增加焊球材料信息	夏明刚 涂屹昆	20220626	
V1.1.1	8.2 节的原理图中 DONE 管脚的上拉电阻 4.7k 应改为 330Ω	马淑彬	20230807	
V1.2.0	第 6 章中封装形式 FG 修正为 FBGA	涂屹昆	20250901	
V2.0.0	1、更新手册模板 2、HWD2V6000 单独发行系列手册 3、增加焊盘推荐、焊接推荐	李显军	20251220	

目 次

1 概述	1
2 产品特点	1
3 功能框图	4
4 封装信息	5
4.1 FBGA676 封装信息	5
4.2 FBGA1152 封装信息	14
4.3 焊盘推荐	26
4.4 焊接推荐	29
5 绝对最大额定值及推荐工作范围	31
5.1 绝对最大额定值	31
5.2 推荐工作范围	31
6 电特性参数	32
7 功能描述	38
7.1 FPGA 阵列结构	39
7.2 功能模块	40
7.2.1 IOB	40
7.2.2 CLB	41
7.2.3 BRAM	42
7.2.4 全局时钟	42
7.2.5 布线资源	42
7.2.6 配置	43
7.2.7 回读和集成逻辑分析器	43
7.3 功能详细描述	43
7.3.1 输入输出模块（IOBs）	43
7.3.2 可配置逻辑模块 CLB	52
7.3.3 18kbit Block RAM 资源(BRAM)	62
7.3.4 全局时钟多路缓冲	67
7.3.5 数字时钟管理器 DCM	68
7.3.6 布线资源	72

7.3.7 配置	74
8 应用建议	84
8.1 DONE_PIPE 属性	84
8.2 应用原理图	85
8.3 与国外产品使用差异	86
8.3.1 时序	86
8.3.2 软件	87
9 使用注意事项	91
10 订货信息	92

1 概述

HWD2V6000型现场可编程门阵列是成都华微电子科技有限公司2012年推出的FPGA，有系统门600万门。HWD2V6000型FPGA与Xilinx公司XC2V6000型FPGA兼容，可Pin-to-Pin替代，产品广泛应用于有线/无线通信、网络、视频和信号处理领域。

HWD2V6000提供高性能和高容量可编程逻辑解决方案。采用能够提高布局布线效率的新结构，能够卓有成效的增加硅片的使用效率。相对于可编程掩模门阵列具有更加强大和灵活的可选性。

HWD2V6000汲取以往各代FPGA的经验成果，在可编程逻辑设计中取得了革命性的进步，将多样性的可编程系统特色，丰富而快速的层次，灵活的互连资源，和先进的工艺技术集于一体，使得HWD2V6000为高速、高容量可编程逻辑提供解决方案，这一方案增强了设计的灵活性，缩短了产品研发周期。

表 1 产品基本信息

器件	系统门级	CLB(1CLB=4slices=Max128bits)			乘法器块	Block RAM		DC Ms	最大可用 I/O
		阵列行×列	Slices	最大分布式RAM (Kb)		18Kbit Block 数	Max RAM (Kb)		
HWD2V6000	6M	96×88	33762	1056	144	144	2592	12	824

2 产品特点

- 1) 软件
 - 完全兼容 Xilinx ISE 开发环境
 - 可选自主软件开发环境
- 2) 内嵌专用模块
 - 集成门数 600 万门
 - 高达 360MHz 内部时钟速度
 - 622Mbps IO 读取速度
- 3) SelectRAM 结构
 - 若干 18Kbit RAM 资源
 - 若干分布式 SelectRAM 资源
- 4) 高性能外部存储器接口
 - DRAM 接口：
 - ✓ SDR/DDR SDRAM
 - ✓ Network FCRAM
 - ✓ Reduced Latency DRAM

- SRAM 接口
- ✓ SDR/DDR SRAM
- ✓ QDR SRAM
- CAM 接口
- 5) 算术运算单元
 - 专用 18*18 乘法器
 - 快速超前进位逻辑链
- 6) 灵活的逻辑资源
 - 带时钟使能的内部寄存器
 - LUT（16BIT 级联移位寄存器）
 - 宽位多路选择器
 - 水平级联结构支持乘加运算
 - 内部三态总线
- 7) 高性能时钟管理电路
 - 12 个时钟管理模块
 - 精确的时钟去偏斜
 - 灵活的频率综合
 - 高分辨相移
 - 16 个全局时钟选择 buffers
- 8) 有效的内部连接技术
 - 第四代分布式布线结构
 - 精确的，快速布线延迟，独立的扇出
- 9) SelectIO-Ultra 技术
 - 用户 IO
 - 19 种单端和六种差分标准
 - 每个 IO 都具有可编程电流（2mA 到 24mA）
 - 数字控制延时（DCI）I/O: 专用于单端 IO 标准的片上终端电阻
 - 兼容 3.3VPCI-X 标准（133MHZ 到 66MHz）
 - 兼容 3.3VPCI 标准（66MHZ 到 33MHz）
 - 差分信号
 - ✓ 622Mb/S 带电流模驱动的低压差分信号 I/O（LVDS）
 - ✓ LVDS 总线 IO
 - ✓ LDT IO
 - ✓ LVPECL IO

- ✓ 内建 DDR 输入和输出寄存器
- 10) 高性能 SelectLINK 技术
 - 宽带数据通路
 - DDR link
 - 基于网络的 HDL 生成方法学
- 11) 基于 SRAM 在线系统配置
 - 快速 SelectMap 配置
 - 三重数据加密标准选择（比特流加密）
 - 支持 IEEE1532 标准
 - 支持部分重构
 - 无限可重构特性
 - 支持回读功能
- 12) 支持 JTAG 标准
- 13) 工作温度范围：-55℃~+125℃

3 功能框图

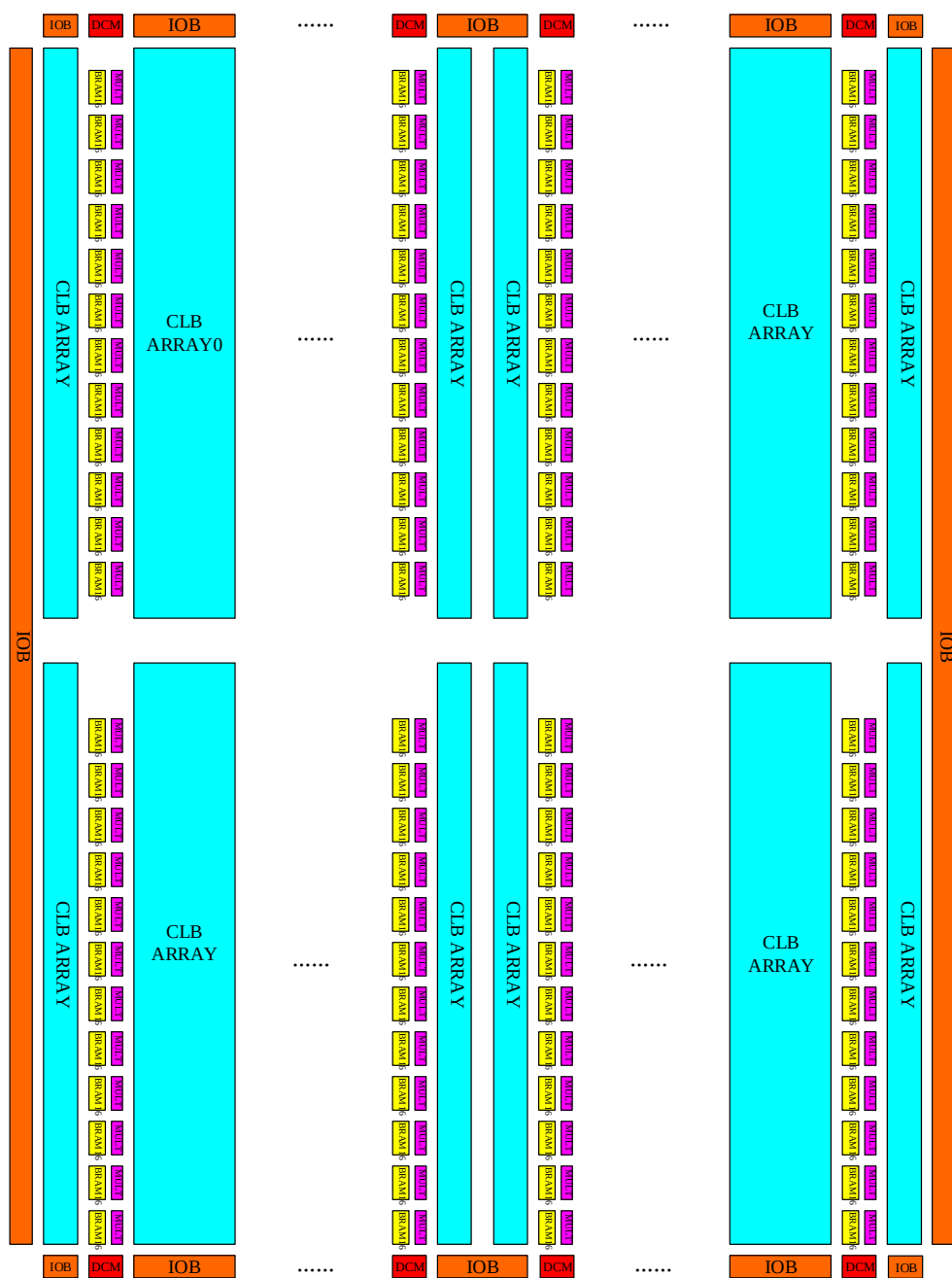


图 1 功能框图

HWD2V6000 典型应用场景如下图所示。

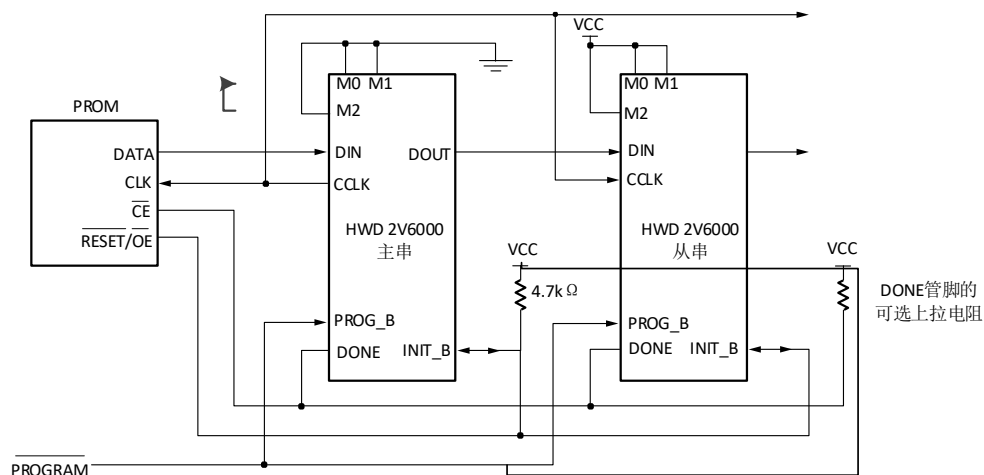
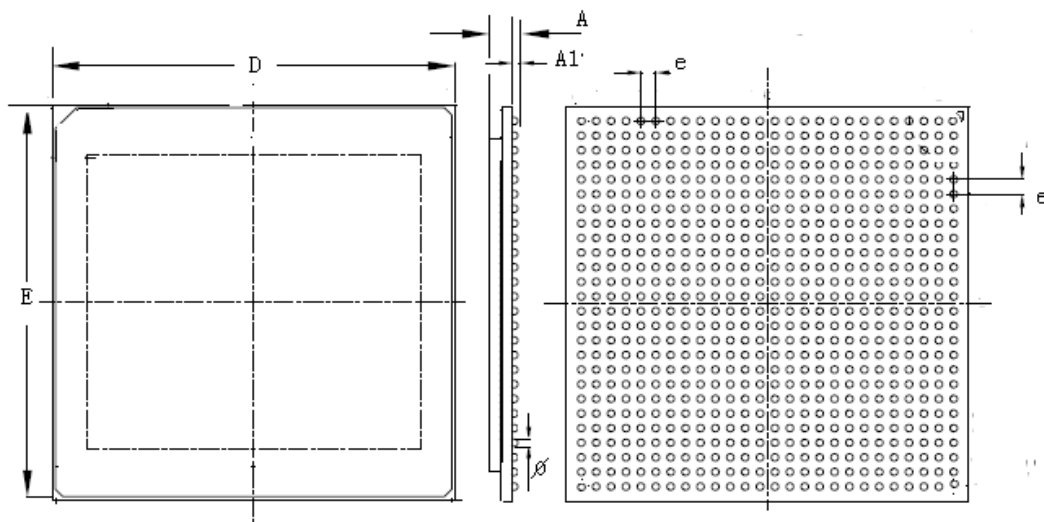


图 2 主、从串配置连接示意图

4 封装信息

4.1 FBGA676 封装信息

器件塑封FBGA676封装形式，外形及引脚排列图如下图所示。



尺寸符号	数 值		
	最 小	公 称	最 大
A	—	—	3.27
A1	0.34	—	0.45
D	26.90	27.00	27.10
E	26.90	27.00	27.10
Φ	0.45	—	0.57
e	—	1.00	—

图 3 FBGA676 外形尺寸（单位为毫米）

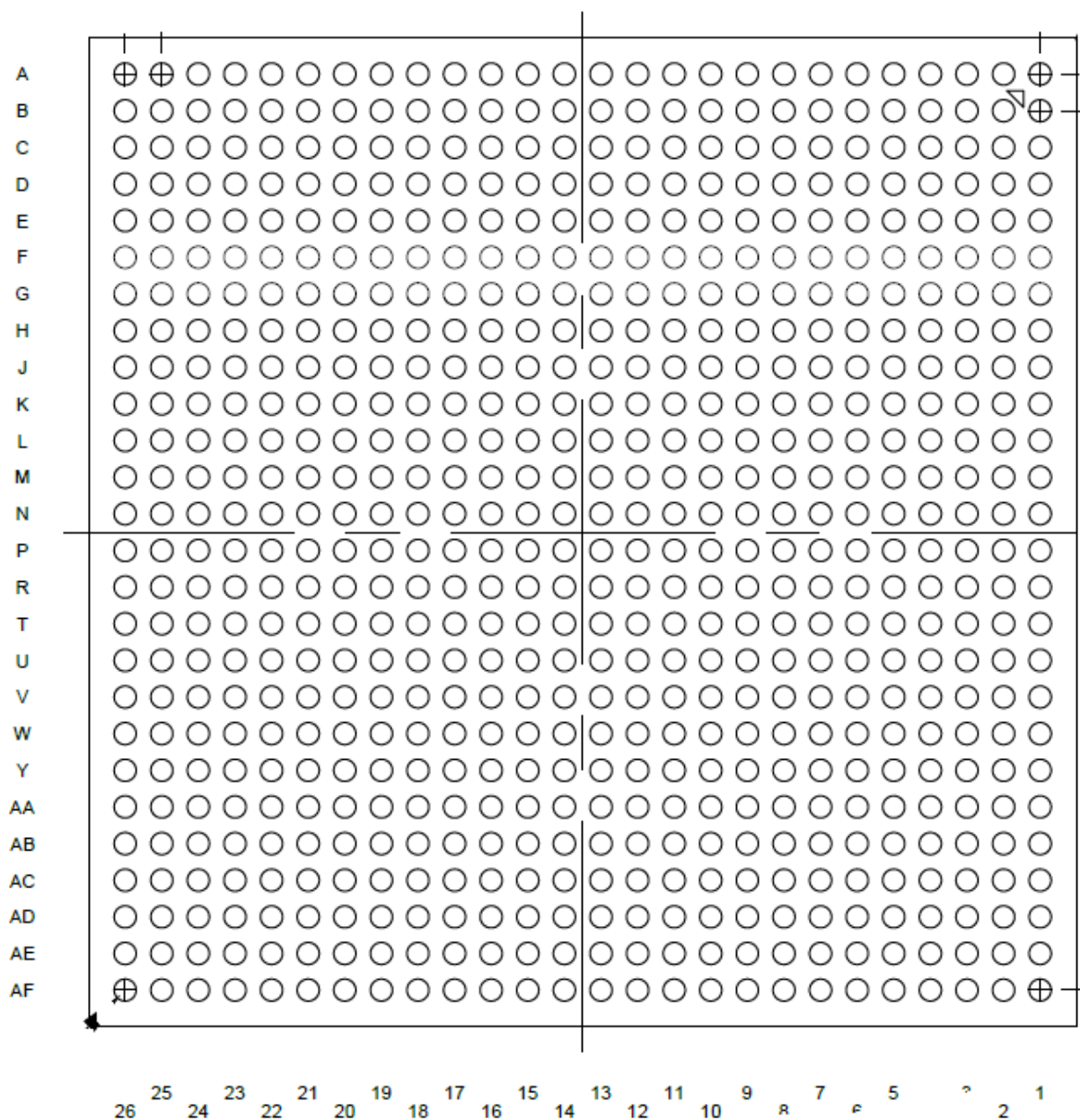


图 4 引脚排列图

FBGA676引脚描述描述如下表所示。

表 2 FBGA676 引脚描述

引脚名称	方向	功 能
用户 I/O 引脚		
IO_LXXY_#	输入/输出 /双向	所有的用户 I/O 引脚都能用作差分信号,并能用作 LVDS、ULVDS、BLVDS、LVPECL 或 LDT 这几种差分对。每个用户 I/O 引脚都以“IO_LXXY_#”格式命名。其中: . IO 表示这是一个用户引脚; . LXXY 表示组 (Bank) 上唯一的编号为 XX 的差分对, Y 取 P 或者 N, 分别表示这差分对的正负极; . #表示引脚所在的组号 (取 0 到 7)。
双功能引脚		

引脚名称	方向	功 能
IO_LXXY_#/ZZZ		双功能引脚以“IO_LXXY_#/ZZZ”格式命名，其中 ZZZ 可以是以下几种引脚之一： · 每组——VRP、VRN 或者 VREF； · 全局——GCLKX(S/P)、BUSY/DOUT、INIT_B、DIN/D0~D7、RDWR_B 或者 CS_B。
带/ZZZ 引脚		
DIN/D0, D1, D2, D3, D4, D5, D6, D7	输入/输出	在 SelectMAP 模式下，D0 到 D7 引脚作为配置数据引脚。除非保留 SelectMAP 端口，不然这些引脚在配置完成后都将用作用户 I/O 端口。 在一位串行模式中，DIN(D0)是单数据输入端口。这个引脚在配置完成之后同样也成为用户 I/O 端口。
CS_B	输入	在 SelectMAP 模式下，芯片选择信号在低电平有效。除非保留 SelectMAP 端口，然后在配置完成后，这个引脚在配置完成后都将用作用户 I/O 端口。
RDWR_B	输入	在 SelectMAP 模式下，写使能信号在低电平有效。除非保留 SelectMAP 端口，然后在配置完成后，这个引脚在配置完成后都将用作用户 I/O 端口。
BUSY/DOUT	输出	在 SelectMAP 模式下，BUSY 端口控制配置数据载入的速率。除非保留 SelectMAP 端口，然后在配置完成后，这个引脚在配置完成后都将用作用户 I/O 端口。 在一位串行模式中，DOUT 端口提供头数据和配置数据给菊花链上的下游的器件，在配置完成后，这个引脚在配置完成后都将用作用户 I/O 端口。
INIT_B	双向 (开漏)	当其为低电平时，表示器件正在执行清空配置存储器的操作。当期保持为低电平，配置操作将被延迟。在配置过程中，若引脚输出一个低电平信号，则说明配置数据有错误产生。这个引脚在配置完成后用作用户 I/O 引脚。
GCLKx(S/P)	输入/输出	这些是连接到全局时钟缓冲器的时钟输入引脚。这些引脚当电路不需要时钟时，可用作一般的用户 I/O 引脚。
VRP	输入	给 P 型晶体管提供 DCI 电压参考电阻用（每组 1 个）
VRN	输入	给 N 型晶体管提供 DCI 电压参考电阻用（每组 1 个）
ALT_VRP	输入	额外可选的引脚，给 P 型晶体管提供 DCI 电压参考电阻用
ALT_VRN	输入	额外可选的引脚，给 N 型晶体管提供 DCI 电压参考电阻用
VREF	输入	这些引脚是门限电压的输入引脚。当外部门限电压不需要时，他们用作用户 I/O 引脚（每组）
专用引脚 ⁽¹⁾		
CCLK	输入/输出	配置时钟引脚。在主模式时作为输出端，在从模式时作为输入端
PROG_B	输入	异步复位逻辑配置，低电平有效的引脚。这个引脚有一个固定的弱上拉电阻。
DONE	输入/输出	DONE 是一个双向的信号端口，带有一个可选的内部上拉电阻。作为一个输出端口，这个引脚只是配置过程的完成。作为输入端口时，低电平 DONE 信号能用来延迟启动时序。
M2, M1, M0	输入	配置模式选择
HSWAP_EN	输入	使能在配置过程中 I/O 上拉
TCK	输入	边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
PWRDWN_B	输入 (不支持)	低电平有效的掉电引脚（不支持）。用低电平驱动这个引脚能够反过来的影响器件操作和配置。 默认状态下 PWRDWN_B 在内部保持上拉到高电平，这种情况不需要外部上拉。
其他引脚		
DXN, DXP	N/A	感温二极管引脚（阳极：DXP；阴极：DXN）
V _{BATT}	输入	密钥存储器备用电源（若电池不是用则 V _{BATT} 连接到 V _{CCAUX} 或地）
RSVD	N/A	预留引脚—不连接

引脚名称	方向	功 能
V _{CC0}	输入	为输出驱动提供电源（每组）
V _{CCAUX}	输入	为辅助电路提供电源
V _{CCINT}	输入	为内核逻辑提供电源
GND	输入	接地引脚
注：所有的专用引脚（包括 JTAG 和配置引脚）由 V _{CCAUX} 供电（与每个 I/O 组的 V _{CC0} 无关）		

表 3 引出端定义表

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
A24	IO_L01N_0	M3	IO_L75N_2	AC18	IO_L52N_5
B24	IO_L01P_0	M4	IO_L75P_2/VREF_2	AD18	IO_L52P_5
A23	IO_L03N_0/VR P_0	M5	IO_L76N_2	AA18	IO_L51N_5/VREF_5
B23	IO_L03P_0/VR N_0	M6	IO_L76P_2	AB18	IO_L51P_5
B22	IO_L04N_0/VR EF_0	N4	IO_L80N_2	AA19	IO_L50N_5
A22	IO_L04P_0	N5	IO_L80P_2	AB19	IO_L50P_5
A21	IO_L06N_0	N8	IO_L91N_2	AC19	IO_L49N_5
A20	IO_L06P_0	P8	IO_L91P_2	AD19	IO_L49P_5
C21	IO_L19N_0	N7	IO_L93N_2	AE19	IO_L28N_5
B21	IO_L19P_0	N6	IO_L93P_2/VREF_2	AF19	IO_L28P_5
G19	IO_L21N_0	M1	IO_L94N_2	AC20	IO_L27N_5/VREF_5
G20	IO_L21P_0/VR EF_0	M2	IO_L94P_2	AD20	IO_L27P_5
D21	IO_L22N_0	P3	IO_L96N_2	AF21	IO_L25N_5
C20	IO_L22P_0	P4	IO_L96P_2	AF20	IO_L25P_5
C19	IO_L25N_0	P1	IO_L96N_3	AE22	IO_L22N_5
B19	IO_L25P_0	N1	IO_L96P_3	AE21	IO_L22P_5
G18	IO_L26N_0	P5	IO_L94N_3	W20	IO_L21N_5/VREF_5
F18	IO_L26P_0	P6	IO_L94P_3	Y21	IO_L21P_5
D20	IO_L27N_0	R7	IO_L93N_3/VREF_3	AF23	IO_L19N_5
D19	IO_L27P_0/VR EF_0	P7	IO_L93P_3	AF22	IO_L19P_5
F20	IO_L29N_0	R5	IO_L83N_3	AE23	IO_L06N_5
F19	IO_L29P_0	R6	IO_L83P_3	AE24	IO_L06P_5
A18	IO_L49N_0	R3	IO_L80N_3	AC22	IO_L05N_5/VRP_5
A19	IO_L49P_0	R4	IO_L80P_3	AB23	IO_L05P_5/VRN_5
E20	IO_L50N_0	R8	IO_L77N_3	AF25	IO_L04N_5
E19	IO_L50P_0	T8	IO_L77P_3	AF24	IO_L04P_5/VREF_5
D18	IO_L51N_0	T6	IO_L75N_3/VREF_3	AB7	IO_L03N_5/D4/ALT_V RP_5
E18	IO_L51P_0/VR EF_0	T5	IO_L75P_3	AA7	IO_L03P_5/D5/ALT_V RN_5

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
C18	IO_L52N_0	T3	IO_L73N_3	AD6	IO_L02N_5/D6
B18	IO_L52P_0	T4	IO_L73P_3	AC6	IO_L02P_5/D7
E17	IO_L54N_0	R1	IO_L72N_3	AB6	IO_L01N_5/RDWR_B
F17	IO_L54P_0	R2	IO_L72P_3	AC5	IO_L01P_5/CS_B
H16	IO_L67N_0	U7	IO_L70N_3	AD25	IO_L01P_6
G17	IO_L67P_0	T7	IO_L70P_3	AE26	IO_L01N_6
F16	IO_L69N_0	T1	IO_L69N_3/VREF_3	AA23	IO_L02P_6/VRN_6
G16	IO_L69P_0/VR EF_0	T2	IO_L69P_3	AB24	IO_L02N_6/VRP_6
C17	IO_L70N_0	U3	IO_L67N_3	AD26	IO_L03P_6
D17	IO_L70P_0	U4	IO_L67P_3	AC26	IO_L03N_6/VREF_6
F15	IO_L72N_0	V1	IO_L54N_3	AC25	IO_L04P_6
G15	IO_L72P_0	U1	IO_L54P_3	AB25	IO_L04N_6
A16	IO_L73N_0	U5	IO_L52N_3	AA26	IO_L06P_6
A17	IO_L73P_0	U6	IO_L52P_3	AB26	IO_L06N_6
D16	IO_L75N_0	V2	IO_L51N_3/VREF_3	Y22	IO_L19P_6
E16	IO_L75P_0/VR EF_0	V3	IO_L51P_3	AA22	IO_L19N_6
B16	IO_L76N_0	V4	IO_L49N_3	AA24	IO_L21P_6
C16	IO_L76P_0	V5	IO_L49P_3	AA25	IO_L21N_6/VREF_6
D15	IO_L78N_0	V7	IO_L47N_3	V21	IO_L22P_6
E15	IO_L78P_0	V6	IO_L47P_3	W21	IO_L22N_6
B15	IO_L91N_0/VR EF_0	W2	IO_L46N_3	W22	IO_L25P_6
C15	IO_L91P_0	W3	IO_L46P_3	W23	IO_L25N_6
D14	IO_L92N_0	W1	IO_L45N_3/VREF_3	Y24	IO_L26P_6
E14	IO_L92P_0	Y1	IO_L45P_3	Y23	IO_L26N_6
A15	IO_L93N_0	W4	IO_L43N_3	W24	IO_L43P_6
A14	IO_L93P_0	W5	IO_L43P_3	W25	IO_L43N_6
A12	IO_L94N_0/VR EF_0	Y3	IO_L25N_3	Y26	IO_L45P_6
A13	IO_L94P_0	Y4	IO_L25P_3	W26	IO_L45N_6/VREF_6
G14	IO_L95N_0/GC LK7P	AA1	IO_L24N_3	U20	IO_L46P_6
F14	IO_L95P_0/GC LK6S	AA2	IO_L24P_3	V20	IO_L46N_6
H14	IO_L96N_0/GC LK5P	W6	IO_L22N_3	V24	IO_L48P_6
H15	IO_L96P_0/GC LK4S	W7	IO_L22P_3	V25	IO_L48N_6
D13	IO_L96N_1/GC LK3P	AB1	IO_L21N_3/VREF_3	V23	IO_L49P_6

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
C13	IO_L96P_1/GC LK2S	AB2	IO_L21P_3	V22	IO_L49N_6
F13	IO_L95N_1/GC LK1P	Y5	IO_L20N_3	U26	IO_L51P_6
E13	IO_L95P_1/GC LK0S	Y6	IO_L20P_3	V26	IO_L51N_6/VREF_6
G13	IO_L94N_1	AA3	IO_L19N_3	U21	IO_L52P_6
H13	IO_L94P_1/VR EF_1	AA4	IO_L19P_3	U22	IO_L52N_6
G12	IO_L93N_1	AC1	IO_L06N_3	U23	IO_L54P_6
H12	IO_L93P_1	AC2	IO_L06P_3	U24	IO_L54N_6
F12	IO_L92N_1	AD1	IO_L03N_3/VREF_3	T23	IO_L67P_6
E12	IO_L92P_1	AD2	IO_L03P_3	T24	IO_L67N_6
D12	IO_L91N_1	AB3	IO_L02N_3/VRP_3	T21	IO_L69P_6
C12	IO_L91P_1/VR EF_1	AB4	IO_L02P_3/VRN_3	T22	IO_L69N_6/VREF_6
F11	IO_L78N_1	AE1	IO_L01N_3	T19	IO_L70P_6
E11	IO_L78P_1	AF2	IO_L01P_3	T20	IO_L70N_6
D11	IO_L76N_1	AD21	IO_L01N_4/DOUT	T25	IO_L72P_6
C11	IO_L76P_1	AC21	IO_L01P_4/INIT_B	T26	IO_L72N_6
G11	IO_L75N_1/VR EF_1	Y20	IO_L02N_4/D0	R19	IO_L73P_6
H11	IO_L75P_1	Y19	IO_L02P_4/D1	R20	IO_L73N_6
B11	IO_L73N_1	AA20	IO_L03N_4/D2/ALT_ VRP_4	R21	IO_L75P_6
B12	IO_L73P_1	AB20	IO_L03P_4/D3/ALT_ VRN_4	R22	IO_L75N_6/VREF_6
G10	IO_L72N_1	AE4	IO_L04N_4/VREF_4	R23	IO_L76P_6
F10	IO_L72P_1	AF4	IO_L04P_4	R24	IO_L76N_6
A10	IO_L70N_1	AF3	IO_L05N_4/VRP_4	R26	IO_L78P_6
A11	IO_L70P_1	AE3	IO_L05P_4/VRN_4	R25	IO_L78N_6
E10	IO_L69N_1/VR EF_1	AF5	IO_L19N_4	P22	IO_L91P_6
D10	IO_L69P_1	AE5	IO_L19P_4	P23	IO_L91N_6
C9	IO_L67N_1	Y8	IO_L21N_4	P20	IO_L93P_6
C10	IO_L67P_1	Y7	IO_L21P_4/VREF_4	P21	IO_L93N_6/VREF_6
E9	IO_L54N_1	AE6	IO_L22N_4	N19	IO_L94P_6
D9	IO_L54P_1	AF6	IO_L22P_4	P19	IO_L94N_6
B9	IO_L52N_1	AF8	IO_L25N_4	P26	IO_L96P_6
A9	IO_L52P_1	AF7	IO_L25P_4	N26	IO_L96N_6
G9	IO_L51N_1/VR EF_1	AD7	IO_L27N_4	N23	IO_L96P_7

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
F9	IO_L51P_1	AC7	IO_L27P_4/VREF_4	N24	IO_L96N_7
C8	IO_L49N_1	AD8	IO_L28N_4	N21	IO_L94P_7
B8	IO_L49P_1	AC8	IO_L28P_4	N22	IO_L94N_7
E8	IO_L27N_1/VR EF_1	AA8	IO_L29N_4	N20	IO_L93P_7/VREF_7
D8	IO_L27P_1	AB8	IO_L29P_4	M20	IO_L93N_7
D7	IO_L25N_1	AF9	IO_L49N_4	M25	IO_L91P_7
D6	IO_L25P_1	AE8	IO_L49P_4	M26	IO_L91N_7
G8	IO_L24N_1	Y9	IO_L50N_4	M23	IO_L78P_7
F8	IO_L24P_1	AA9	IO_L50P_4	M24	IO_L78N_7
C6	IO_L22N_1	AC9	IO_L51N_4	M22	IO_L76P_7
C7	IO_L22P_1	AB9	IO_L51P_4/VREF_4	M21	IO_L76N_7
E6	IO_L21N_1/VR EF_1	AE9	IO_L52N_4	L19	IO_L75P_7/VREF_7
E7	IO_L21P_1	AD9	IO_L52P_4	M19	IO_L75N_7
A7	IO_L19N_1	AB10	IO_L54N_4	L22	IO_L73P_7
A8	IO_L19P_1	AA10	IO_L54P_4	L21	IO_L73N_7
B6	IO_L06N_1	W11	IO_L67N_4	L25	IO_L70P_7
A6	IO_L06P_1	Y10	IO_L67P_4	L26	IO_L70N_7
G7	IO_L05N_1	AA11	IO_L69N_4	K23	IO_L69P_7/VREF_7
G6	IO_L05P_1	Y11	IO_L69P_4/VREF_4	K24	IO_L69N_7
A5	IO_L04N_1	AD10	IO_L70N_4	L23	IO_L68P_7
B5	IO_L04P_1/VR EF_1	AC10	IO_L70P_4	L24	IO_L68N_7
B4	IO_L03N_1/VR P_1	AC11	IO_L72N_4	J26	IO_L67P_7
A4	IO_L03P_1/VR N_1	AB11	IO_L72P_4	K26	IO_L67N_7
B1	IO_L02N_1	AF10	IO_L73N_4	K20	IO_L54P_7
A2	IO_L02P_1	AF11	IO_L73P_4	L20	IO_L54N_7
B3	IO_L01N_1	AA12	IO_L75N_4	K22	IO_L51P_7/VREF_7
A3	IO_L01P_1	Y12	IO_L75P_4/VREF_4	K21	IO_L51N_7
C1	IO_L01N_2	AE11	IO_L76N_4	J24	IO_L49P_7
C2	IO_L01P_2	AD11	IO_L76P_4	J25	IO_L49N_7
E4	IO_L02N_2/VR P_2	AC12	IO_L78N_4	J23	IO_L48P_7
E3	IO_L02P_2/VR N_2	AB12	IO_L78P_4	J22	IO_L48N_7
D1	IO_L03N_2	AD12	IO_L91N_4/VREF_4	G26	IO_L46P_7
D2	IO_L03P_2/VR EF_2	AE12	IO_L91P_4	H26	IO_L46N_7
E1	IO_L04N_2	W13	IO_L92N_4	H22	IO_L45P_7/VREF_7

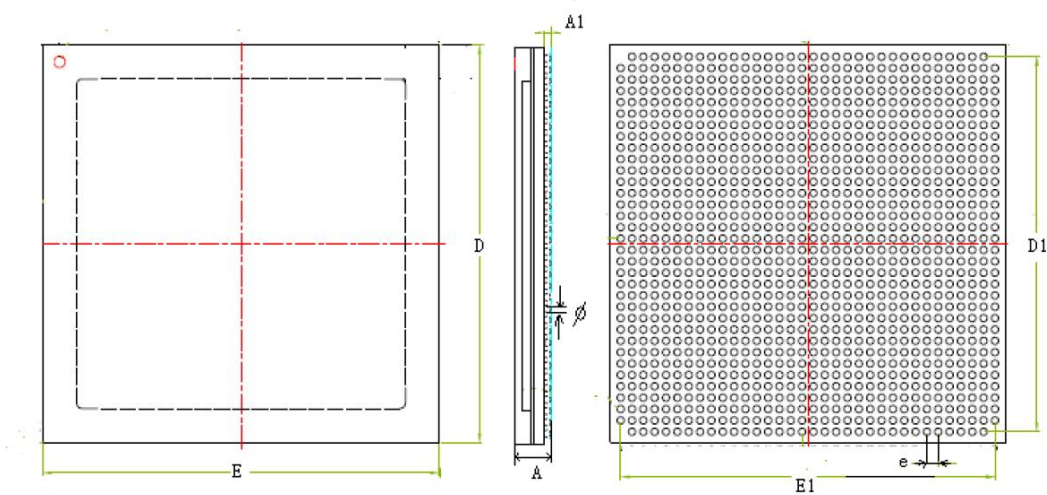
引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
E2	IO_L04P_2	W12	IO_L92P_4	H23	IO_L45N_7
F4	IO_L06N_2	AF12	IO_L93N_4	H24	IO_L43P_7
G5	IO_L06P_2	AF13	IO_L93P_4	H25	IO_L43N_7
F2	IO_L19N_2	AF15	IO_L94N_4/VREF_4	J20	IO_L29P_7
F3	IO_L19P_2	AF14	IO_L94P_4	J21	IO_L29N_7
G3	IO_L21N_2	Y13	IO_L95N_4/GCLK3S	G23	IO_L25P_7
G4	IO_L21P_2/VR EF_2	AA13	IO_L95P_4/GCLK2P	G24	IO_L25N_7
H6	IO_L22N_2	AC13	IO_L96N_4/GCLK1S	H20	IO_L24P_7
H7	IO_L22P_2	AB13	IO_L96P_4/GCLK0P	H21	IO_L24N_7
H4	IO_L24N_2	AC14	IO_L96N_5/GCLK7S	F25	IO_L22P_7
H5	IO_L24P_2	AD14	IO_L96P_5/GCLK6P	F26	IO_L22N_7
F1	IO_L25N_2	AB14	IO_L95N_5/GCLK5S	F23	IO_L21P_7/VREF_7
G1	IO_L25P_2	AA14	IO_L95P_5/GCLK4P	F24	IO_L21N_7
H2	IO_L43N_2	W14	IO_L94N_5	E25	IO_L19P_7
H3	IO_L43P_2	Y14	IO_L94P_5/VREF_5	E26	IO_L19N_7
J5	IO_L44N_2	W16	IO_L93N_5	G21	IO_L06P_7
J6	IO_L44P_2	W15	IO_L93P_5	G22	IO_L06N_7
K7	IO_L45N_2	AB15	IO_L92N_5	D25	IO_L04P_7
J7	IO_L45P_2/VR EF_2	AC15	IO_L92P_5	D26	IO_L04N_7
J3	IO_L48N_2	AE15	IO_L91N_5	E23	IO_L03P_7/VREF_7
J4	IO_L48P_2	AD15	IO_L91P_5/VREF_5	E24	IO_L03N_7
H1	IO_L49N_2	Y15	IO_L78N_5	B26	IO_L02P_7/VRN_7
J2	IO_L49P_2	AA15	IO_L78P_5	A25	IO_L02N_7/VRP_7
L7	IO_L51N_2	AE16	IO_L76N_5	C25	IO_L01P_7
L8	IO_L51P_2/VR EF_2	AD16	IO_L76P_5	C26	IO_L01N_7
K5	IO_L52N_2	AB16	IO_L75N_5/VREF_5	C23	VBATT
K6	IO_L52P_2	AC16	IO_L75P_5	F5	TDI
K3	IO_L53N_2	AF17	IO_L73N_5	F22	TDO
K4	IO_L53P_2	AF16	IO_L73P_5	C4	PROG_B
K1	IO_L67N_2	Y16	IO_L72N_5	D22	TMS
J1	IO_L67P_2	AA16	IO_L72P_5	D5	HSWAP_EN
L5	IO_L68N_2	AC17	IO_L70N_5	E21	TCK
L6	IO_L68P_2	AD17	IO_L70P_5	F7	DXN
L3	IO_L69N_2	AA17	IO_L69N_5/VREF_5	C22	RSVD
L4	IO_L69P_2/VR EF_2	AB17	IO_L69P_5	C5	DXP
M7	IO_L72N_2	AE18	IO_L67N_5	AB21	CCLK
M8	IO_L72P_2	AF18	IO_L67P_5	AD4	M0
L1	IO_L73N_2	Y18	IO_L54N_5	AD22	DONE

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
L2	IO_L73P_2	Y17	IO_L54P_5	AA5	M1
		AD5	M2	AD23	PWRDWN_B
B17, B20, H17, H18, J14, J15, J16	VCCO_0*	AE10, AE7, V11, V12, V13, W10, W9	VCCO_4*	H19, H8, J10, J17, J18, J9, K18, K9, U18, U9, V10, V17, V18, V9, W19, W8	VCCINT
B10, B7, H10, H9, J11, J12, J13	VCCO_1*	AE17, AE20, V14, V15, V16, W17, W18	VCCO_5*	AC24, AC3, AD13, C14, D24, D3, N3, P24	VCCAUX
G2, J8, K2, K8, L9, M9, N9	VCCO_2*	P18, R18, T18, U19, U25, V19, Y25	VCCO_6*	A1, A26, AA21, AA6, AB22, AB5, AC23, AC4, AD24, AD3, AE13, AE14, AE2, AE25, AF1, AF26, B13, B14, B2, B25, C24, C3, D23, D4, E22, E5, F21, F6, K10, K11, K12, K13, K14, K15, K16, K17, L10, L11, L12, L13, L14, L15, L16, L17, M10, M11, M12, M13, M14, M15, M16, M17, N10, N11, N12, N13, N14, N15, N16, N17, N2, N25, P10, P11, P12, P13, P14, P15, P16, P17, P2, P25, R10, R11, R12, R13, R14, R1	GND

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
				5, R16, R17, T10, T11, T1 2, T13, T14, T15, T16, T1 7, U10, U11, U12, U13, U1 4, U15, U16, U17	

4.2 FBGA1152 封装信息

采用塑封 FBGA1152 封装形式，外形尺寸参照 GB/T 7092-1993 的规定，外壳外形见下图。



注：单位为毫米

尺寸符号	数 值		
	最 小	公 称	最 大
A	—	—	3.30
A1	0.33	—	0.45
D	—	35.00	—
D1	—	33.00	—
E	—	35.00	—
E1	—	33.00	—
φ	0.47	—	0.57
e	—	1.00	—

图 5 FBGA1152 外形尺寸（单位为毫米）

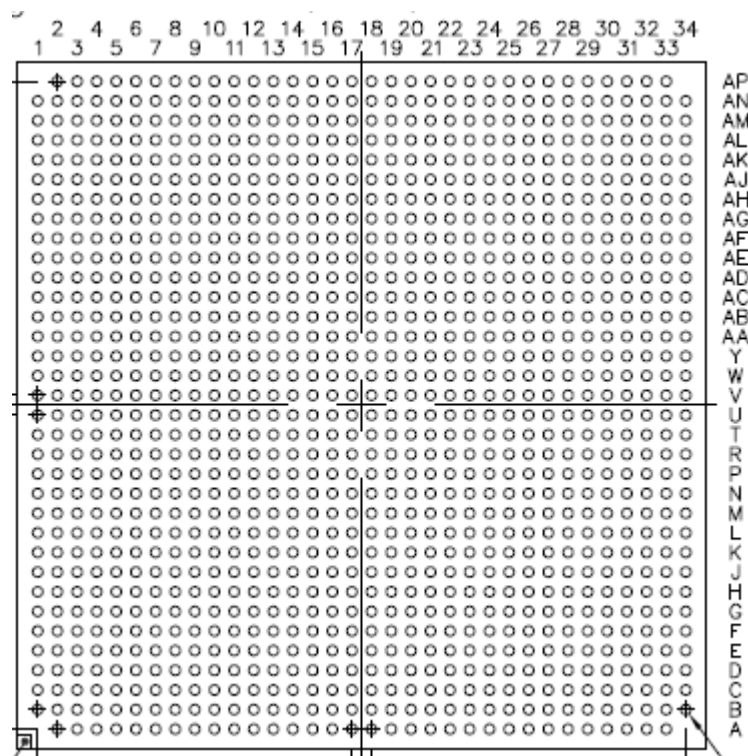


图 6 引脚排列图

EF1152引脚描述如下表所示。

表 4 FBGA1152 引脚描述

引脚名称	方向	功 能
用户 I/O 引脚		
IO_LXXY_#	输入/输出 /双向	所有的用户 I/O 引脚都能用作差分信号,并能用作 LVDS、ULVDS、BLVDS、LVPECL 或 LDT 这几种差分对。每个用户 I/O 引脚都以“IO_LXXY_#”格式命名。其中: . IO 表示这是一个用户引脚; . LXXY 表示组 (Bank) 上唯一的编号为 XX 的差分对, Y 取 P 或者 N, 分别表示这差分对的正负极; . #表示引脚所在的组号 (取 0 到 7)。
双功能引脚		
IO_LXXY_#/ZZZ		双功能引脚以“IO_LXXY_#/ZZZ”格式命名, 其中 ZZZ 可以是以下几种引脚之一: . 每组——VRP、VRN 或者 VREF; . 全局——GCLKX(S/P)、BUSY/DOUT、INIT_B、DIN/D0~D7、RDWR_B 或者 CS_B。
带/ZZZ 引脚		
DIN/D0, D1, D2, D3, D4, D5, D6, D7	输入/输出	在 SelectMAP 模式下, D0 到 D7 引脚作为配置数据引脚。除非保留 SelectMAP 端口, 不然这些引脚在配置完成后都将用作用户 I/O 端口。 在一位串行模式中, DIN(D0) 是单数据输入端口。这个引脚在配置完成之后同样也成为用户 I/O 端口。
CS_B	输入	在 SelectMAP 模式下, 芯片选择信号在低电平有效。除非保留 SelectMAP 端口, 然在配置完成后, 这个引脚在配置完成后都将用作用户 I/O 端口。
RDWR_B	输入	在 SelectMAP 模式下, 写使能信号在低电平有效。除非保留 SelectMAP 端口, 然在配置完成后, 这个引脚在配置完成后都将用作用户 I/O 端口。
BUSY/DOUT	输出	在 SelectMAP 模式下, BUSY 端口控制配置数据载入的速率。除非保留

引脚名称	方向	功 能
		SelectMAP 端口, 然后在配置完成后, 这个引脚在配置完成后都将用作用户 I/O 端口。 在一位串行模式中, DOUT 端口提供头数据和配置数据给菊花链上的下游的器件, 在配置完成后, 这个引脚在配置完成后都将用作用户 I/O 端口。
INIT_B	双向 (开漏)	当其为低电平时, 表示器件正在执行清空配置存储器的操作。当期保持为低电平, 配置操作将被延迟。在配置过程中, 若引脚输出一个低电平信号, 则说明配置数据有错误产生。这个引脚在配置完成后用作用户 I/O 引脚。
GCLKx (S/P)	输入/输出	这些是连接到全局时钟缓冲器的时钟输入引脚。这些引脚当电路不需要时钟时, 可用作一般的用户 I/O 引脚。
VRP	输入	给 P 型晶体管提供 DCI 电压参考电阻用 (每组 1 个)
VRN	输入	给 N 型晶体管提供 DCI 电压参考电阻用 (每组 1 个)
ALT_VRP	输入	额外可选的引脚, 给 P 型晶体管提供 DCI 电压参考电阻用
ALT_VRN	输入	额外可选的引脚, 给 N 型晶体管提供 DCI 电压参考电阻用
VREF	输入	这些引脚是门限电压的输入引脚。当外部门限电压不需要时, 他们用作用户 I/O 引脚 (每组)
专用引脚 ⁽¹⁾		
CCLK	输入/输出	配置时钟引脚。在主模式时作为输出端, 在从模式时作为输入端
PROG_B	输入	异步复位逻辑配置, 低电平有效的引脚。这个引脚有一个固定的弱上拉电阻。
DONE	输入/输出	DONE 是一个双向的信号端口, 带有一个可选的内部上拉电阻。作为一个输出端口, 这个引脚只是配置过程的完成。作为输入端口时, 低电平 DONE 信号能用来延迟启动时序。
M2, M1, MO	输入	配置模式选择
HSWAP_EN	输入	使能在配置过程中 I/O 上拉
TCK	输入	边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
PWRDWN_B	输入 (不支持)	低电平有效的掉电引脚 (不支持)。用低电平驱动这个引脚能够反过来的影响器件操作和配置。 默认状态下 PWRDWN_B 在内部保持上拉到高电平, 这种情况不需要外部上拉。
其他引脚		
DXN, DXP	N/A	感温二极管引脚 (阳极: DXP; 阴极: DXN)
V _{BATT}	输入	密钥存储器备用电源 (若电池不是用则 V _{BATT} 连接到 V _{CCAUX} 或地)
RSVD	N/A	预留引脚—不连接
V _{CCO}	输入	为输出驱动提供电源 (每组)
V _{CCAUX}	输入	为辅助电路提供电源
V _{CCINT}	输入	为内核逻辑提供电源
GND	输入	接地引脚
注: 所有的专用引脚 (包括 JTAG 和配置引脚) 由 V _{CCAUX} 供电 (与每个 I/O 组的 V _{CCO} 无关)		

表 5 引出端定义表

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
D29	IO_L01N_0	P1	IO_L79N_2	AL25	IO_L54N_5
C29	IO_L01P_0	N1	IO_L79P_2	AL24	IO_L54P_5
H26	IO_L02N_0	T11	IO_L80N_2	AE20	IO_L53N_5
G26	IO_L02P_0	U11	IO_L80P_2	AE21	IO_L53P_5
E28	IO_L03N_0/VR	R7	IO_L81N_2	AN27	IO_L52N_5

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
	P_0				
E27	IO_L03P_0/VRN_0	R6	IO_L81P_2/VREF_2	AP26	IO_L52P_5
F25	IO_L04N_0/VR EF_0	U5	IO_L82N_2	AP29	IO_L51N_5/VREF_5
F26	IO_L04P_0	T5	IO_L82P_2	AP28	IO_L51P_5
H25	IO_L05N_0	T10	IO_L83N_2	AG21	IO_L50N_5
H24	IO_L05P_0	U10	IO_L83P_2	AG22	IO_L50P_5
E26	IO_L06N_0	U4	IO_L84N_2	AN29	IO_L49N_5
F27	IO_L06P_0	T4	IO_L84P_2	AN28	IO_L49P_5
B32	IO_L19N_0	T2	IO_L91N_2	AK24	IO_L30N_5
C33	IO_L19P_0	R1	IO_L91P_2	AK25	IO_L30P_5
J24	IO_L20N_0	U7	IO_L92N_2	AH23	IO_L29N_5
J23	IO_L20P_0	T7	IO_L92P_2	AH22	IO_L29P_5
C27	IO_L21N_0	T6	IO_L93N_2	AP31	IO_L28N_5
C28	IO_L21P_0/VR EF_0	U6	IO_L93P_2/VREF_2	AP30	IO_L28P_5
B30	IO_L22N_0	U1	IO_L94N_2	AH24	IO_L27N_5/VREF_5
B31	IO_L22P_0	U2	IO_L94P_2	AH25	IO_L27P_5
K23	IO_L23N_0	U9	IO_L95N_2	AF22	IO_L26N_5
K22	IO_L23P_0	U8	IO_L95P_2	AF23	IO_L26P_5
C26	IO_L24N_0	U3	IO_L96N_2	AM27	IO_L25N_5
D27	IO_L24P_0	V4	IO_L96P_2	AM26	IO_L25P_5
A30	IO_L25N_0	V6	IO_L96N_3	AL27	IO_L24N_5
A31	IO_L25P_0	W6	IO_L96P_3	AL26	IO_L24P_5
G24	IO_L26N_0	V5	IO_L95N_3	AH26	IO_L23N_5
G25	IO_L26P_0	W5	IO_L95P_3	AJ25	IO_L23P_5
E25	IO_L27N_0	V7	IO_L94N_3	AN31	IO_L22N_5
E24	IO_L27P_0/VR EF_0	W7	IO_L94P_3	AN30	IO_L22P_5
D25	IO_L28N_0	V10	IO_L93N_3/VREF_3	AK26	IO_L21N_5/VREF_5
D26	IO_L28P_0	W10	IO_L93P_3	AK27	IO_L21P_5
H23	IO_L29N_0	V1	IO_L92N_3	AG23	IO_L20N_5
H22	IO_L29P_0	V2	IO_L92P_3	AF24	IO_L20P_5
F23	IO_L30N_0	W3	IO_L91N_3	AM33	IO_L19N_5
F24	IO_L30P_0	Y3	IO_L91P_3	AN32	IO_L19P_5
B28	IO_L49N_0	V9	IO_L84N_3	AJ27	IO_L06N_5
B29	IO_L49P_0	V8	IO_L84P_3	AJ26	IO_L06P_5
J22	IO_L50N_0	W4	IO_L83N_3	AE22	IO_L05N_5/VRP_5
J21	IO_L50P_0	Y4	IO_L83P_3	AE23	IO_L05P_5/VRN_5
A28	IO_L51N_0	W11	IO_L82N_3	AM28	IO_L04N_5
A29	IO_L51P_0/VR	V11	IO_L82P_3	AM29	IO_L04P_5/VREF_5

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
	EF_0				
A26	IO_L52N_0	W8	IO_L81N_3/VREF_3	AK28	IO_L03N_5/D4/ALT_V RP_5
B27	IO_L52P_0	Y8	IO_L81P_3	AL29	IO_L03P_5/D5/ALT_V RN_5
C24	IO_L53N_0	W2	IO_L80N_3	AG24	IO_L02N_5/D6
D24	IO_L53P_0	Y1	IO_L80P_3	AG25	IO_L02P_5/D7
D22	IO_L54N_0	AA3	IO_L79N_3	AL30	IO_L01N_5/RDWR_B
D23	IO_L54P_0	AB3	IO_L79P_3	AM31	IO_L01P_5/CS_B
B25	IO_L60N_0	Y6	IO_L78N_3	AE24	IO_L01P_6
B26	IO_L60P_0	AA6	IO_L78P_3	AD25	IO_L01N_6
B23	IO_L67N_0	AA4	IO_L77N_3	AJ30	IO_L02P_6/VRN_6
B24	IO_L67P_0	AB4	IO_L77P_3	AH30	IO_L02N_6/VRP_6
G22	IO_L68N_0	Y7	IO_L76N_3	AL32	IO_L03P_6
G23	IO_L68P_0	AA8	IO_L76P_3	AK32	IO_L03N_6/VREF_6
F22	IO_L69N_0	Y10	IO_L75N_3/VREF_3	AF25	IO_L04P_6
F21	IO_L69P_0/VR EF_0	AA10	IO_L75P_3	AE25	IO_L04N_6
A23	IO_L70N_0	AA1	IO_L74N_3	AJ31	IO_L05P_6
A24	IO_L70P_0	AB1	IO_L74P_3	AK31	IO_L05N_6
K21	IO_L71N_0	AA5	IO_L73N_3	AH29	IO_L06P_6
K20	IO_L71P_0	AB5	IO_L73P_3	AG29	IO_L06N_6
C22	IO_L72N_0	AA9	IO_L72N_3	AG26	IO_L19P_6
C23	IO_L72P_0	Y9	IO_L72P_3	AF26	IO_L19N_6
E21	IO_L73N_0	AA2	IO_L71N_3	AL33	IO_L20P_6
E22	IO_L73P_0	AB2	IO_L71P_3	AK33	IO_L20N_6
H21	IO_L74N_0	AB6	IO_L70N_3	AJ32	IO_L21P_6
H20	IO_L74P_0	AC6	IO_L70P_3	AH32	IO_L21N_6/VREF_6
G20	IO_L75N_0	AD1	IO_L69N_3/VREF_3	AG28	IO_L22P_6
F20	IO_L75P_0/VR EF_0	AC1	IO_L69P_3	AF28	IO_L22N_6
B21	IO_L76N_0	AC3	IO_L68N_3	AG30	IO_L23P_6
B22	IO_L76P_0	AD3	IO_L68P_3	AF30	IO_L23N_6
J20	IO_L77N_0	AC4	IO_L67N_3	AF29	IO_L24P_6
K19	IO_L77P_0	AD4	IO_L67P_3	AE29	IO_L24N_6
D20	IO_L78N_0	AB7	IO_L54N_3	AF27	IO_L25P_6
D21	IO_L78P_0	AC7	IO_L54P_3	AE27	IO_L25N_6
A21	IO_L79N_0	AC2	IO_L53N_3	AL34	IO_L26P_6
A22	IO_L79P_0	AD2	IO_L53P_3	AK34	IO_L26N_6
L19	IO_L80N_0	AC8	IO_L52N_3	AE28	IO_L27P_6
L18	IO_L80P_0	AB8	IO_L52P_3	AD28	IO_L27N_6/VREF_6
B19	IO_L81N_0	AB10	IO_L51N_3/VREF_3	AE26	IO_L28P_6

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
A20	IO_L81P_0/VR EF_0	AC10	IO_L51P_3	AD26	IO_L28N_6
A18	IO_L82N_0	AD5	IO_L50N_3	AF31	IO_L29P_6
B18	IO_L82P_0	AE5	IO_L50P_3	AG31	IO_L29N_6
H19	IO_L83N_0	AE4	IO_L49N_3	AF32	IO_L30P_6
H18	IO_L83P_0	AF4	IO_L49P_3	AG32	IO_L30N_6
C20	IO_L84N_0	AB9	IO_L48N_3	AC25	IO_L43P_6
C21	IO_L84P_0	AC9	IO_L48P_3	AB25	IO_L43N_6
D19	IO_L91N_0/VR EF_0	AE2	IO_L47N_3	AJ33	IO_L44P_6
D18	IO_L91P_0	AF1	IO_L47P_3	AH33	IO_L44N_6
G18	IO_L92N_0	AD6	IO_L46N_3	AE31	IO_L45P_6
G19	IO_L92P_0	AE6	IO_L46P_3	AD32	IO_L45N_6/VREF_6
F18	IO_L93N_0	AD9	IO_L45N_3/VREF_3	AD27	IO_L46P_6
F19	IO_L93P_0	AE9	IO_L45P_3	AC27	IO_L46N_6
C19	IO_L94N_0/VR EF_0	AF2	IO_L44N_3	AJ34	IO_L47P_6
C18	IO_L94P_0	AG2	IO_L44P_3	AH34	IO_L47N_6
K18	IO_L95N_0/GC LK7P	AF3	IO_L43N_3	AE30	IO_L48P_6
J18	IO_L95P_0/GC LK6S	AG3	IO_L43P_3	AD30	IO_L48N_6
E19	IO_L96N_0/GC LK5P	AD7	IO_L30N_3	AC26	IO_L49P_6
E18	IO_L96P_0/GC LK4S	AE7	IO_L30P_3	AB26	IO_L49N_6
E17	IO_L96N_1/GC LK3P	AF5	IO_L29N_3	AD29	IO_L50P_6
E16	IO_L96P_1/GC LK2S	AG5	IO_L29P_3	AC29	IO_L50N_6
H17	IO_L95N_1/GC LK1P	AE8	IO_L28N_3	AF33	IO_L51P_6
H16	IO_L95P_1/GC LK0S	AD8	IO_L28P_3	AG33	IO_L51N_6/VREF_6
D17	IO_L94N_1	AF8	IO_L27N_3/VREF_3	AC28	IO_L52P_6
D16	IO_L94P_1/VR EF_1	AF9	IO_L27P_3	AB28	IO_L52N_6
F16	IO_L93N_1	AH1	IO_L26N_3	AF34	IO_L53P_6
F17	IO_L93P_1	AJ1	IO_L26P_3	AE33	IO_L53N_6
G16	IO_L92N_1	AG4	IO_L25N_3	AB27	IO_L54P_6
G17	IO_L92P_1	AH5	IO_L25P_3	AA27	IO_L54N_6
C16	IO_L91N_1	AF6	IO_L24N_3	AA25	IO_L67P_6

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
C15	IO_L91P_1/VR EF_1	AG6	IO_L24P_3	Y25	IO_L67N_6
D14	IO_L84N_1	AH3	IO_L23N_3	AD33	IO_L68P_6
D15	IO_L84P_1	AJ3	IO_L23P_3	AC33	IO_L68N_6
J17	IO_L83N_1	AF7	IO_L22N_3	AC32	IO_L69P_6
K17	IO_L83P_1	AG7	IO_L22P_3	AB32	IO_L69N_6/VREF_6
B17	IO_L82N_1	AL1	IO_L21N_3/VREF_3	AA26	IO_L70P_6
A17	IO_L82P_1	AK1	IO_L21P_3	Y26	IO_L70N_6
A15	IO_L81N_1/VR EF_1	AH2	IO_L20N_3	AD34	IO_L71P_6
B16	IO_L81P_1	AJ2	IO_L20P_3	AC34	IO_L71N_6
L17	IO_L80N_1	AJ4	IO_L19N_3	AC31	IO_L72P_6
L16	IO_L80P_1	AK4	IO_L19P_3	AD31	IO_L72N_6
A13	IO_L79N_1	AE10	IO_L06N_3	Y27	IO_L73P_6
A14	IO_L79P_1	AD10	IO_L06P_3	W27	IO_L73N_6
C13	IO_L78N_1	AK2	IO_L05N_3	AB29	IO_L74P_6
C14	IO_L78P_1	AL2	IO_L05P_3	AA29	IO_L74N_6
K16	IO_L77N_1	AH6	IO_L04N_3	AB31	IO_L75P_6
K15	IO_L77P_1	AJ5	IO_L04P_3	AA31	IO_L75N_6/VREF_6
B13	IO_L76N_1	AE11	IO_L03N_3/VREF_3	Y28	IO_L76P_6
B14	IO_L76P_1	AF11	IO_L03P_3	Y29	IO_L76N_6
F15	IO_L75N_1/VR EF_1	AK3	IO_L02N_3/VRP_3	AB33	IO_L77P_6
G15	IO_L75P_1	AL3	IO_L02P_3/VRN_3	AA33	IO_L77N_6
H15	IO_L74N_1	AF10	IO_L01N_3	AA30	IO_L78P_6
H14	IO_L74P_1	AG9	IO_L01P_3	AB30	IO_L78N_6
A11	IO_L73N_1	AM4	IO_L01N_4/DOUT	W24	IO_L79P_6
A12	IO_L73P_1	AL5	IO_L01P_4/INIT_B	V24	IO_L79N_6
E13	IO_L72N_1	AG10	IO_L02N_4/D0	AB34	IO_L80P_6
E14	IO_L72P_1	AH11	IO_L02P_4/D1	AA34	IO_L80N_6
J15	IO_L71N_1	AK7	IO_L03N_4/D2/ALT_VR P_4	W33	IO_L81P_6
J14	IO_L71P_1	AK8	IO_L03P_4/D3/ALT_VR N_4	Y34	IO_L81N_6/VREF_6
D12	IO_L70N_1	AL6	IO_L04N_4/VREF_4	W25	IO_L82P_6
D13	IO_L70P_1	AM6	IO_L04P_4	V25	IO_L82N_6
F14	IO_L69N_1/VR EF_1	AK9	IO_L05N_4/VRP_4	Y32	IO_L83P_6
F13	IO_L69P_1	AJ8	IO_L05P_4/VRN_4	AA32	IO_L83N_6
C11	IO_L68N_1	AM8	IO_L06N_4	W29	IO_L84P_6
C12	IO_L68P_1	AM7	IO_L06P_4	V29	IO_L84N_6
B11	IO_L67N_1	AN3	IO_L19N_4	W28	IO_L91P_6

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
B12	IO_L67P_1	AM2	IO_L19P_4	V28	IO_L91N_6
F11	IO_L60N_1	AJ10	IO_L20N_4	V33	IO_L92P_6
F12	IO_L60P_1	AJ9	IO_L20P_4	V34	IO_L92N_6
D10	IO_L54N_1	AH9	IO_L21N_4	Y31	IO_L93P_6
D11	IO_L54P_1	AH10	IO_L21P_4/VREF_4	W31	IO_L93N_6/VREF_6
G12	IO_L53N_1	AN5	IO_L22N_4	V26	IO_L94P_6
G13	IO_L53P_1	AN4	IO_L22P_4	V27	IO_L94N_6
B9	IO_L52N_1	AE12	IO_L23N_4	W30	IO_L95P_6
B10	IO_L52P_1	AE13	IO_L23P_4	V30	IO_L95N_6
B8	IO_L51N_1/VR EF_1	AM9	IO_L24N_4	V32	IO_L96P_6
A9	IO_L51P_1	AL8	IO_L24P_4	W32	IO_L96N_6
K14	IO_L50N_1	AP5	IO_L25N_4	U31	IO_L96P_7
K13	IO_L50P_1	AP4	IO_L25P_4	V31	IO_L96N_7
A6	IO_L49N_1	AG11	IO_L26N_4	T28	IO_L95P_7
A7	IO_L49P_1	AG12	IO_L26P_4	U28	IO_L95N_7
D9	IO_L30N_1	AN7	IO_L27N_4	U33	IO_L94P_7
C9	IO_L30P_1	AN6	IO_L27P_4/VREF_4	U34	IO_L94N_7
H13	IO_L29N_1	AL10	IO_L28N_4	U29	IO_L93P_7/VREF_7
H12	IO_L29P_1	AL9	IO_L28P_4	T29	IO_L93N_7
C7	IO_L28N_1	AF12	IO_L29N_4	U27	IO_L92P_7
C8	IO_L28P_1	AF13	IO_L29P_4	U26	IO_L92N_7
E11	IO_L27N_1/VR EF_1	AK10	IO_L30N_4	T30	IO_L91P_7
E10	IO_L27P_1	AK11	IO_L30P_4	U30	IO_L91N_7
J13	IO_L26N_1	AP7	IO_L49N_4	R32	IO_L84P_7
K12	IO_L26P_1	AP6	IO_L49P_4	T32	IO_L84N_7
B6	IO_L25N_1	AH13	IO_L50N_4	U25	IO_L83P_7
B7	IO_L25P_1	AH12	IO_L50P_4	T25	IO_L83N_7
E8	IO_L24N_1	AJ11	IO_L51N_4	R34	IO_L82P_7
E9	IO_L24P_1	AJ12	IO_L51P_4/VREF_4	T33	IO_L82N_7
G10	IO_L23N_1	AP9	IO_L52N_4	N34	IO_L81P_7/VREF_7
G11	IO_L23P_1	AN8	IO_L52P_4	P34	IO_L81N_7
A4	IO_L22N_1	AG13	IO_L53N_4	U24	IO_L80P_7
A5	IO_L22P_1	AG14	IO_L53P_4	T24	IO_L80N_7
F10	IO_L21N_1/VR EF_1	AM11	IO_L54N_4	R31	IO_L79P_7
G9	IO_L21P_1	AL11	IO_L54P_4	T31	IO_L79N_7
J12	IO_L20N_1	AN10	IO_L60N_4	N32	IO_L78P_7
J11	IO_L20P_1	AN9	IO_L60P_4	P32	IO_L78N_7
B4	IO_L19N_1	AN12	IO_L67N_4	T27	IO_L77P_7
B5	IO_L19P_1	AN11	IO_L67P_4	R27	IO_L77N_7

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
D6	IO_L06N_1	AE14	IO_L68N_4	N33	IO_L76P_7
C6	IO_L06P_1	AE15	IO_L68P_4	P33	IO_L76N_7
H11	IO_L05N_1	AJ13	IO_L69N_4	R29	IO_L75P_7/VREF_7
J10	IO_L05P_1	AJ14	IO_L69P_4/VREF_4	R28	IO_L75N_7
D8	IO_L04N_1	AL13	IO_L70N_4	R26	IO_L74P_7
E7	IO_L04P_1/VR EF_1	AL12	IO_L70P_4	P26	IO_L74N_7
F9	IO_L03N_1/VR P_1	AF14	IO_L71N_4	N31	IO_L73P_7
F8	IO_L03P_1/VR N_1	AF15	IO_L71P_4	P31	IO_L73N_7
H10	IO_L02N_1	AM13	IO_L72N_4	N30	IO_L72P_7
H9	IO_L02P_1	AM12	IO_L72P_4	P30	IO_L72N_7
C2	IO_L01N_1	AP12	IO_L73N_4	R25	IO_L71P_7
B3	IO_L01P_1	AP11	IO_L73P_4	P25	IO_L71N_7
E2	IO_L01N_2	AG15	IO_L74N_4	L34	IO_L70P_7
D2	IO_L01P_2	AG16	IO_L74P_4	M34	IO_L70N_7
K11	IO_L02N_2/VR P_2	AN14	IO_L75N_4	P29	IO_L69P_7/VREF_7
K10	IO_L02P_2/VR N_2	AN13	IO_L75P_4/VREF_4	N29	IO_L69N_7
F5	IO_L03N_2	AP14	IO_L76N_4	P27	IO_L68P_7
G5	IO_L03P_2/VR EF_2	AP13	IO_L76P_4	N27	IO_L68N_7
E3	IO_L04N_2	AD16	IO_L77N_4	L32	IO_L67P_7
D3	IO_L04P_2	AD17	IO_L77P_4	M32	IO_L67N_7
J9	IO_L05N_2	AK14	IO_L78N_4	L31	IO_L54P_7
K9	IO_L05P_2	AK13	IO_L78P_4	M31	IO_L54N_7
F4	IO_L06N_2	AN16	IO_L79N_4	K29	IO_L53P_7
E4	IO_L06P_2	AP15	IO_L79P_4	L30	IO_L53N_7
E1	IO_L19N_2	AE16	IO_L80N_4	L33	IO_L52P_7
D1	IO_L19P_2	AE17	IO_L80P_4	M33	IO_L52N_7
J8	IO_L20N_2	AH15	IO_L81N_4	M29	IO_L51P_7/VREF_7
K8	IO_L20P_2	AJ15	IO_L81P_4/VREF_4	L29	IO_L51N_7
H7	IO_L21N_2	AP17	IO_L82N_4	M28	IO_L50P_7
J7	IO_L21P_2/VR EF_2	AN17	IO_L82P_4	N28	IO_L50N_7
H6	IO_L22N_2	AH17	IO_L83N_4	K30	IO_L49P_7
G6	IO_L22P_2	AH16	IO_L83P_4	K31	IO_L49N_7
L10	IO_L23N_2	AL15	IO_L84N_4	H32	IO_L48P_7
L9	IO_L23P_2	AL14	IO_L84P_4	J32	IO_L48N_7
G3	IO_L24N_2	AL16	IO_L91N_4/VREF_4	N26	IO_L47P_7

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
F3	IO_L24P_2	AL17	IO_L91P_4	M26	IO_L47N_7
G2	IO_L25N_2	AJ17	IO_L92N_4	J33	IO_L46P_7
F2	IO_L25P_2	AJ16	IO_L92P_4	K33	IO_L46N_7
M10	IO_L26N_2	AM15	IO_L93N_4	H33	IO_L45P_7/VREF_7
N10	IO_L26P_2	AM14	IO_L93P_4	J34	IO_L45N_7
J6	IO_L27N_2	AM16	IO_L94N_4/VREF_4	M27	IO_L44P_7
K6	IO_L27P_2/VR EF_2	AM17	IO_L94P_4	L27	IO_L44N_7
J5	IO_L28N_2	AF17	IO_L95N_4/GCLK3S	H31	IO_L43P_7
H5	IO_L28P_2	AG17	IO_L95P_4/GCLK2P	J31	IO_L43N_7
L7	IO_L29N_2	AK16	IO_L96N_4/GCLK1S	F32	IO_L30P_7
K7	IO_L29P_2	AK17	IO_L96P_4/GCLK0P	G32	IO_L30N_7
J4	IO_L30N_2	AK18	IO_L96N_5/GCLK7S	N25	IO_L29P_7
H4	IO_L30P_2	AK19	IO_L96P_5/GCLK6P	M25	IO_L29N_7
G1	IO_L43N_2	AG18	IO_L95N_5/GCLK5S	F34	IO_L28P_7
F1	IO_L43P_2	AF18	IO_L95P_5/GCLK4P	G34	IO_L28N_7
L8	IO_L44N_2	AL18	IO_L94N_5	J30	IO_L27P_7/VREF_7
M8	IO_L44P_2	AL19	IO_L94P_5/VREF_5	H30	IO_L27N_7
J1	IO_L45N_2	AJ19	IO_L93N_5	K28	IO_L26P_7
H2	IO_L45P_2/VR EF_2	AJ18	IO_L93P_5	L28	IO_L26N_7
J3	IO_L46N_2	AH19	IO_L92N_5	H28	IO_L25P_7
H3	IO_L46P_2	AH18	IO_L92P_5	J29	IO_L25N_7
M9	IO_L47N_2	AM19	IO_L91N_5	G29	IO_L24P_7
N9	IO_L47P_2	AM20	IO_L91P_5/VREF_5	H29	IO_L24N_7
L5	IO_L48N_2	AL21	IO_L84N_5	L26	IO_L23P_7
K5	IO_L48P_2	AL20	IO_L84P_5	K26	IO_L23N_7
K2	IO_L49N_2	AM22	IO_L83N_5	F33	IO_L22P_7
J2	IO_L49P_2	AM21	IO_L83P_5	G33	IO_L22N_7
N7	IO_L50N_2	AN18	IO_L82N_5	J28	IO_L21P_7/VREF_7
M7	IO_L50P_2	AP18	IO_L82P_5	J27	IO_L21N_7
L6	IO_L51N_2	AP20	IO_L81N_5/VREF_5	K27	IO_L20P_7
M6	IO_L51P_2/VR EF_2	AN19	IO_L81P_5	J26	IO_L20N_7
M3	IO_L52N_2	AE18	IO_L80N_5	E31	IO_L19P_7
L3	IO_L52P_2	AE19	IO_L80P_5	F31	IO_L19N_7
L4	IO_L53N_2	AP22	IO_L79N_5	D32	IO_L06P_7
K4	IO_L53P_2	AP21	IO_L79P_5	E32	IO_L06N_7
N4	IO_L54N_2	AK22	IO_L78N_5	L25	IO_L05P_7
M4	IO_L54P_2	AK21	IO_L78P_5	K24	IO_L05N_7
M2	IO_L67N_2	AD18	IO_L77N_5	D34	IO_L04P_7
L2	IO_L67P_2	AD19	IO_L77P_5	E34	IO_L04N_7

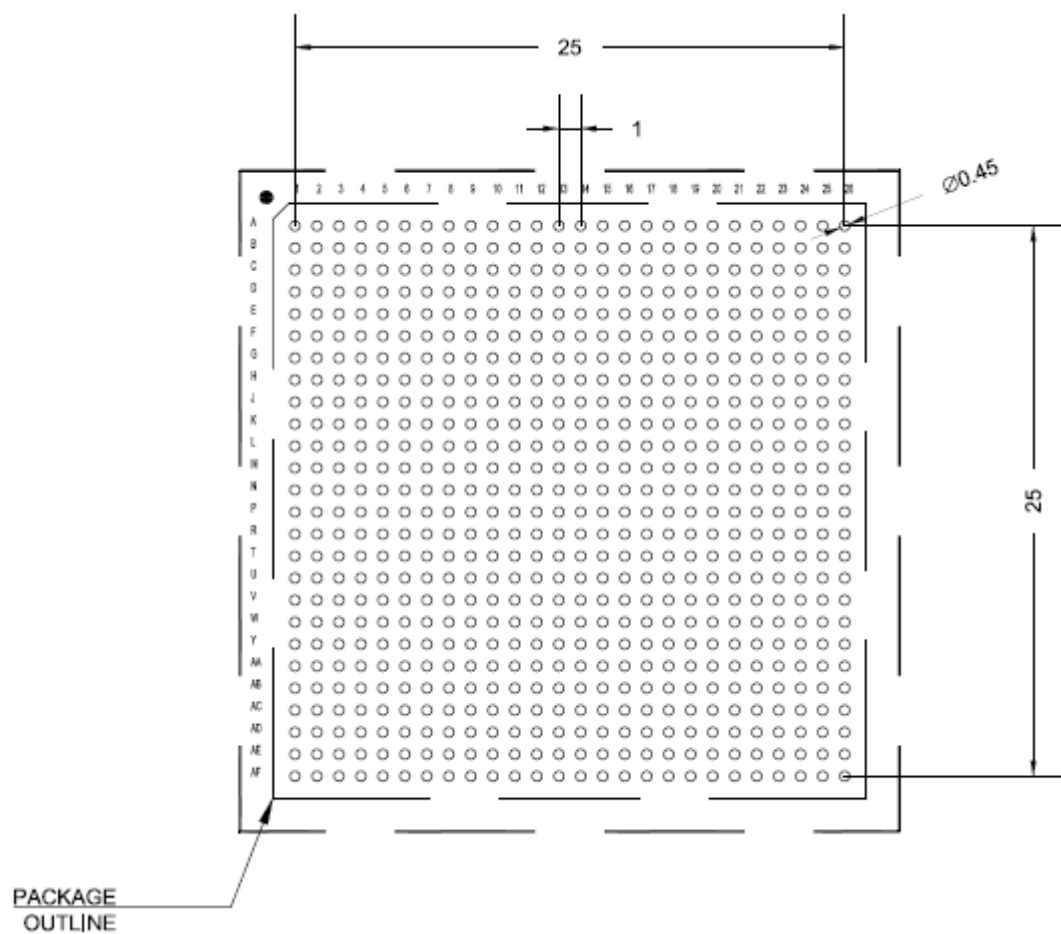
引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
N8	IO_L68N_2	AN22	IO_L76N_5	G30	IO_L03P_7/VREF_7
P8	IO_L68P_2	AN21	IO_L76P_5	F30	IO_L03N_7
N6	IO_L69N_2	AJ20	IO_L75N_5/VREF_5	K25	IO_L02P_7/VRN_7
P6	IO_L69P_2/VR EF_2	AH20	IO_L75P_5	J25	IO_L02N_7/VRP_7
P5	IO_L70N_2	AG19	IO_L74N_5	D33	IO_L01P_7
N5	IO_L70P_2	AG20	IO_L74P_5	E33	IO_L01N_7
P10	IO_L71N_2	AP24	IO_L73N_5	C4	VBATT
R10	IO_L71P_2	AP23	IO_L73P_5	C31	TDI
P3	IO_L72N_2	AL23	IO_L72N_5	D5	TDO
N3	IO_L72P_2	AL22	IO_L72P_5	D30	PROG_B
M1	IO_L73N_2	AF20	IO_L71N_5	E6	TMS
L1	IO_L73P_2	AF21	IO_L71P_5	E29	HSWAP_EN
P9	IO_L74N_2	AM24	IO_L70N_5	F7	TCK
R9	IO_L74P_2	AM23	IO_L70P_5	F28	DXN
P2	IO_L75N_2	AJ21	IO_L69N_5/VREF_5	G8	RSVD
N2	IO_L75P_2/VR EF_2	AJ22	IO_L69P_5	G27	DXP
R4	IO_L76N_2	AJ24	IO_L68N_5	AH8	CCLK
P4	IO_L76P_2	AJ23	IO_L68P_5	AH27	M0
R8	IO_L77N_2	AN24	IO_L67N_5	AJ7	DONE
T8	IO_L77P_2	AN23	IO_L67P_5	AJ28	M1
T3	IO_L78N_2	AN26	IO_L60N_5	AK6	PWRDWN_B
R3	IO_L78P_2	AN25	IO_L60P_5	AK29	M2
U12, T12, T1, R12, R11, R5, P12, P11, N12 , N11, M11, K1 , G4	VCCO_2*	AP16, AP10, AL7, AK15, A D15, AD14, A D13, AD12, A C17, AC16, A C15, AC14, A C13	VCCO_4*	M22, M21, M2 0, M19, M18, L23, L22, L2 1, L20, E20, D28, A25, A1 9	VCCO_0*
AH4, AE1, AC1 1, AB12, AB11 , AA12, AA11, Y12, Y11, Y5, W12, W1, V12	VCCO_3*	AP25, AP19, AL28, AK20, AD23, AD22, AD21, AD20, AC22, AC21, AC20, AC19, AC18	VCCO_5*	M17, M16, M1 5, M14, M13, L15, L14, L1 3, L12, E15, D7, A16, A10	VCCO_1*
AH31, AE34, A C24, AB24, AB 23, AA24, AA2 3, Y30, Y24, Y	VCCO_6*	AD24, AD11, AC23, AC12, AB22, AB21, AB20, AB19,	VCCINT	AM30, AM18, AM5, V3, U32 , C30, C17, C 5	VCCAUX

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
23, W34, W23, V23		AB18, AB17, AB16, AB15, AB14, AB13, AA22, AA13, Y22, Y13, W22, W13, V22, V13, U22, U13, T22, T13, R22, R13, P22, P13, N22, N21, N20, N19, N18, N17, N16, N15, N14, N13, M23, M12, L24, L11			
U23, T34, T23, R30, R24, R23, P24, P23, N24, N23, M24, K34, G31	VCCO_7*	AP32, AP27, AP8, AP3, AN33, AN20, AN15, AN2, AM34, AM32, AM25, AM10, AM3, AM1, AL31, AL4, AK30, AK23, AK12, AK5, AJ29, AJ6, AH28, AH21, AH14, AH7, AG34, AG27, AG8, AG1, AF19, AF16, AE32, AE3, AC30, AC5, AA28, AA21, AA20, AA19, AA18, AA17, AA16, AA15, AA14, AA7, Y33, Y21, Y20, Y19, Y18, Y17, Y16, Y15, Y14, Y2, W26, W21, W20, W19	GND		

引出端序号	符 号	引出端序号	符 号	引出端序号	符 号
		, W18, W17, W16, W15, W14, W9, V21, V20, V19, V18, V17, V16, V15, V14, U21, U20, U19, U18, U17, U16, U15, U14, T26, T21, T20, T19, T18, T17, T16, T15, T14, T9, R33, R21, R20, R19, R18, R17, R16, R15, R14, R2, P28, P21, P20, P19, P18, P17, P16, P15, P14, P7, M30, M5, K32, K3, J19, J16, H34, H27, H8, H1, G28, G21, G14, G7, F29, F6, E30, E23, E12, E5, D31, D4, C34, C32, C25, C10, C3, C1, B33, B20, B15, B2, A32, A27, A8, A3,			

4.3 焊盘推荐

焊盘推荐如下图所示，用户可根据焊接要求进行调整。



单位: mm

图 7 FG676 推荐焊盘图

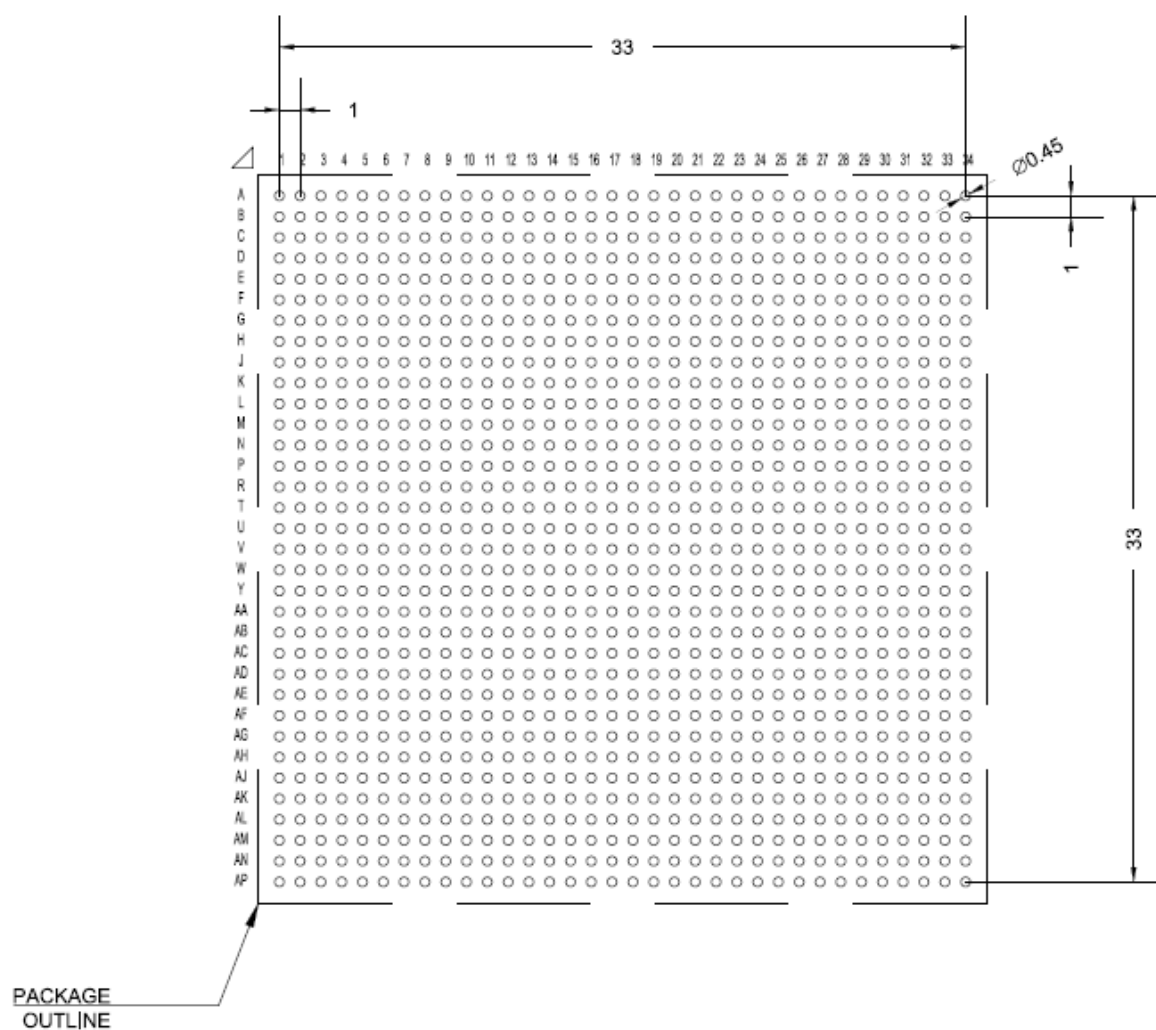


图 8 EF1152 推荐焊盘图

4.4 焊接推荐

表 6 回流焊试验条件（无铅）

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 150℃～200℃	60s～120s
熔点以上温度保持时间（回流时间）	60s～120s
低于峰值温度 5℃以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235℃，典型温度 245℃，不超过 260℃
降温速度	最大 6℃/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338 SAC305
备注	请根据选用的焊膏特性作相应的调整

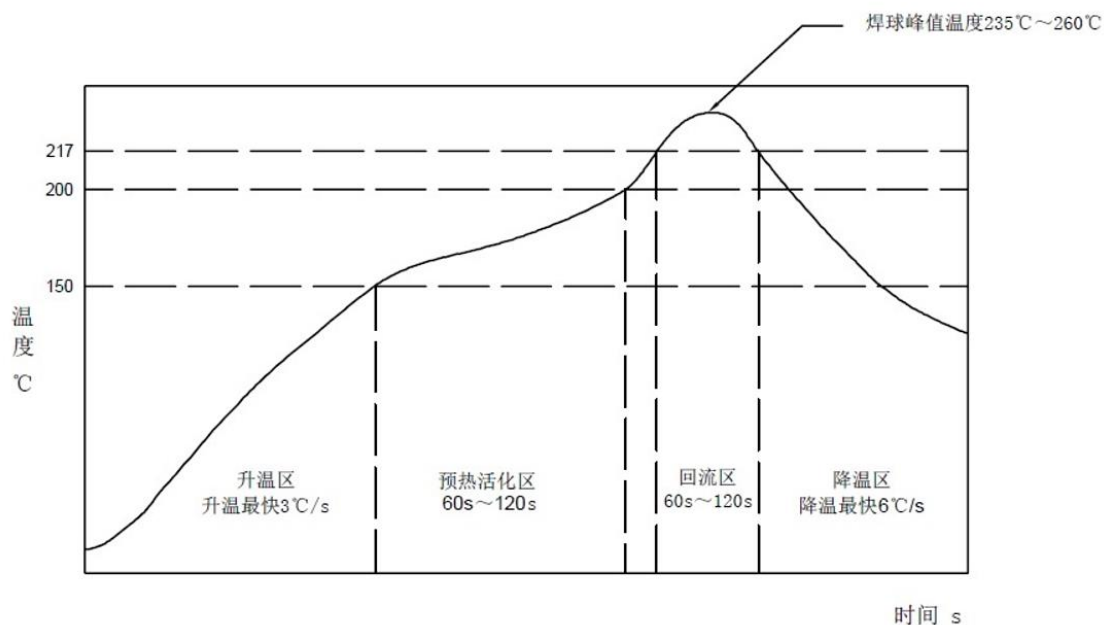


图 9 回流焊温度曲线（无铅）

表 7 回流焊试验条件（有铅）

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 120℃～160℃	60s～120s
熔点以上温度保持时间（回流时间）	60s～120s
低于峰值温度 5℃以内的保持时间	最大 30s
引脚/焊球峰值温度	最低 210℃，典型温度 218℃，不超过 225℃
降温速度	最大 5℃/s
室温到峰值温度时间	最小 3 分钟，典型值 4.5 分钟，不超过 8 分钟
备注	根据选择的焊膏特性作调整

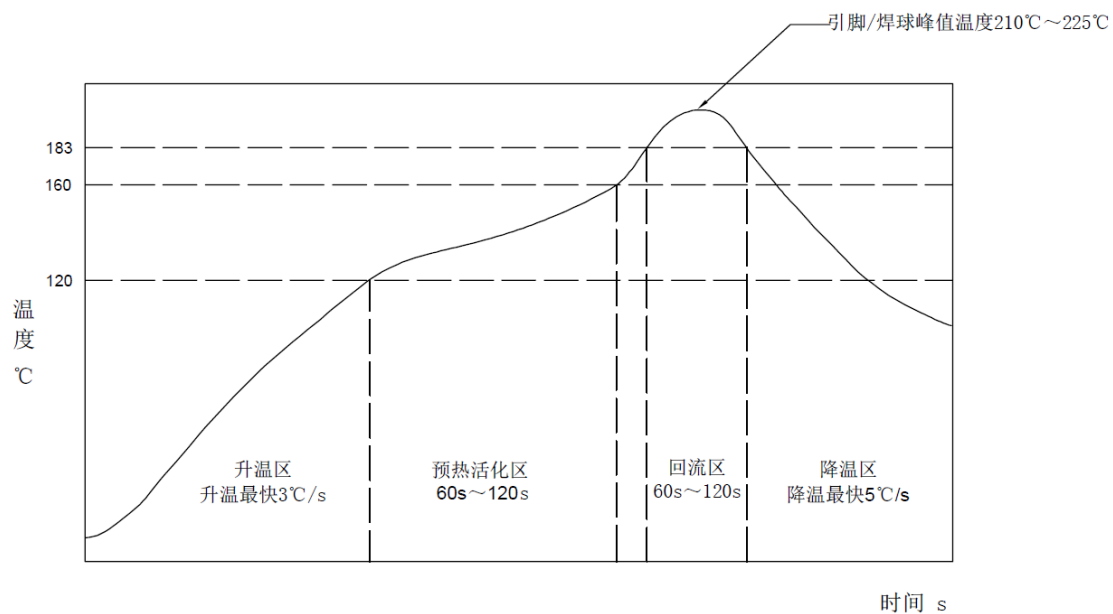


图 10 回流有铅焊料 Sn63Pb37 回流曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	内核电源电压 (V_{CCINT})	-0.5V~1.65V
2	辅助电源电压 (V_{CCAUX})	-0.5V~4.0V
3	输出驱动电源电压 (V_{CCO})	-0.5V~4.0V
4	密钥存储器电池后备电源 (V_{BATT})	-0.5V~4.0V
5	参考电压 (V_{REF})	-0.5V~ $V_{CCO} + 0.5V$
6	输入电压 (V_{IN})	-0.5V~ $V_{CCO} + 0.5V$
7	三态输出电压 (V_{TS})	-0.5V~4.0V
8	热阻系数 (θ_{JC})	4.5°C/W
9	贮存温度范围 (T_{stg})	-65°C~150°C
10	引线耐焊接温度 (T_h)	300°C
11	结温 (T_J)	175°C

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	内核电源电压 (V_{CCINT})	1.5V~1.65V
2	辅助电源电压 (V_{CCAUX})	3.135V~3.465V
3	输出驱动电源电压 (V_{CCO})	1.2V~3.6V
4	密钥存储器电池后备电源 (V_{BATT})	1.0V~3.6V
5	工作环境温度 (T_A)	-55°C~125°C

6 电特性参数

该电特性指标不同的质量等级及封装形式略有不同，具体见对应的详细规范。

表 8 电特性

特 性	符号	条 件 (除非另有规定, 1. $1.425\text{V} \leq V_{\text{CCINT}} \leq 1.575\text{V}$, 3. $1.135\text{V} \leq V_{\text{CCAUX}} \leq 3.465\text{V}$, $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$)	极限值		单位
			最小	最大	
输入低电平电压	V_{IL}	LVTTL ($V_{\text{CC0}}=3.3\text{V}$)	-0.5	0.8	V
		LVC MOS33 ($V_{\text{CC0}}=3.3\text{V}$)	-0.5	0.8	V
		LVC MOS25 ($V_{\text{CC0}}=2.5\text{V}$)	-0.5	0.7	V
		LVC MOS18 ($V_{\text{CC0}}=1.8\text{V}$)	-0.5	0.63	V
		LVC MOS15 ($V_{\text{CC0}}=1.5\text{V}$)	-0.5	0.525	V
		PCI33_3 ($V_{\text{CC0}}=3.3\text{V}$)	-0.5	0.99	V
		PCI66_3 ($V_{\text{CC0}}=3.3\text{V}$)	-0.5	0.99	V
		PCI-X ($V_{\text{CC0}}=3.3\text{V}$)	-0.5	0.99	V
输入低电平电压	V_{IL}	GTLP ($V_{\text{CC0}}=1.2\text{V}$)	-0.5	0.9	V
		GTL ($V_{\text{CC0}}=1.5\text{V}$)	-0.5	0.75	V
		HSTL I ($V_{\text{CC0}}=1.5\text{V}$)	-0.5	0.65	V
		HSTL II ($V_{\text{CC0}}=1.5\text{V}$)	-0.5	0.65	V
		HSTL III ($V_{\text{CC0}}=1.5\text{V}$)	-0.5	0.8	V
		HSTL IV ($V_{\text{CC0}}=1.5\text{V}$)	-0.5	0.8	V
		SSTL3 I ($V_{\text{CC0}}=3.3\text{V}$)	-0.5	1.3	V
		SSTL3 II ($V_{\text{CC0}}=3.3\text{V}$)	-0.5	1.3	V
		SSTL2 I ($V_{\text{CC0}}=2.5\text{V}$)	-0.5	1.1	V
		SSTL2 II ($V_{\text{CC0}}=2.5\text{V}$)	-0.5	1.1	V
		AGP ($V_{\text{CC0}}=3.3\text{V}$)	-0.5	1.12	V
输入高电平电压	V_{IH}	LVTTL ($V_{\text{CC0}}=3.3\text{V}$)	2	3.6	V
		LVC MOS33 ($V_{\text{CC0}}=3.3\text{V}$)	2	3.6	V
		LVC MOS25 ($V_{\text{CC0}}=2.5\text{V}$)	1.7	2.7	V
		LVC MOS18 ($V_{\text{CC0}}=1.8\text{V}$)	1.17	1.95	V
		LVC MOS15 ($V_{\text{CC0}}=1.5\text{V}$)	0.975	1.7	V
		PCI33_3 ($V_{\text{CC0}}=3.3\text{V}$)	1.65	3.8	V
		PCI66_3 ($V_{\text{CC0}}=3.3\text{V}$)	1.65	3.8	V
		PCI-X ($V_{\text{CC0}}=3.3\text{V}$)	1.65	3.8	V
		GTLP ($V_{\text{CC0}}=1.2\text{V}$)	1.1	1.7	V
		GTL ($V_{\text{CC0}}=1.5\text{V}$)	0.85	2	V
		HSTL I ($V_{\text{CC0}}=1.5\text{V}$)	0.85	2	V
		HSTL II ($V_{\text{CC0}}=1.5\text{V}$)	0.85	2	V
		HSTL III ($V_{\text{CC0}}=1.5\text{V}$)	1	2	V
		HSTL IV ($V_{\text{CC0}}=1.5\text{V}$)	1	2	V

特 性	符号	条 件 (除非另有规定, 1. $425\text{V} \leq V_{\text{CCINT}} \leq 1.575\text{V}$, 3. $135\text{ V} \leq V_{\text{CCAUX}} \leq 3.465\text{V}$, $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$)	极限值		单位
			最小	最大	
		SSTL3 I ($V_{\text{CC0}}=3.3\text{V}$)	1.7	3.8	V
		SSTL3 II ($V_{\text{CC0}}=3.3\text{V}$)	1.7	3.8	V
		SSTL2 I ($V_{\text{CC0}}=2.5\text{V}$)	1.4	3	V
		SSTL2 II ($V_{\text{CC0}}=2.5\text{V}$)	1.4	3	V
		AGP ($V_{\text{CC0}}=3.3\text{V}$)	1.52	3.8	V
输出低电平电压 ^a	V_{OL}	LVTTL ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OL}}=21.6\text{mA}$)	—	0.4	V
		LVC MOS33 ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OL}}=16\text{mA}$)	—	0.4	V
		LVC MOS25 ($V_{\text{CC0}}=2.5\text{V}$, $I_{\text{OL}}=20\text{mA}$)	—	0.4	V
		LVC MOS18 ($V_{\text{CC0}}=1.8\text{V}$, $I_{\text{OL}}=14.4\text{mA}$)	—	0.4	V
		LVC MOS15 ($V_{\text{CC0}}=1.5\text{V}$, $I_{\text{OL}}=14.4\text{mA}$)	—	0.4	V
		PCI33_3 ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OL}}=1.3\text{mA}$)	—	0.33	V
		PCI66_3 ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OL}}=1.3\text{mA}$)	—	0.33	V
		PCI-X ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OL}}=1.3\text{mA}$)	—	0.33	V
		GTLP ($V_{\text{CC0}}=1.2\text{V}$, $I_{\text{OL}}=31\text{mA}$)	—	0.6	V
		GTL ($V_{\text{CC0}}=1.5\text{V}$, $I_{\text{OL}}=32\text{mA}$)	—	0.4	V
输出低电平电压	V_{OL}	HSTL I ($V_{\text{CC0}}=1.5\text{V}$, $I_{\text{OL}}=6.8\text{mA}$)	—	0.4	V
		HSTL II ($V_{\text{CC0}}=1.5\text{V}$, $I_{\text{OL}}=13.5\text{mA}$)	—	0.4	V
		HSTL III ($V_{\text{CC0}}=1.5\text{V}$, $I_{\text{OL}}=20\text{mA}$)	—	0.4	V
		HSTL IV ($V_{\text{CC0}}=1.5\text{V}$, $I_{\text{OL}}=38\text{mA}$)	—	0.4	V
		SSTL3 I ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OL}}=6.8\text{mA}$)	—	0.9	V
		SSTL3 II ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OL}}=13.5\text{mA}$)	—	0.7	V
		SSTL2 I ($V_{\text{CC0}}=2.5\text{V}$, $I_{\text{OL}}=6.5\text{mA}$)	—	0.6	V
		SSTL2 II ($V_{\text{CC0}}=2.5\text{V}$, $I_{\text{OL}}=13\text{mA}$)	—	0.45	V
		AGP ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OH}}=1.3\text{mA}$)	—	0.33	V
输出高电平电压	V_{OH}	LVTTL ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OH}}=-21.6\text{mA}$)	2.4	—	V
		LVC MOS33 ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OH}}=-16\text{mA}$)	2.9	—	V
		LVC MOS25 ($V_{\text{CC0}}=2.5\text{V}$, $I_{\text{OH}}=-18\text{mA}$)	2.1	—	V
		LVC MOS18 ($V_{\text{CC0}}=1.8\text{V}$, $I_{\text{OH}}=-13\text{mA}$)	1.4	—	V
		LVC MOS15 ($V_{\text{CC0}}=1.5\text{V}$, $I_{\text{OH}}=-13\text{mA}$)	1.1	—	V
		PCI33_3 ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OH}}=-0.35\text{mA}$)	2.97	—	V
		PCI66_3 ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OH}}=-0.4\text{mA}$)	2.97	—	V
		PCI-X ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OH}}=-0.4\text{mA}$)	2.97	—	V
		HSTL I ($V_{\text{CC0}}=1.5\text{V}$, $I_{\text{OH}}=-6.8\text{mA}$)	1.1	—	V
		HSTL II ($V_{\text{CC0}}=1.5\text{V}$, $I_{\text{OH}}=-13.5\text{mA}$)	1.1	—	V
		HSTL III ($V_{\text{CC0}}=1.5\text{V}$, $I_{\text{OH}}=-5.7\text{mA}$)	1.1	—	V
		HSTL IV ($V_{\text{CC0}}=1.5\text{V}$, $I_{\text{OH}}=-5.7\text{mA}$)	1.1	—	V
		SSTL3 I ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OH}}=-6.5\text{mA}$)	2.1	—	V
		SSTL3 II ($V_{\text{CC0}}=3.3\text{V}$, $I_{\text{OH}}=-13\text{mA}$)	2.3	—	V
		SSTL2 I ($V_{\text{CC0}}=2.5\text{V}$, $I_{\text{OH}}=-6.5\text{mA}$)	1.9	—	V

特 性	符号	条 件 (除非另有规定, 1. $425V \leq V_{CCINT} \leq 1.575V$, 3. $135 V \leq V_{CCAUX} \leq 3.465V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	极限值		单位
			最小	最大	
		SSTL2 II ($V_{CC0} = 2.5V$, $I_{OH} = -13mA$)	2.05	—	V
		AGP ($V_{CC0} = 3.3V$, $I_{OH} = -0.40mA$)	2.97	—	V
静态 V_{CCINT} 电源电流	I_{CCINQ}	没有输出电流负载并且没有有效的上拉电阻, 所有的 I/O 是三态或悬空的	—	1500	mA
静态 V_{CC0} 电源电流	I_{CCOQ}		—	6.25	mA
静态 V_{CCAUX} 电源电流	I_{CCAUXQ}		—	105	mA
数据保留 V_{CCINT} 电压	V_{DRINT}		1.2	—	V
数据保留 V_{CCAUX} 电压	V_{DRI}		2.5	—	V
参考电压 V_{REF} 电流	I_{REF}	每个单独的 BANK	-10	+10	μA
输入漏电流	I_{IL}		-10	+10	μA
管脚上拉电流 (当选用时)	I_{RPU}	$V_{IN} = 0V$, $V_{CC0} = 3.3V$	—	350	μA
管脚下拉电流 (当选用时)	I_{RPD}	$V_{IN} = 3.6V$	—	350	μA
电池电源电流	I_{BATT}	$V_{BATT} = 3V$	—	100	nA

表 9 LDT 差分驱动器 DC 指标

DC 参数	符号	条件	最小值	典型值	最大值	单位
差分输出电压	V_{OD}	$R_T = 100 \Omega$ 跨接 Q 和 QB	500	600	700	mV
输出共模电压	V_{OCM}	$R_T = 100 \Omega$ 跨接 Q 和 QB	560	600	640	mV
输入差分电压	V_{ID}	—	200	600	1000	mV
输入共模电压	V_{ICM}	—	500	600	700	mV

表 10 LVDS DC 特性 (LVDS_33 & LVDS_25)

DC 参数	符号	条件	最小值	典型值	最大值	单位
供电电压	V_{CC0}			3.3 or 2.5		V
输出高电压	V_{OH}	$R_T = 100 \Omega$ 跨接 Q 和 QB			1.575	V
输出低电压	V_{OL}	$R_T = 100 \Omega$ 跨接 Q 和 $\overline{Q}$	0.925			V
差分输出电压	V_{ODIFF}	$R_T = 100 \Omega$ 跨接 Q 和 $\overline{Q}$	250	350	400	
共模输出电压	V_{OCM}	$R_T = 100 \Omega$ 跨接 Q 和 $\overline{Q}$	1.125	1.2	1.375	V
差分输入电压	V_{IDIFF}	共模输入电压=1.25 V	100	350	N/A	mV
共模输入电压	V_{ICM}	差分输入电压=±350 mV	0.2	1.25	$V_{CC0} - 0.5$	V

表 11 Extended LVDS DC 特性

DC 参数	符号	条件	最小值	典型值	最大值	单位
供电电压	V_{CC0}			3.3 or 2.5		V
输出高电压	V_{OH}	$R_T = 100 \Omega$ 跨接 Q 和 QB			1.785	V

的输出低电压	V_{OL}	$R_T = 100\ \Omega$ 跨接 Q 和 QB	0.705			V
差分输出电压	V_{ODIFF}	$R_T = 100\ \Omega$ 跨接 Q 和 QB	440		820	mV
共模输出电压	V_{OCM}	$R_T = 100\ \Omega$ 跨接 Q 和 QB	1.125	1.200	1.375	V
差分输入电压	V_{IDIFF}	共模输入电压=1.25 V	100	350	N/A	
共模输入电压	V_{ICM}	差分输入电压=±350 mV	0.2	1.25	$V_{CC0} - 0.5$	V

表 12 LVPECL DC 特性

DC 参数	最小值	最大值	最小值	最大值	最小值	最大值	单位
V_{CC0}	3.0		3.3		3.6		V
V_{OH}	1.8	2.11	1.92	2.28	2.13	2.41	V
V_{OL}	0.96	1.27	1.06	1.43	1.30	1.57	V
V_{TH}	1.49	2.72	1.49	2.72	1.49	2.72	V
V_{TL}	0.86	2.125	0.86	2.125	0.86	2.125	V
差分输入电压	0.3	–	0.3	–	0.3	–	V

表 13 JTAG 测试进程端口开关特性

特性	符号	条 件 (除非另有规定, 1. $425\text{V} \leq V_{\text{CCINT}} \leq 1.575\text{V}$, 3. $135\text{V} \leq V_{\text{CCAUX}} \leq 3.465\text{V}$, $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$)	最小值	最大值	单位
在 TCK 之前 TMS 和 TDI 的建立时间	t_{TAPTK}		—	7	ns
在 TCK 之后 TMS 和 TDI 的保持时间	t_{TCKTAP}		—	1.0	ns
从时钟 TCK 到输出 TDO 的输出延迟	t_{TCKTDO}		—	10.0	ns
最大 TCK 时钟频率	f_{TCK}		—	33	MHz

表 14 带 DCM 的全局时钟输入到数据输出的延时 (LVTTTL/FAST/12mA)

特性	符号	条 件 (除非另有规定, 1. $425\text{V} \leq V_{\text{CCINT}} \leq 1.575\text{V}$, 3. $135\text{V} \leq V_{\text{CCAUX}} \leq 3.465\text{V}$, $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$)	最小值	最大值	单位
通过输出寄存器全局时钟到输出的延迟	t_{ICKOFDCM}	快模式、LVTTTL 电平、使用 DCM	—	6.00	ns

表 15 不带 DCM 的全局时钟输入到数据输出的延时 (LVTTTL/FAST/12mA)

特性	符号	条 件 (除非另有规定, 1. $425\text{V} \leq V_{\text{CCINT}} \leq 1.575\text{V}$, 3. $135\text{V} \leq V_{\text{CCAUX}} \leq 3.465\text{V}$, $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$)	最小值	最大值	单位
通过输出寄存器全局时钟到输出的延迟	t_{ICKOF}	快模式、LVTTTL 电平、不使用 DCM	—	9.00	ns

表 16 带 DCM、LVTTTL 电平标准的输入相对于全局时钟的建立时间和保持时间

特性	符号	条 件 (除非另有规定, $1.425V \leq V_{CCINT} \leq 1.575V$, $3.135V \leq V_{CCAUX} \leq 3.465V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	最小值	最大值	单位
输入相对于全局时钟输入的建立/保持时间, 输入信号使用 LVTTTL 标准。					
输入无延迟, 通过输入触发器 IFF, 使用全局时钟, 带 DCM	t_{PSDCM}	不用延迟模块、LVTTTL 电平、使用 DCM	—	2.10	ns
	t_{PHDCM}		0.00	—	ns

表 17 带 DCM、LVTTTL 电平标准的输入相对于全局时钟的建立时间和保持时间

特性	符号	条 件 (除非另有规定, $1.425V \leq V_{CCINT} \leq 1.575V$, $3.135V \leq V_{CCAUX} \leq 3.465V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	最小值	最大值	单位
输入相对于全局时钟输入的建立/保持时间, 输入信号使用 LVTTTL 标准。					
输入无延迟, 通过输入触发器 IFF, 使用全局时钟, 不带 DCM	t_{PSFD}	使用延迟模块、LVTTTL 电平、不使用 DCM	—	2.21	ns
	t_{PHFD}		1	0	ns

表 18 DCM 工作频率范围

特性	符号	条 件 (除非另有规定, 1. $425V \leq V_{CCINT} \leq 1.575V$, 3. $135V \leq V_{CCAUX} \leq 3.465V$, $V_{CC0}=3.3V$ $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	最小值	最大 值	单位
输出时钟（低频模式） ^a					
CLK0, CLK90, CLK180, CLK270	CLKOUT_FREQ_1X_LF_Min		24.00	—	MHz
	CLKOUT_FREQ_1X_LF_Max		—	180.00	MHz
CLK2X, CLK2X180	CLKOUT_FREQ_2X_LF_Min		48.00	—	MHz
	CLKOUT_FREQ_2X_LF_Max		—	360.00	MHz
CLKDV	CLKOUT_FREQ_DV_LF_Min		1.50	—	MHz
	CLKOUT_FREQ_DV_LF_Max		—	120.00	MHz
输出时钟（低频模式） ^a					
CLKFX, CLKFX180	CLKOUT_FREQ_FX_LF_Min		24.00	—	MHz
	CLKOUT_FREQ_FX_LF_Max		—	210.00	MHz
输入时钟（低频模式）					
CLKIN（使用 DLL 输出） ^{b c}	CLKIN_FREQ_DLL_LF_Min		24.00	—	MHz
	CLKIN_FREQ_DLL_LF_Max		—	180.00	MHz
CLKIN（使用 CLKFX 输出） ^c	CLKIN_FREQ_FX_LF_Min		1.00	—	MHz
	CLKIN_FREQ_FX_LF_Max		—	210.00	MHz
输出时钟（高频模式） ^a					
CLK0, CLK180	CLKOUT_FREQ_1X_HF_Min		48.00	—	MHz
	CLKOUT_FREQ_1X_HF_Max		—	360.00	MHz
CLKDV	CLKOUT_FREQ_DV_HF_Min		3.00	—	MHz
	CLKOUT_FREQ_DV_HF_Max		—	240.00	MHz
CLKFX, CLKFX180	CLKOUT_FREQ_FX_HF_Min		210.00	—	MHz
	CLKOUT_FREQ_FX_HF_Max		—	270.00	MHz
输入时钟（高频模式）					
CLKIN(使用 DLL 输出) ^b	CLKIN_FREQ_DLL_HF_Min		48.00	—	MHz
	CLKIN_FREQ_DLL_HF_Max		—	360.00	MHz
CLKIN(使 用 CLKFX 输出) ^{b c}	CLKIN_FRQ_FX_HF_Min		50.00	—	MHz
	CLKIN_FRQ_FX_HF_Max		—	270.00	MHz
^a 时钟输出信号经过内部开关矩阵为最少。 ^b “使用 DLL 输出”描述的是输出：CLK0, CLK90, CLK180, CLK270, CLK2X, CLK2X180 和 CLKDV。 ^c 如果 DCM 的属性 CLKIN_DIVIDE_BY_2 使用的话，那么这些值乘以 2。					

7 功能描述

HWD2V6000 FPGA 结构灵活、有序，主要由可编程逻辑模块（CLB）阵列、外围输入/输出模块（IOB）以及多层次快速互连布线资源（IR）构成。其它的模块还有乘法器、RAM 块、数字时钟管理等模块。丰富的布线

资源使得 HWD2V6000 适应于更大、更复杂的设计。

HWD2V6000 是基于 SRAM，通过装载编程数据到内部的存储单元来自定义用户功能。在一些模式中，FPGA 从其外挂的 PROM 中读入编程数据（如：主串模式）。或者，编程数据写入 FPGA 是通过如下几种模式：主 Select-MAP 模式、从 Select-MAP 模式、主串模式、从串模式和 JTAG 模式。

7.1 FPGA 阵列结构

HWD2V6000 结构如下图所示，器件包括了 I/O 模块和内部配置逻辑块。I/O 模块提供了封装端口和内部逻辑的信号连接，而且支持大多数流行的或比较前沿的 I/O 标准。

内部配置逻辑又包括四个主要的规整排列的单元。

- CLB 提供组合和时序逻辑功能，包括基本的存储单元。每个 CLB 单元都与三态 BUFFER 。
- 相连使得 CLB 能够直接驱动专用的分段式水平布线资源。
- BLOCK SelectRAM 模块提供双端口 18kbit 存储单元。
- 乘法器模块实现 18×18 专用乘法器。
- 数字时钟管理（DCM）模块支持自校准，时钟分布延迟补偿的全数字解决方案，时钟分倍频，时钟相移粗细调节。

新一代可编程逻辑布线资源（又叫互连技术）互连所有的可配置单元。全局布线矩阵是一个布线开关矩阵。每个可编程单元都附有一个开关矩阵实现多路连接。全部可编程连接都基于层次式的以支持高速设计。

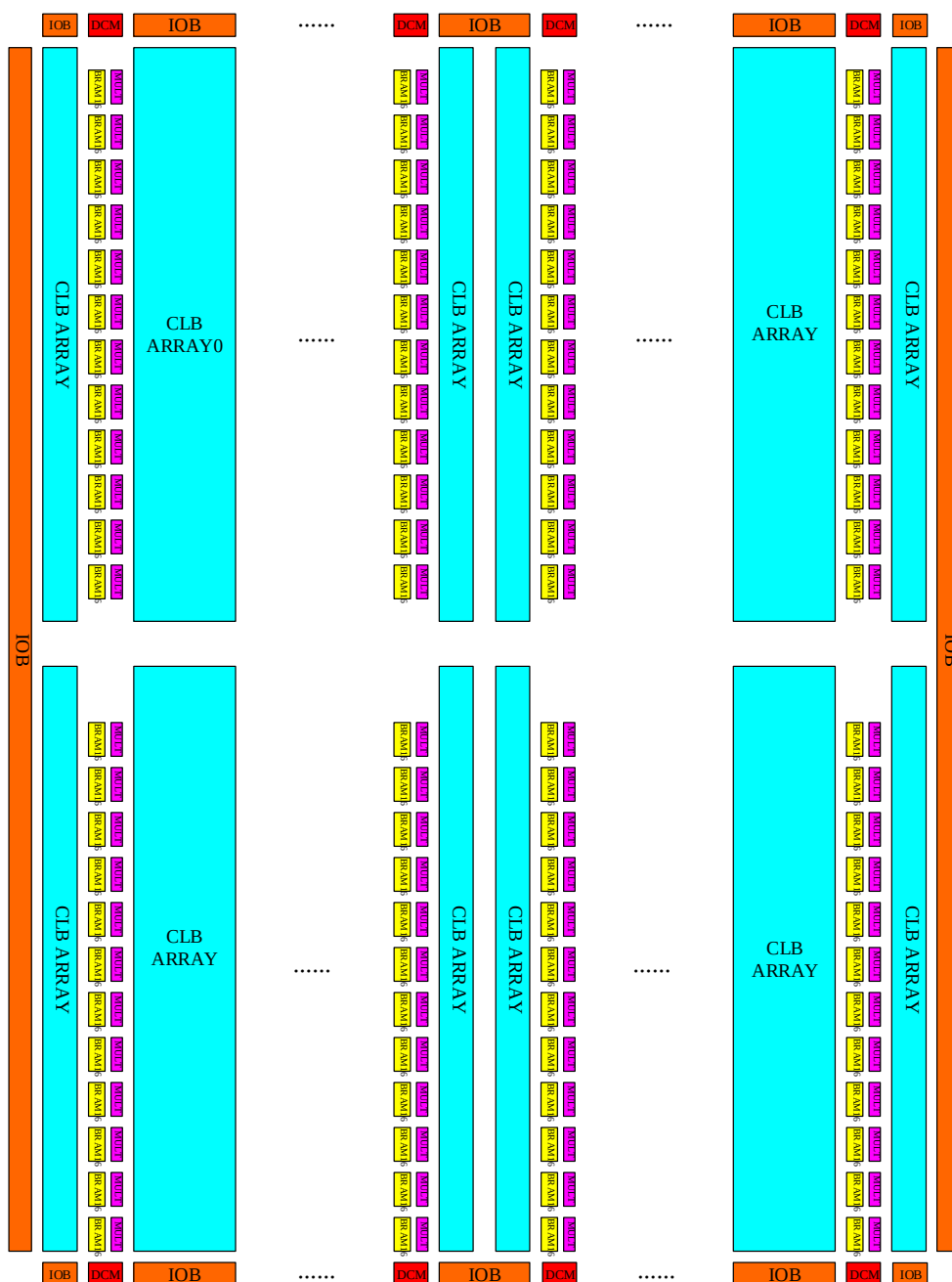


图 11 HWD2V6000 FPGA 结构视图

所有的可编程单元都受到 SRAM 值的控制，这些值在配置的时候载入 SRAM 单元中并且能够重新载入以改变逻辑功能。

7.2 功能模块

7.2.1 IOB

输入输出模块又可以分为三类：

- 输入模块，包括单数据率 SDR 或者双数据率 DDR 寄存器。
- 输出模块，包括 SDR 或者 DDR 寄存器和一个可选的三态 BUFFER，支持直接驱动或通过寄存器驱动
- 双向输入输出端口

这些触发器都支持边沿触发或者水平锁存功能。

IOBs 支持下列 I/O 标准：

- LVTTTL, LVCMOS (3.3V, 2.5V, 1.8V, and 1.5V)
- PCI-X compatible (133 MHz and 66 MHz) at 3.3V
- PCI compliant (66MHz and 33MHz) at 3.3V
- CardBus compliant (33MHz) at 3.3V
- GTL and GTLP
- HSTL (Class I, II, III, and IV)
- SSTL (3.3V and 2.5V, Class I and II)
- AGP-2X

数字控制阻抗 (DCI) 的 I/O 特征自动为每个 IO 单元提供一个片内终端。同样，IO 单元也支持不同的信号标准：

- LVDS
- BLVDS (Bus LVDS)
- ULVDS
- LDT
- LVPECL

两个相邻的 PAD 用来实现一个差分对，2 个或 4 个 IOB 模块连接到一个开关矩阵以接入内部布线资源。

7.2.2 CLB

一个 CLB 资源包括 4 个 SLICES 和两个三态 buffers，每个 slices 又包括如下资源：

- 两个函数发生器 (LUT)
- 两个存储单元
- 算术逻辑门
- 乘法器
- 宽位函数实现
- 快速超前进位链
- 平行级联链 (OR 门)

函数发生器 F&G 可以实现四输入查找表 (LUT)，16bit 移位寄存器或者 16bit 分布式 RAM 存储器。另外，两个存储单元都支持边沿出发触发器或者电平锁存器。每个 CLB 还包括内部快速互连线和开关矩阵连接线以接入通用布线资源。

7.2.3 BRAM

BRAM 是 18kb 的双口 RAM，可以配置成不同深度和宽度的 $16k \times 1$ 到 512×36 bit 存储器。每个端口都可以利用时钟同步或者独立控制，支持“同时读写”模式。BRAM 能够实现大规模的嵌入式存储单元块，下表罗列了支持的双口或者单口配置模式。

表 19：双端口和单端口配置

16K x 1 bit	2K x 9 bits
8K x 2 bits	1K x 18 bits
4K x 4 bits	512 x 36 bits

每个 BRAM 存储单元都与乘法器相连，乘法器模块是专用的能够实现 18×18 bit 乘法器，它基于单口 BRAM 内容进行了优化。乘法器可以独立利用 BRAM 资源，在实现乘加等 DSP 运算时特别有效。

7.2.4 全局时钟

DCM 和全局时钟选择缓冲器提供一个高速时钟方案。

HWD2V6000 拥有高达 12 个 DCM 模块，为了产生一个低偏斜的内部或外部时钟，每个 DCM 都可以用来消除时钟分布延迟。DCM 也可以提供 90, 180, 270 度的相移输出时钟。精确的相移实现了高性能的相位调整，每个时钟周期的相移步进达到 $1/256$ 。灵活的时钟综合技术实现了输出时钟和输入时钟任意 M/D 比率。

HWD2V6000 提供 16 个全局时钟 MUX，每个区有 8 个时钟线。每个全局时钟 MUX 能够对输入时钟进行二选一，并输出无干扰的时钟。每个 DCM 模块都能够驱动 16 个全局时钟 MUX 的四个。

7.2.5 布线资源

IOB, CLB, block selectRAM, 乘法器和 DCM 都采用同样的互连方案，接入同样全局布线矩阵。对于布线资源包括 16 个全局时钟线，每个区可以利用 8 个。另外每行每列有 24 条水平和垂直长线，以及大量的双长线和本地互连资源实现了快速互连。HWD2V6000 互连受到网线输出和互连布局的影响较小。每行每列的布线包括以下资源：

- 24 条长线
- 120 条 6 线 (hex lines)
- 40 条双长线
- 16 条直接互连线

7.2.6 配置

HWD2V6000 支持以下配置模式：

- 从串模式
- 主串模式
- 从 SelectMAP 模式
- 主 SelectMAP 模式
- 边界扫描模式（JTAG）

内嵌数据加密标准解释器以保证比特流数据的安全，可以选择利用一个或两个三重 DES 密钥设置以加密配置信息。

用编程模式管脚（M2，M1，M0）来选择编程的模式。在每种情况之下，都要使 IOB 的管脚在编程之前上拉或悬空。模式选择编码列于表 20 中。

表 20 编程模式编码表

编程模式	M2	M1	M0	CCLK 方向	数据宽度	串出 Dout
主串模式	0	0	0	Out	1	Yes
从串模式	1	1	1	In	1	Yes
主 SelectMAP 模式	0	1	1	Out	8	No
从 SelectMAP 模式	1	1	0	In	8	No
边界扫描模式	1	0	1	N/A	1	No

7.2.7 回读和集成逻辑分析器

支持回读和验证配置数据，不仅配置数据，触发器/锁存器，分布 RAM, BRAM 资源的数据内容都可以回读，以支持实时调试。

内部集成逻辑分析器模块（ILA），通过软件支持完整的接入和验证 HWD2V6000 的解决方案。

7.3 功能详细描述

7.3.1 输入输出模块（IOBs）

每个 IOB 可以作为输入或输出单端 IO，也可以两个 IOB 组合作为差分对使用。一个差分对 IOBs 通常接入同一个开关矩阵，如图 2

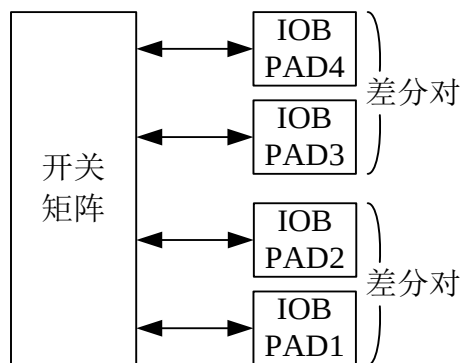


图 12 输入/输出 Tile

IOB 的设计可以实现高性能的 I/Os，支持 19 种单端标准，以及 LVDS, LDT, 总线 LVDS 和 LVPECL 标准。

➤ 支持的 IO 标准

IOB 支持不同的 I/O 信号标准。除了核心电压 $V_{CCINT}=1.5V$ ，输出驱动电压 V_{CCO} 依赖于特定的电压标准（见下表）。当然，不管什么样的 IO 标准，都需要一个辅助的供电电压 $V_{CCAUX}=3.3V$ 。详细的电压范围见输入输出的直流特性章节。

所有的用户 IOB 都利用固定钳位二极管接到 V_{CCO} 和 GND。当用来作为输出的时候，这些 IOB 不兼容 5V I/O 标准。但用来作为输入的时候，虽然这些 IOB 不是耐 5V 电压的，但是可以利用一个外部限流电阻实现 5V I/O 标准。

表 21 支持单端口 I/O 标准

IO 标准属性	输出 V_{CCO}	输入 V_{CCO}	输入 V_{REF}	板级终端电压 (V_{TT})
LVTTL	3.3	3.3	N/R ₍₂₎	N/R
LVC MOS33	3.3	3.3	N/R	N/R
LVC MOS25	2.5	2.5	N/R	N/R
LVC MOS18	1.8	1.8	N/R	N/R
LVC MOS15	1.5	1.5	N/R	N/R
PCI33_3	3.3	3.3	N/R	N/R
PCI66_3	3.3	3.3	N/R	N/R
PCI-X	3.3	3.3	N/R	N/R
GTL	(1)	(1)	0.8	1.2
GTLP	(1)	(1)	1.0	1.5
HSTL_I	1.5	N/R	0.75	0.75
HSTL_II	1.5	N/R	0.75	0.75
HSTL_III	1.5	N/R	0.9	1.5

I/O 标准属性	输出 V_{CC0}	输入 V_{CC0}	输入 V_{REF}	板级终端电压 (V_{TT})
HSTL_IV	1.5	N/R	0.9	1.5
HSTL_I_18	1.8	N/R	0.9	0.9
HSTL_II_18	1.8	N/R	0.9	0.9
HSTL_III_18	1.8	N/R	1.1	1.8
HSTL_IV_18	1.8	N/R	1.1	1.8
SSTL18_I ⁽²⁾	1.8	N/R	0.9	0.9
SSTL18_II	1.8	N/R	0.9	0.9
SSTL2_I	2.5	N/R	1.25	1.25
SSTL2_II	2.5	N/R	1.25	1.25
SSTL3_I	3.3	N/R	1.5	1.5
SSTL3_II	3.3	N/R	1.5	1.5
AGP-2X/AGP	3.3	N/R	1.32	N/R

表 22 支持差分信号 I/O 标准

I/O 标准	输出 V_{CC0}	输入 V_{CC0}	输入 V_{REF}	输出 V_{OD}
LVPECL_33	3.3	N/R	N/R	0.490 – 1.220
LDT_25	2.5	N/R	N/R	0.500 – 0.700
LVDS_33	3.3	N/R	N/R	0.250 – 0.400
LVDS_25	2.5	N/R	N/R	0.250 – 0.400
LVDSEXT_33	3.3	N/R	N/R	0.440 – 0.820
LVDSEXT_25	2.5	N/R	N/R	0.440 – 0.820
BLVDS_25	2.5	N/R	N/R	0.250 – 0.450
ULVDS_25	2.5	N/R	N/R	0.500 – 0.700

下表罗列了利用数字控制阻抗功能的 I/O 标准。

表 23 支持 DCI I/O 标准

I/O 标准	输出 V_{CC0}	输入 V_{CC0}	输入 V_{REF}	终端类型
LVDCI_33	3.3	3.3	N/R	Series
LVDCI_DV2_33	3.3	3.3	N/R	Series
LVDCI_25	2.5	2.5	N/R	Series
LVDCI_DV2_25	2.5	2.5	N/R	Series
LVDCI_18	1.8	1.8	N/R	Series

I/O 标准	输出 V_{CCO}	输入 V_{CCO}	输入 V_{REF}	终端类型
LVDCI_DV2_18	1.8	1.8	N/R	Series
LVDCI_15	1.5	1.5	N/R	Series
LVDCI_DV2_15	1.5	1.5	N/R	Series
GTL_DCI	1.2	1.2	0.8	Single
GTL_P_DCI	1.5	1.5	1	Single
HSTL_I_DCI	1.5	1.5	0.75	Split
HSTL_II_DCI	1.5	1.5	0.75	Split
HSTL_III_DCI	1.5	1.5	0.9	Single
HSTL_IV_DCI	1.5	1.5	0.9	Single
HSTL_I_DCI_18	1.8	1.8	0.9	Split
HSTL_II_DCI_18	1.8	1.8	0.9	Split
HSTL_III_DCI_18	1.8	1.8	1.1	Single
HSTL_IV_DCI_18	1.8	1.8	1.1	Single
SSTL18_I_DCI	1.8	1.8	0.9	Split
SSTL18_II_DCI	1.8	1.8	0.9	Split
SSTL2_I_DCI	2.5	2.5	1.25	Split
SSTL2_II_DCI	2.5	2.5	1.25	Split
SSTL3_I_DCI	3.3	3.3	1.5	Split
SSTL3_II_DCI	3.3	3.3	1.5	Split
LVDS_25_DCI	2.5	2.5	N/R	Split
LVDSEXT_25_DCI	2.5	2.5	N/R	Split

注₍₁₎:GTP 或 GTLP 的 VCCO 不应低于终端电压或 IO 焊盘上的电压。.

注₍₂₎: N/R = no requirement。

➤ 逻辑资源

IOB 包括了 6 个存储单元，如下图所示：

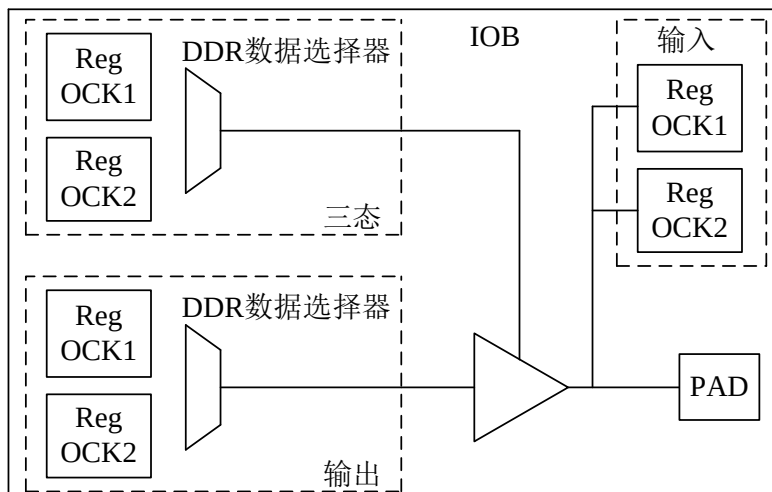


图 13 IOB Block

每个存储单元都可以配置成为边沿触发器和电平锁存器，在输入输出或者三态路径上，使用一个或者两个 DDR 寄存器。

DDR 通过每条路径上的两个寄存器实现，这个寄存器受到两个不同时钟线的时钟边沿控制，这些不同时钟线上的时钟由 DCM 产生而且必须有 180 度的相差。如下图所示：

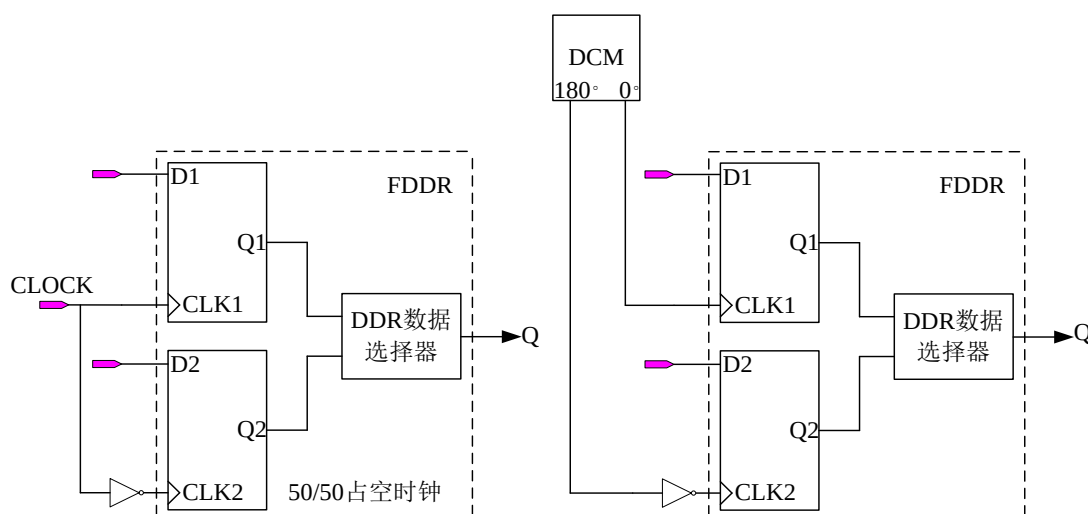


图 14 双速率寄存器

DDR 的机理如上图所示，实际上，这种结构可以用来将时钟复制并镜像。这对于产生一个相同延迟的时钟特别有用。当然，也可以用来产生不同的时钟，以满足只有一个驱动时钟但是有多个时钟负载的应用。

每组两个寄存器都有时钟使能信号，使能信号默认为高电平。如果使能信号没有连接，那么该寄存器单元的使能默认是激活状态。

每个 IOB 都具有同步和异步置位和复位端（set, reset）。而且 reset 信号要优先 set 信号。寄存器在

配置或全局初始化后的初始态由 INIT0 和 INIT1 决定。默认情况下，INIT0 为 0，INIT1 为 1（即寄存器初始态为 0）。

每个存储单元都可以配置为如下模式：

- 无 set 和 reset
- 同步 set
- 同步 reset
- 同步 set 和 reset
- 异步 set
- 异步 reset
- 异步 set 和 reset

同步 reset 优先于 set，异步清零（clear）优先于异步 set。

- 输入输出选项

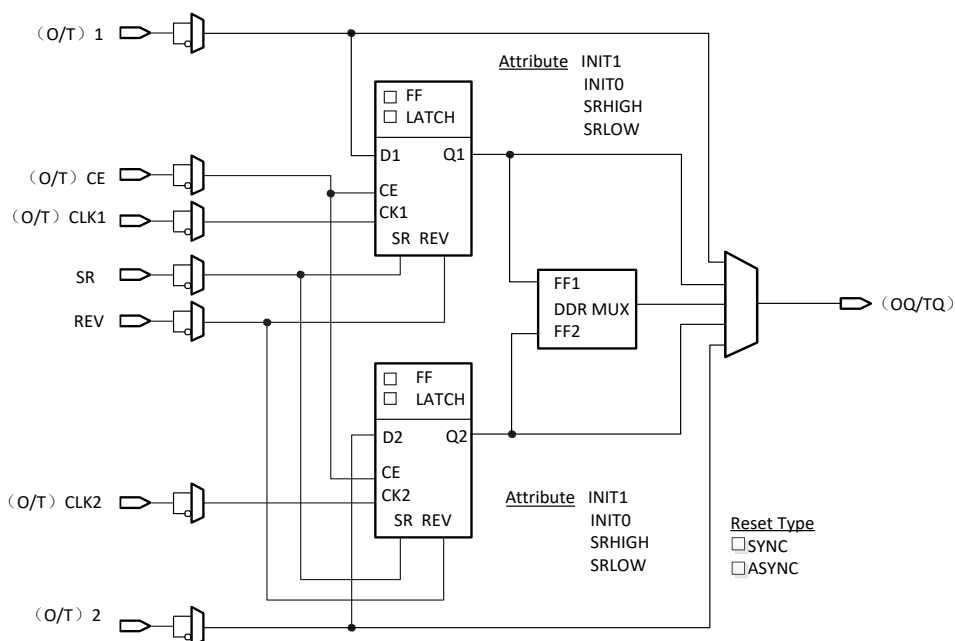


图 15 寄存器/锁存器配置框图

每个 IOB 都有可以选择的上拉和下拉配置，在 LVTTTL, LVCMOS 和 PCI 配置中每个器件都可以选择弱保持电路（weak-keeper）。如下图所示，上拉或下拉电阻的值在 10-60k 之间。即使没有供电，钳位二极管也是一直存在的。

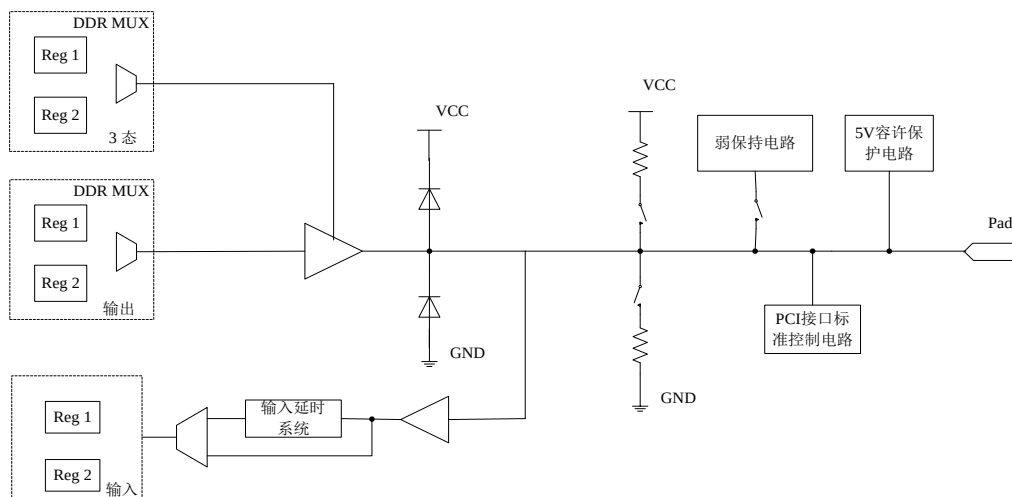


图 16 输入输出模块

每个用户 I/O 上都有可选的弱保持电路，电路检测端口电压并保持端口高低电平的弱驱动。如果端口连接多路信号源，当所有驱动都失效的时候，弱保持电路就保持信号在它最近的一个状态。通过这种方式保持一个有效逻辑电平能够消除总线信号抖动。当然，如果上拉或下拉电阻有效则弱保持电路无效。

LVTTL 电流高达 24mA。对于 LVTTL 和 LVCMOS 标准来说，电流是可以编程的。每个输出驱动都有驱动强度和摆率控制以减少总线瞬态现象，对于 LVDCI 和 LVDCI_DV2 标准，就没有驱动强度和摆率控制。

表 24 LVTTL 和 LVCMOS 可编程电流 (Sink and Source)

SelectI/O-Ultra	可编程电流 (Worst-Case Guaranteed Minimum)						
LVTTL	2mA	4mA	6mA	8mA	12mA	16mA	24mA
LVCMOS33	2mA	4mA	6mA	8mA	12mA	16mA	24mA
LVCMOS25	2mA	4mA	6mA	8mA	12mA	16mA	24mA
LVCMOS18	2mA	4mA	6mA	8mA	12mA	16mA	N/A
LVCMOS15	2mA	4mA	6mA	8mA	12mA	16mA	N/A

所有的端口都要具有 ESD 保护和瞬态过压保护。HWD2V6000 利用两个存储单元来配置成为输入单元，以减少在太空应用中单粒子翻转 SEU 使得输入变成输出的概率。没有配置成输出的端口都强制设为高阻态。这时候，下拉电阻和弱保持电路无效。专用端口 HSWAP_EN 控制上拉电阻优先于配置。默认情况下，HSWAP_EN 信号设置为高，此时用户 I/O 的上拉电阻无效，当 HSWAP_EN 为低时，用户 I/O 上拉电阻被激活。

➤ 输入通路

信号通过输入端口可以直接输入或者通过触发器，DDR 输入触发器到内部逻辑。利用可选延迟单元可以减少端到端保持时间。该延迟匹配内部时钟分布延迟，保证端到端保持时间为零。

每个输入 BUFFER 都可以配置以满足低电压信号标准。在一些标准中需要利用到用户提供的参考电压

Vref。

➤ 输出通路

信号通过输出端口可以直接三态输出或者通过三态触发器，DDR 三态输出触发器到外部。每个输出驱动都可以独立的编程以满足不同的低电压信号标准。在大多数信号标准中，输出的高电平依赖于外部 I/O 供电电压 VCC0。

➤ I/O 组

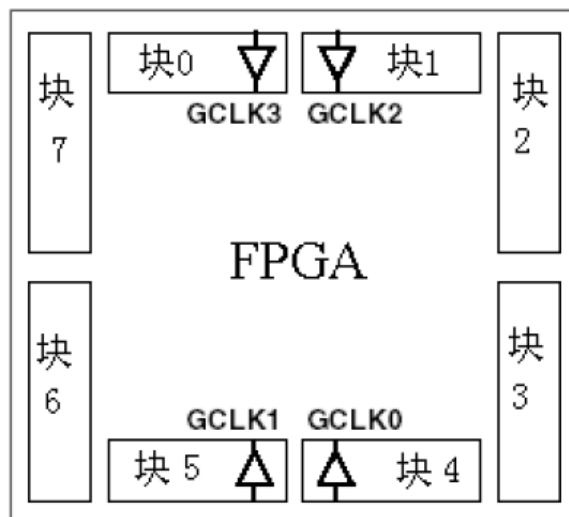


图 17 I/O Banks

上图描述了 HWD2V6000 的 I/O 组分布，每组 I/O 必须接入同样的电压，这些接入电压由输出标准来决定。在同一个组内，只有所使用的那些输出标准具有相同的 VCC0，它们才可以混合使用。

一些输入标准需要用户提供 Vref，大概 1/6 的用户 I/O 自动配置成 Vref 输入。每组的 VCC0 和 VREF 脚参阅器件引脚列表。不同的封装和尺寸电压引脚是不同的，所有的 Vref 都不能作为用户 I/O 使用。

➤ 在同一个 I/O 组中使用不同的 I/O 标准的规则

有时候在同一个 I/O 组中既有输入，输出，又有双向差分端口，那么则需要满足以下规则：不同的电压标准不能与供电电压 VCC0 冲突。

➤ 数位控制阻抗 DCI

高速信号应用场合里要求一个终端以防止信号反射和保证信号完整性。但是大量的引脚数量使得系统不适合在芯片采用外部电阻终端。

HWD2V6000 DCI 为单端或差分 I/O 提供了控制阻抗驱动器和片内终端。以减少外部使用电阻的需要，提高信号完整性。

当作为输入端的时候，DCI 提供并行输入终端。当作为输出的时候，DCI 提供控制阻抗驱动和并行输出

终端。

每个 I/O 组的 DCI 都独立工作，当 I/O 组中的 DCI 功能使用，必须将外部参考电阻连接到组上的双功能引脚。这些电阻，N 管参考电压 (VRN) 和 P 管参考电压 (VRP) 如下图。

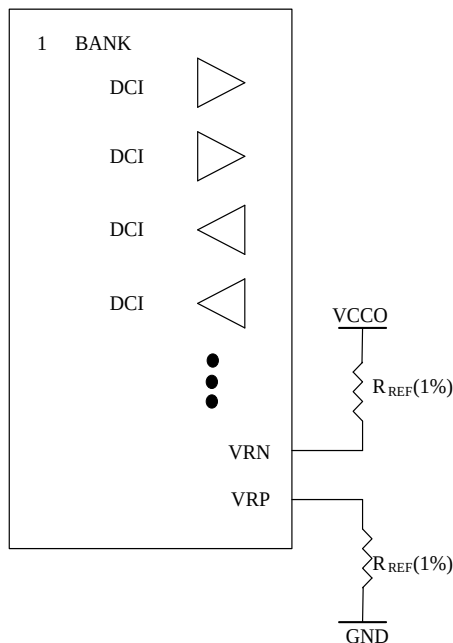


图 18 DCI

DCI 系统调整 I/O 阻抗以匹配两个外部参考电阻（或者参考电阻的一半），补偿由于电压或温度波动造成的阻抗变化。调整电路通过把 IOB 的并行晶体管打开或关闭来实现功能。

➤ 控制阻抗驱动器

DCI 可以通过控制输出阻抗来实现 BUFFER 功能，以满足这个输出阻抗能够跟传输线阻抗相匹配。

HWD2V6000 的输入 buffer 也支持 LVDCI 和 LVDCI_DV2 I/O 标准。

表 25 IO 属性

I/O 标准描述	IO 标准属性	
	外部终端	片上终端
SSTL3 ClassI	SSTL3_I	SSTL3_I_DCI
SSTL3 ClassII	SSTL3_II	SSTL3_II_DCI
SSTL2 ClassI	SSTL2_I	SSTL2_I_DCI
SSTL2 ClassII	SSTL2_II	SSTL2_II_DCI
HSTL ClassI	HSTL_I	HSTL_I_DCI
HSTL ClassII	HSTL_II	HSTL_II_DCI
HSTL ClassIII	HSTL_III	HSTL_III_DCI

HSTL ClassIV	HSTL_IV	HSTL_IV_DCI
GTL	GTL	GTL_DCI
GTLP	GTLP	GTLP_DCI

表 26 SelectI/O-Ultra 差分 Buffers 片上终端

I/O 标准描述	IO 标准属性	
	外部终端	片上终端
LVDS 2.5V	LVDS_25	LVDS_25_DCI
LVDS Extended 2.5V	LVDSEXT_25	LVDSEXT_25_DCI

7.3.2 可配置逻辑模块 CLB

每个 CLB 都捆绑着一个开关矩阵以接入通用布线矩阵，每个 CLB 包括 4 个相同的带快速本地反馈的 slices，4 个 slices 分成两行，每行都有两个独立的进位逻辑链和一个普通的移位链。

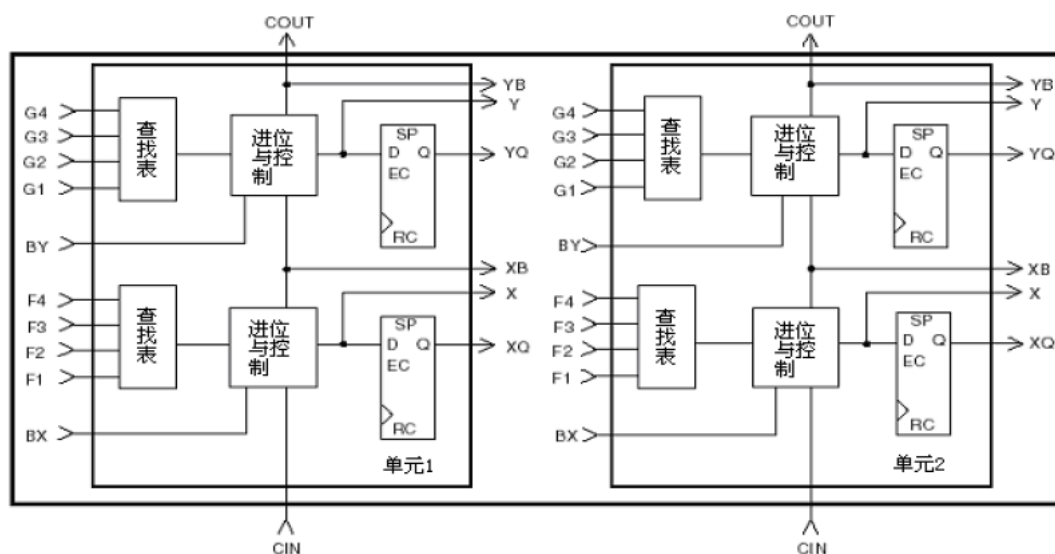


图 19 可编程逻辑块框图

7.3.2.1 Slice 结构

每个 slice 包括两个四输入函数发生器（可配置成 LUT，移位寄存器，分布式 RAM），进位逻辑，算术逻辑门，宽位函数选择器和两个存储单元（可配置成边沿触发器和电平锁存器）。函数发生器的输出既驱动 slice 输出也驱动 D 触发器的输入端。

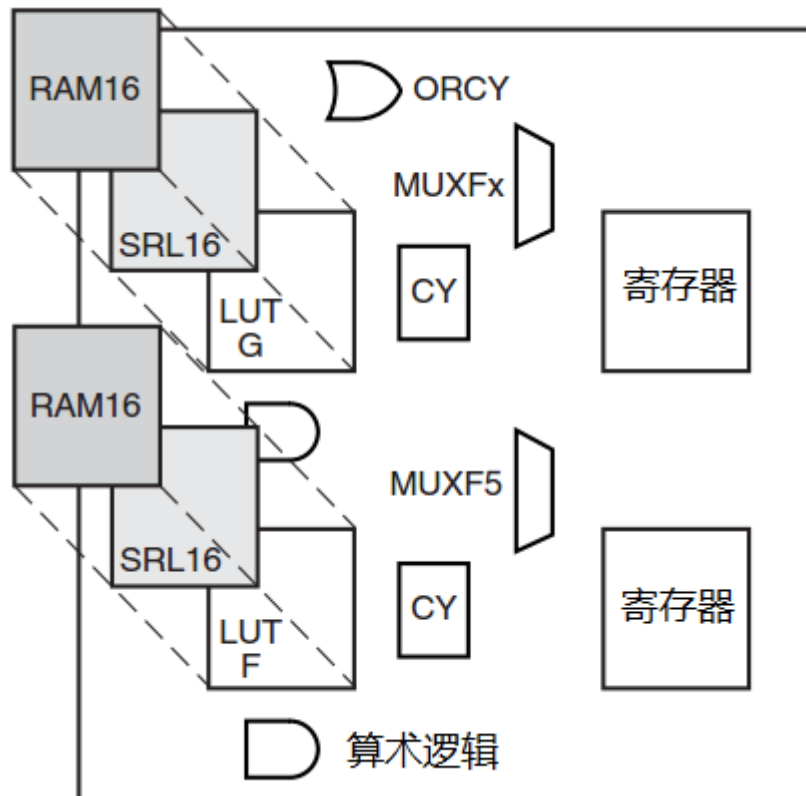


图 20 Slice 配置

7.3.2.2 LUT

函数发生器包括两个四输入查找表（F 和 G），可以实现任意四输入布尔函数功能。LUT 的输出信号可以直接输出（X，Y），也可以输入 XOR 专用门，或者输入进位逻辑选择器，或者输入到 D 触发器输入，或者输入到 MUXF5。除了基本的 LUT，slice 还包括了 MUXF5 和 MUXFX 多路选择器，以提供 5，6，7，或者 8 输入，另外可以在一个 slice 实现高达 9 输入的逻辑函数。

7.3.2.3 触发器/锁存器

Slice 里面的存储单元可以配置成为边沿触发器和电平锁存器。D 输入可以被输出 X（或 Y）通过 DX（或者 DY）输入直接驱动，或者通过 slice 外部 BX（BY）直接驱动。时钟使能信号默认为高，如果该信号没有连接，则该存储单元的时钟使能信号认为处于激活状态。

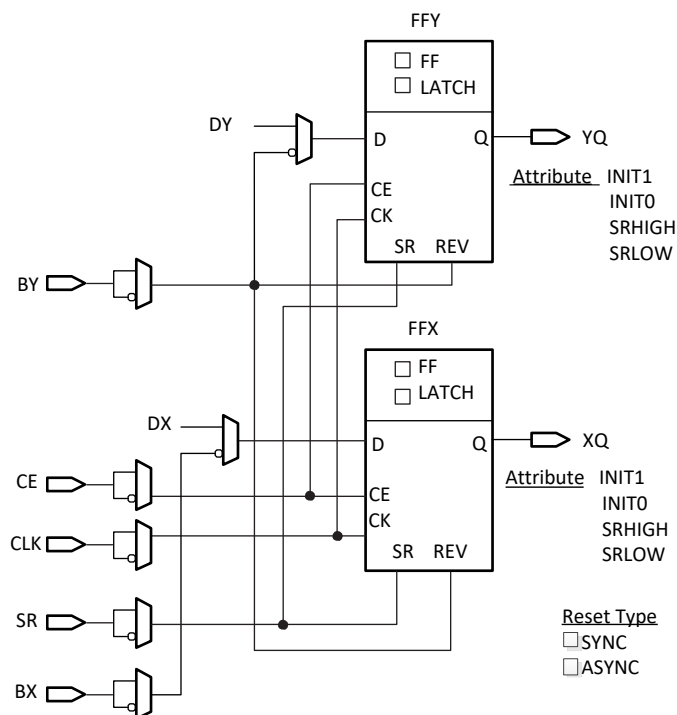


图 21 CLB 中锁存器/寄存器结构框图

7.3.2.4 分布式 RAM

一个 CLB 内部的 RAM 可以实现以下功能：

- Single-Port 16x8 bit RAM
- Single-Port 32x4 bit RAM
- Single-Port 64x2 bit RAM
- Single-Port 128x1 bit RAM
- Dual-Port 16x4 bit RAM
- Dual-Port 32x2 bit RAM
- Dual-Port 64x1 bit RAM

分布式 RAM 具有同步写资源，读取速度快。同步写简化了设计。同步读信号可以利用同一个 slice 的存储单元实现。分布式 RAM 和触发器存储单元共享同一个时钟输入，写使能输入被 SR 驱动，设置为高有效。

表 27 分布式 RAM 配置

RAM	LUTs 数
16x1S ₍₁₎	1
16x1D	2
32x1S	2
32x1D	4

RAM	LUTs 数
64x1S	4
64x1D	8
128x1S	8

注 (1) :S=单端口配置；D=双端口配置。

对于单端 RAM 配置，分布式 RAM 为同步写和异步读提供一个地址端口。

对于双端配置，分布式 RAM 为同步写和异步读提供一个端口，另一个端口提供异步写。LUT 被分为写地址输入（A1, A2, A3, A4）和读地址输入（WG1/WF1, WG2/WF2, WG3/WF3, WG4/WF4）。

对于单端模式，读写信号共享同一个地址总线。双端模式，第一个 R/W 端口与读写地址相连，第二个 R/W 端口 read 输入与只读地址端相连，write 与第一个 R/W 地址端口共享。

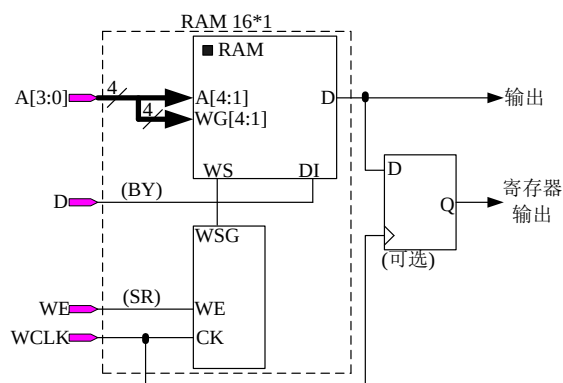


图 22 分布式可选 RAM (RAM16x1S)

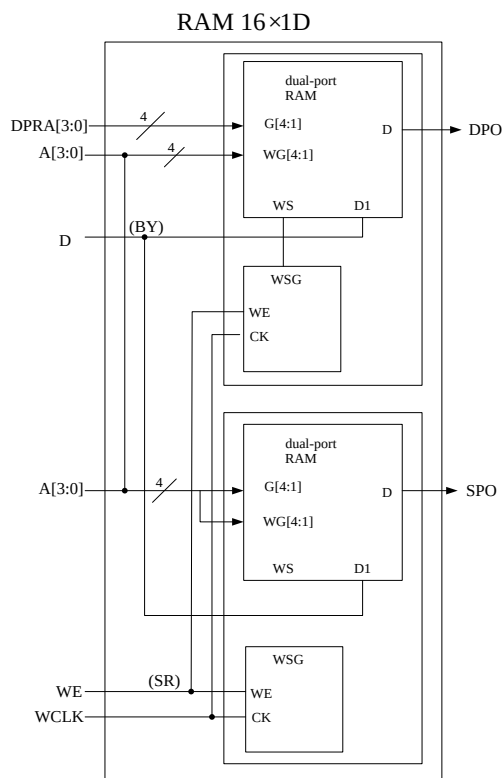


图 23 双端口分布式可选 RAM (RAM16x1D)

同样，LUT 也可以配置成为相应的 ROM。

表 28 ROM 配置

ROM	Number of LUTs
16x1	1
32x1	2
64x1	4
128x1	8 (1 CLB)
256x1	16 (2 CLBs)

7.3.2.5 移位寄存器

每个函数发生器都可以配置成为 16bit 移位寄存器。通过时钟和时钟使能进行同步写操作，通过地址 A[3:0] 实现读数据。配置的 16bit 移位寄存器不能复位或者置位。读操作是异步模式，当然也可以用存储单元实现同步读模式。存储单元应该要保证固定的输入地址。

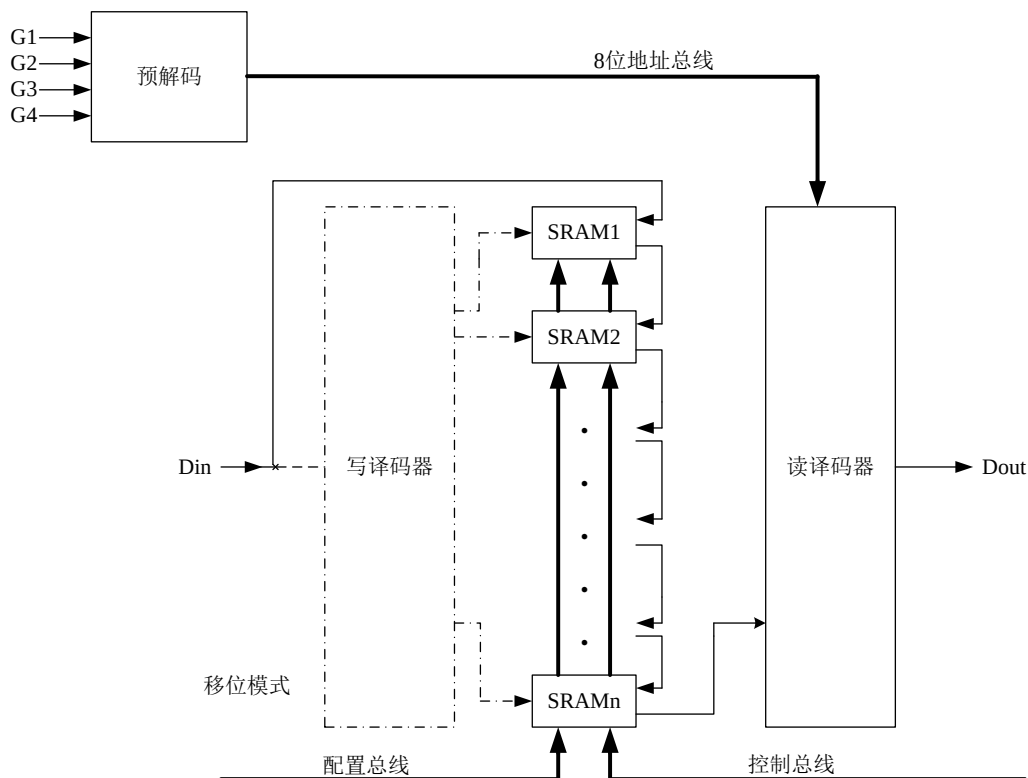


图 24 LUT 实现 16bit 的移位寄存器的原理图

移位寄存器可以利用专用连接实现移位寄存器的级联而不需要正常的 LUT 输出口。利用 MUXF5, MUXF6, MUXF7 可以在一个 CLB 内部实现高达 128bit 的移位级联链。

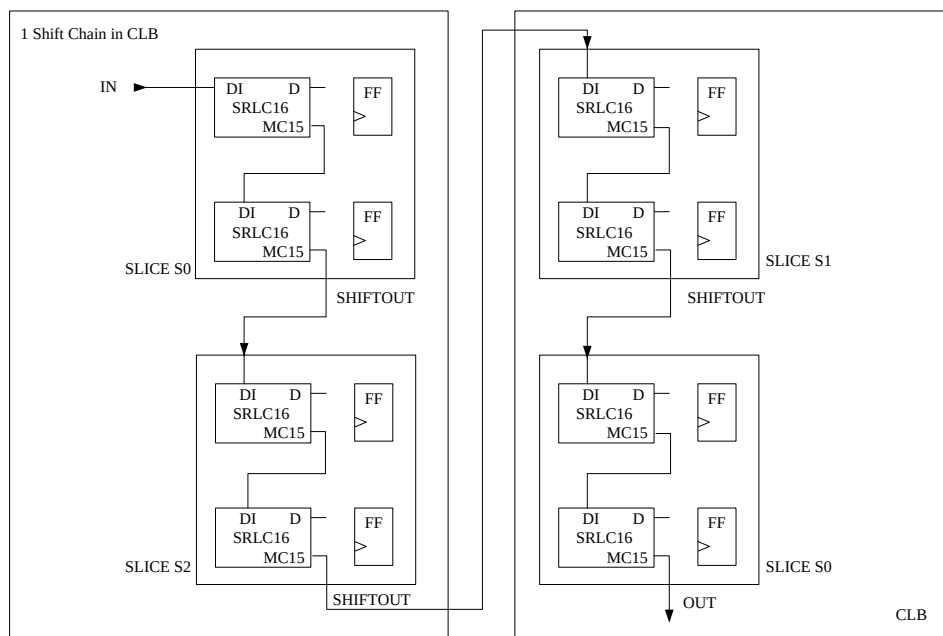


图 25 移位寄存器级联

7.3.2.6 多路选择器

每个 slice 包括一个 MUXF5 和一个 MUXFX (MUXF6, MUXF7, MUXF8) 多路选择器。每个 CLB 单元包含了两个 MUXF6, 一个 MUXF7 和一个 MUXF8 多路选择器, 如下图所示。与函数发生器相连的多路选择器可以实现以下功能:

- 4:1 multiplexer in one slice
- 8:1 multiplexer in two slice
- 16:1 multiplexer in one CLB element(4 slice)
- 32:1 multiplexer in two CLB elements(8 slices)

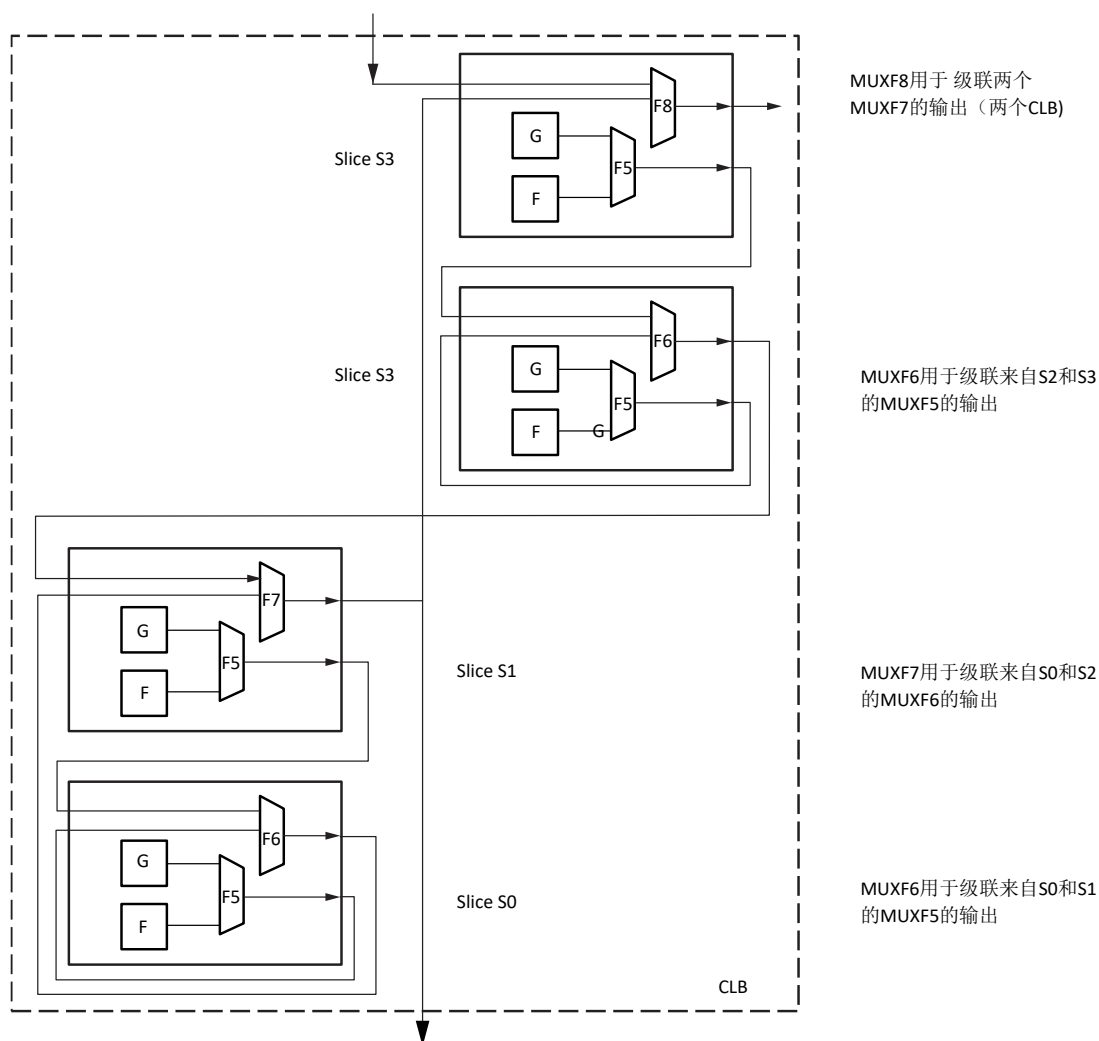


图 26 乘法器 MUXF5 和 MUXFX

7.3.2.7 快速进位链

专用的进位逻辑实现快速的加减法运算。每个 CLB 包括两个独立的进位链, 如下图所示。每个 slice 具有 2bit 进位能力。器件中的进位链向上进位, 专用的进位逻辑和进位选择器 (MUXCY) 可以用来级联函

数发生器以实现宽输入逻辑功能。

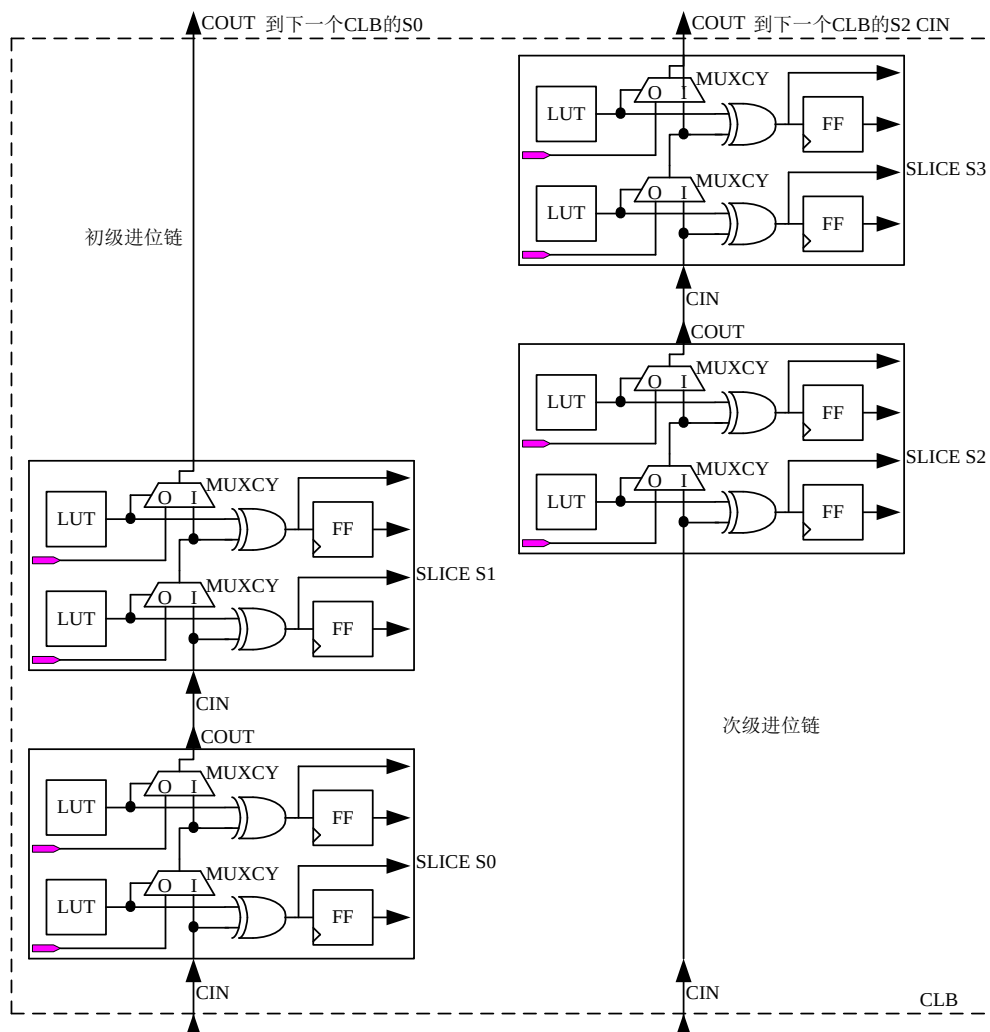


图 27 快速进位逻辑路径

7.3.2.8 算术逻辑

每个 slice 的算术逻辑包括一个 OR 门实现 2bit 全加器，另外，专用的 AND 门提高了乘法实现的效率。

7.3.2.9 积之和（SOP）级联链

每个 slice 都有一个专用的 OR 门（ORCY），实现一个 slice 进位输出和邻近的 slice 输出之和。ORCY 门具有专用的乘之积（SOP）链，这种类型的数据链可以实现灵活的大的 SOP 链功能。通过快速 SOP 链每个 ORCY 的输入与同一 slice 行的 ORCY 输出相连。第二个输入与当前的 slice 顶端的 MUXCY 输出相连。

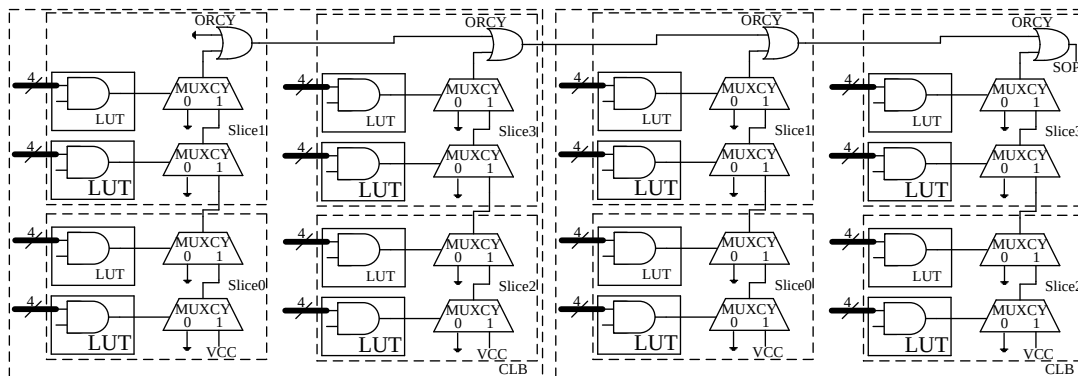


图 28 水平级联链

LUT 和 MUXCYs 可以实现比较大的与门或其它组合逻辑功能。下图描述了一个利用 LUT 和 MUXCY 配置实现 16 输入与门的逻辑。

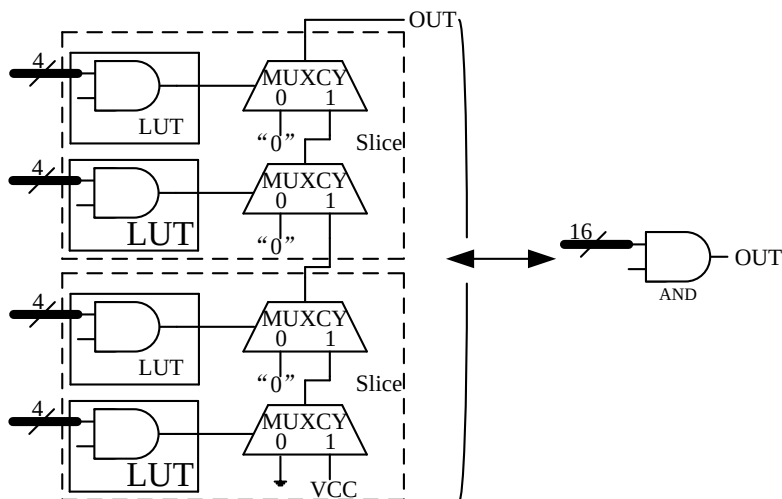


图 29 宽输入与门（16 输入）

7.3.2.10 三态 buffer

每个 CLB 都包括两个可以直接驱动片内总线的三态 buffer (TBUFs)，每个 TBUF 都有自己的三态控制端和自己的输入端。

每个 CLB 内部中四个 slice 中的一个通过开关矩阵接入 TBUF，邻近的 CLB 的 TBUFs 可以与 slice 直接相连。TBUFs 的输出驱动水平布线资源以实现三态总线。

3 态 buffer 逻辑是利用与或逻辑而不是用三态驱动实现，这样可以得到更精确的时序和减少大器件的负载。如下图：

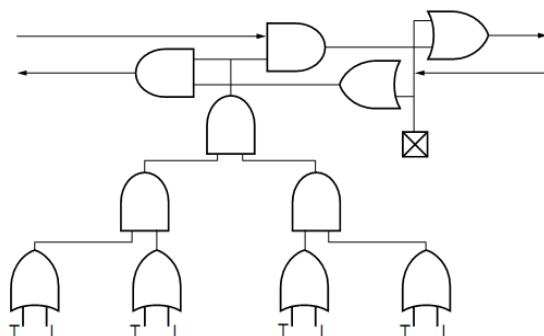


图 30 三态 buffer

上图中，4 个 OR 门和 T, I 输入代表着四个 buffer 输入和 CLB 的一个输入。节点能够实现双向通信。

每个 CLB 提供四根水平布线资源作为片上三态总线。每个 TBUF 可以交替接入两根水平线。

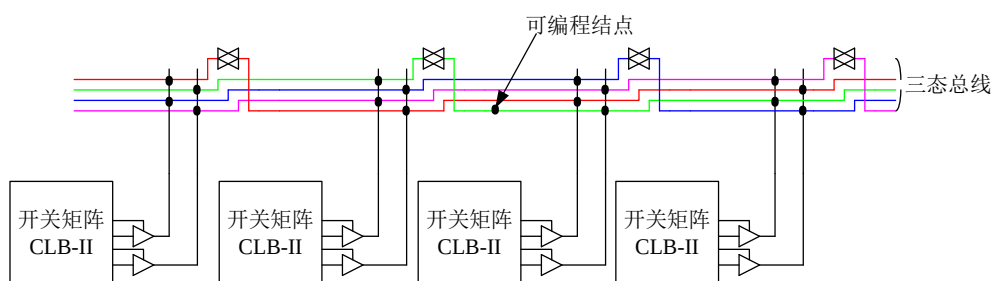


图 31 3 态 Buffer 连接到水平长线

在 HWD2V6000 中，TBUF 的数量是 CLB 数量的两倍。

表 29 三态 Buffers

器件	每行的 3 态 Buffers	3-State Buffers 总数
HWD2V6000	176	16896

下表描述了每个 CLB 内部可以用的资源

表 30 一个 CLB 的逻辑资源

Slices	LUTs	Flip-Flops	MULT_ANDs	算法 & 进位链	SOP 链	分布式 SelectRAM	移位寄存器	TBUF
4	8	8	8	2	2	128 bits	128 bits	2

表 31 CLB 逻辑资源

器件	CLB 阵列: 行 x 列	Slice 数量	LUT 数量	最大分布式可选 RAM 或移位寄存器 (bits)	Flip-Flops 数量	进位链 数量 ⁽¹⁾	SOP 链 数量 ⁽¹⁾
HWD2V6000	96x88	33,792	67,584	1,081,344	67,584	176	192

注⁽¹⁾: 进位链和 SOP 链可以分开或层叠。

7.3.3 18kbit Block RAM 资源 (BRAM)

HWD2V6000 内部内嵌大量的 18kbit Block RAM，这些资源与分布式 RAM 相互补充实现了一个基本的 RAM 结构。每个 18kbit Block RAM 都具有双端口，两个独立的时钟和独立的同步控制端口。每个端口功能等同。CLK，EN，WE 和 SSR 的电平极性由配置决定。

每个端口有以下类型的输入：时钟和时钟使能，写使能，置位/复位，地址线和分离的数据输入和输出线。

BRAM 的操作采用同步工作模式，BRAM 就像一个寄存器，控制，地址和数据输入必须满足时钟建立时间的要求，数据输出也是在时钟跳沿时候变化。

7.3.3.1 配置

BRAM 支持单端和双端模式，也支持不同的数据/地址比率。

表 32 双端口和单端口配置

16Kx1 bit	2Kx9 bits
8Kx2 bits	1Kx18 bits
4Kx4 bits	512x36 bits

7.3.3.2 双端模式

双端模式中，每个端口都有独立的控制信号进行同步。如果总线数据宽度变化，两个端口的数据宽度都能够独立配置。

下表描述了端口 A 和 B 不同的配置。

表 33 双端口模式配置

PortA	16Kx1	16Kx1	16Kx1	16Kx1	16Kx1	16Kx1
PortB	16Kx1	8Kx2	4Kx4	2Kx9	1Kx18	512x36
PortA	8Kx2	8Kx2	8Kx2	8Kx2	8Kx2	
PortB	8Kx2	4Kx4	2Kx9	1Kx18	512x36	
PortA	4Kx4	4Kx4	4Kx4	4Kx4		
PortB	4Kx4	2Kx9	1Kx18	512x36		
PortA	2Kx9	2Kx9	2Kx9			
PortB	2Kx9	1Kx18	512x36			
PortA	1Kx18	1Kx18				

PortB	1Kx18	512x36
PortA	512x36	
PortB	512x36	

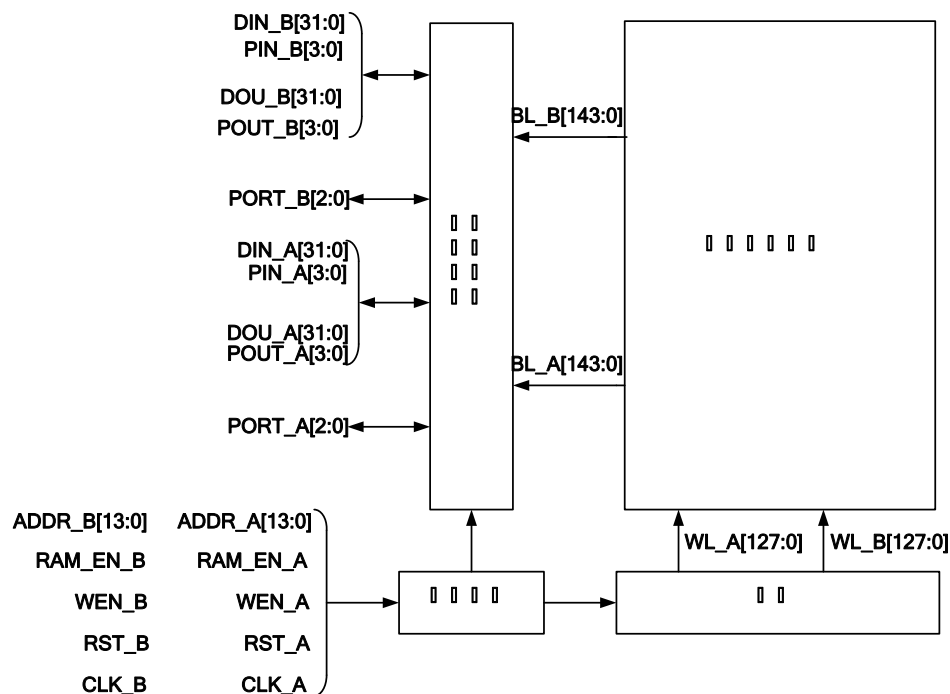


图 32 双口 BRAM 的设计结构简图

7.3.3.3 端口比率

下表描述了 BRAM 的深度和宽度比率。HWD2V6000 BRAM 也提供一个专用的布线资源以实现一个与其他 CLB，BRAM 和乘法器等资源的有效连接。

表 34 18 Kbit 可选 BRAM 的不同配置

宽度	深度	地址总线	数据总线	校验总线
1	16,384	ADDR[13:0]	DATA[0]	N/A
2	8,192	ADDR[12:0]	DATA[1:0]	N/A
4	4,096	ADDR[11:0]	DATA[3:0]	N/A
9	2,048	ADDR[10:0]	DATA[7:0]	Parity[0]
18	1,024	ADDR[9:0]	DATA[15:0]	Parity[1:0]
36	512	ADDR[8:0]	DATA[31:0]	Parity[3:0]

7.3.3.4 读/写工作模式

- 写优先

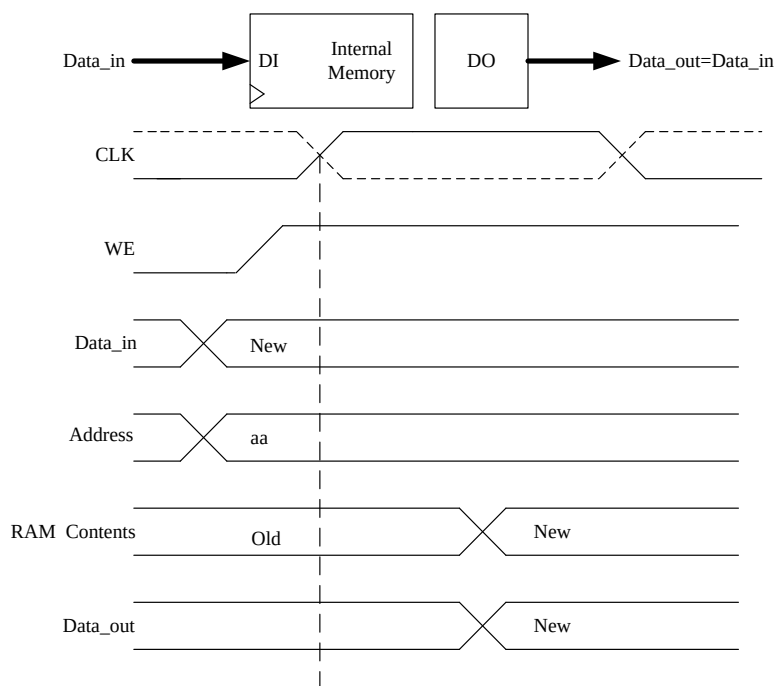


图 33 先写模式时序图

➤ 读优先

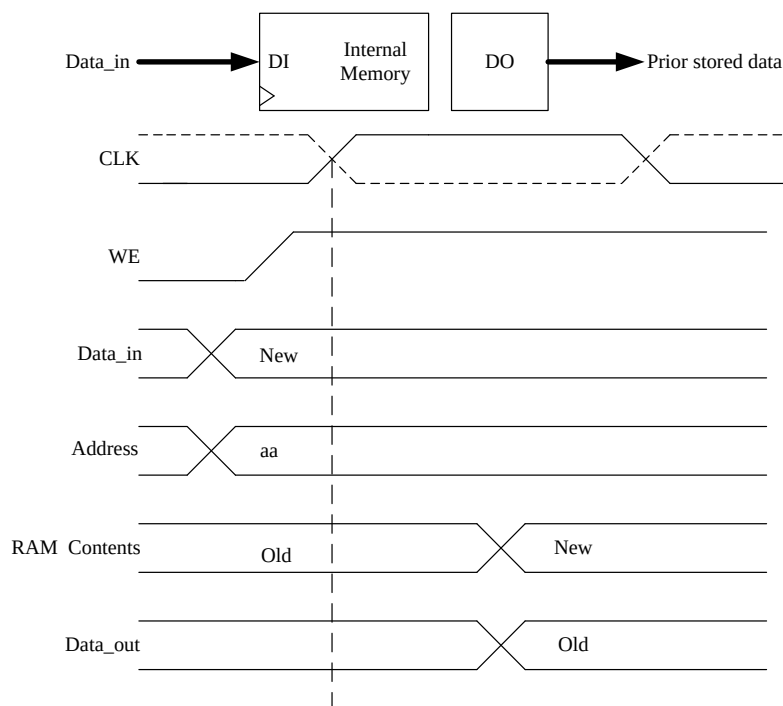


图 34 先读模式时序图

➤ No change 模式

No change 模式指导是时钟沿来的时候保持输出寄存器的内容，不管当前的写操作。写模式下的时钟沿对于数据输出寄存器无效。当端口配置成为 no change 模式的时候，只有读操作才能将一个新的数据载入

输出寄存器 D0。

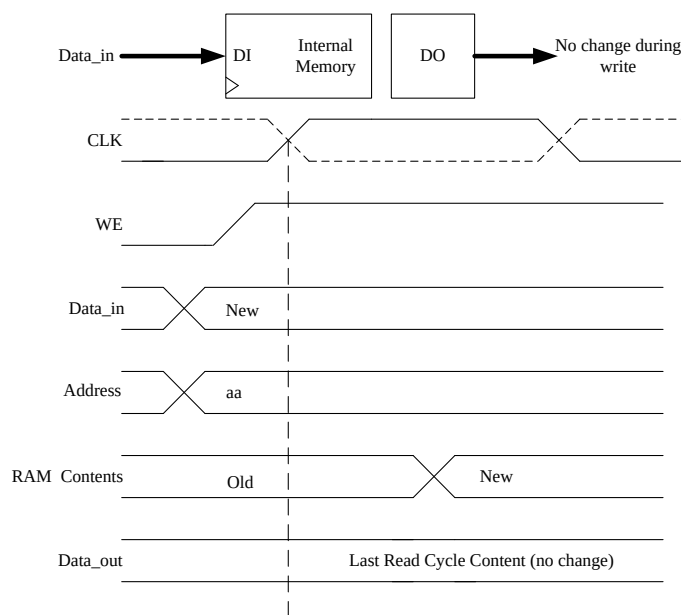


图 35 NO_CHANGE 模式时序图

7.3.3.5 控制端口和属性

BRAM 拥有两个独立的端口和控制信号，见下表。

表 35 BRAM 控制端口

控制信号	功能
CLK	Read and Write Clock
EN	Enable affects Read, Write, Set, Reset
WE	Write Enable
SSR	Set D0 register to SRVAL (attribute)

BRAM 的初始化数据由 INIT_XX 属性控制。不同的属性决定了器件配置 (INIT) 和 SSR 插入后输出寄存器的值。当 BRAM 配置为双口模式的时候，每个端口的 INIT_B 和 SRVAL 都有效。

7.3.3.6 BRAM 布局

BRAM 有四列或者六列，每列的数量根据器件型号不同而不同。其数量等于每列 CLB 数量除 4。

表 36 BRAM 布局

器件	列	可选 BRAM	
		每列	总数
HWD2V6000	6	24	144

下表罗列了 HWD2V6000 所有的 BRAM 资源,BRAM 资源可以通过级联实现更深更宽的单口或双口 RAM 资源。

表 37 可用 BRAM

器件	总共 SelectRAM Memory		
	Blocks	in Kbits	in Bits
HWD2V6000	144	2, 592	2, 654, 208

7.3.3.7 18×18 乘法器

乘法器 IP 可以实现有符号数乘法功能。这些乘法器可以与 18kbit BRAM 结合使用，也可以单独使用。
与利用 slice 的资源实现的乘法器相比，具有高速低功耗的功能。

每个 BRAM 都通过 4 个开关矩阵与乘法器模块连在一起。

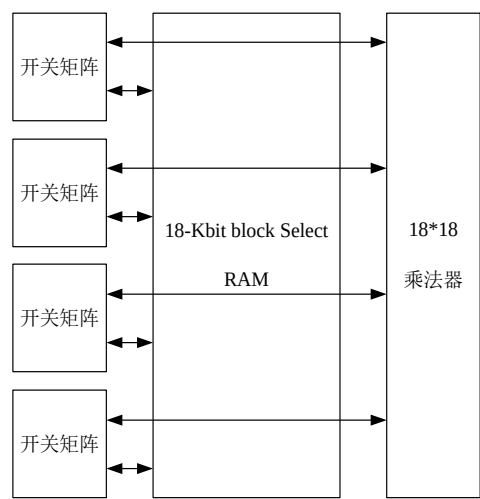


图 36 BRAM 和乘法器模块

这种连接结构使得 BRAM 和乘法器模块可以同时使用，但是需要共享一些互连资源。当使用乘法器的时候，BRAM 只允许使用 18bit 位宽，因为乘法器共享 BRAM 的高位数据 bit。

乘法器的数量与 BRAM 的相同，因为每个乘法器都与一个 BRAM 相连。

表 38 乘法器布局

器件	列	乘法器	
		每列	总数
HWD2V6000	6	24	144

7.3.4 全局时钟多路缓冲

HWD2V6000 有 16 个时钟输入端，8 个在器件顶端，8 个在器件底端。如下图：

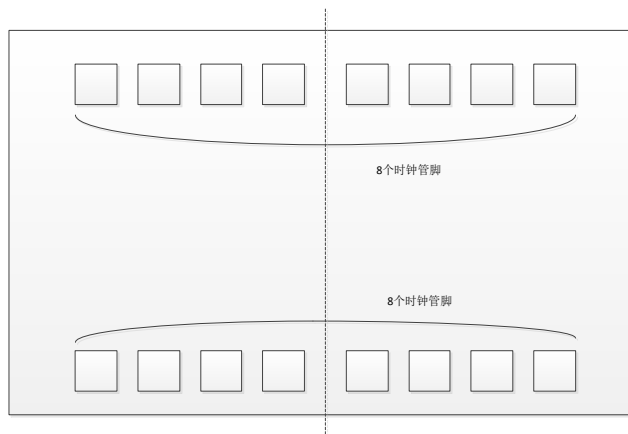


图 37 时钟引脚

全局时钟选择 buffer 驱动输入到专用的低偏斜时钟树网络。它们的位置与时钟输入端的位置一样。每个时钟选择 buffer 可以被外部时钟驱动，也可以被 DCM 输出时钟驱动，也可以被本地互连线驱动。如下图所示：

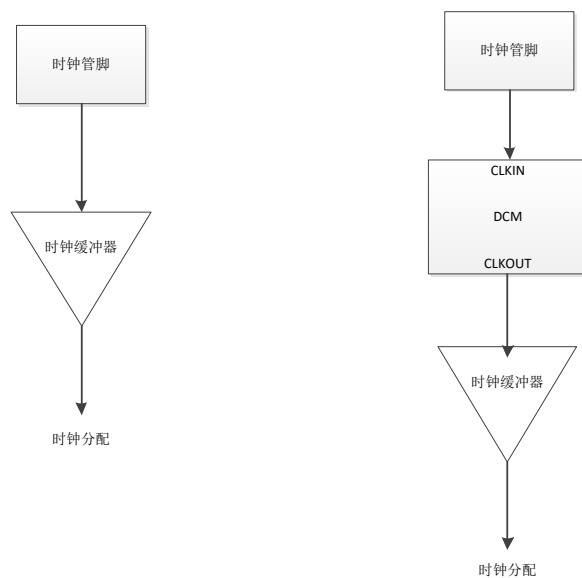


图 38 时钟驱动配置

8 个全局时钟线可以在各自的信号区使用，下图显示了器件的时钟分布。

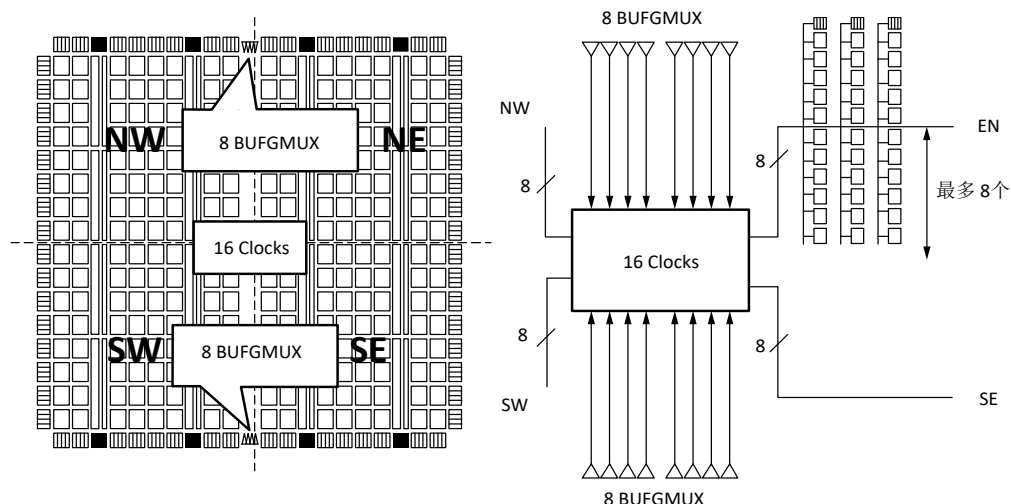


图 39 时钟驱动

在每个分区，8 个时钟信号通过时钟行来组织，一个时钟行支持 16 个 CLB 行（8 个上，8 个下）为了降低功耗，任何没有使用的时钟数都保持静态。全局时钟有专用时钟 BUFFER 驱动（BUFG），它也可以用来实现时钟门控（BUFGCE）或者两个独立时钟的输入选择器 (BUFGMUX)。

当作为 BUFGMUX 模式使用的时候，时钟切换有以下的特点：

设当前时钟为 CLK0，S 为高。当时钟切换的时候，若 CLK0 为高，选择器等到 CLK0 变为 0。一旦 CLK0 变低，选择器输出保持低知道 CLK1 由高变低。当 CLK1 由高变低，输出切换到 CLK1。这里要注意到是，没有任何毛刺出现在输出端。

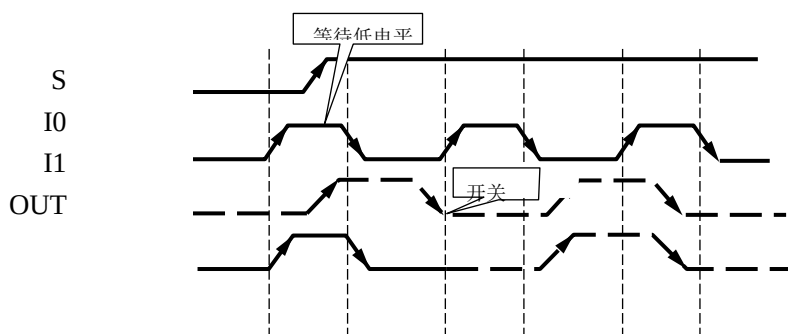


图 40 时钟乘法器波形图

7.3.5 数字时钟管理器 DCM

DCM 主要完成以下功能：

- 时钟去偏斜
- 频率合成

➤ 移相控制

九个 DCM 中的四个可以驱动全局时钟 buffer 或者全局时钟选择 buffer 的输入，所有的 DCM 时钟输出能够同时驱动通用布线资源，包括到输出 buffer 的布线。

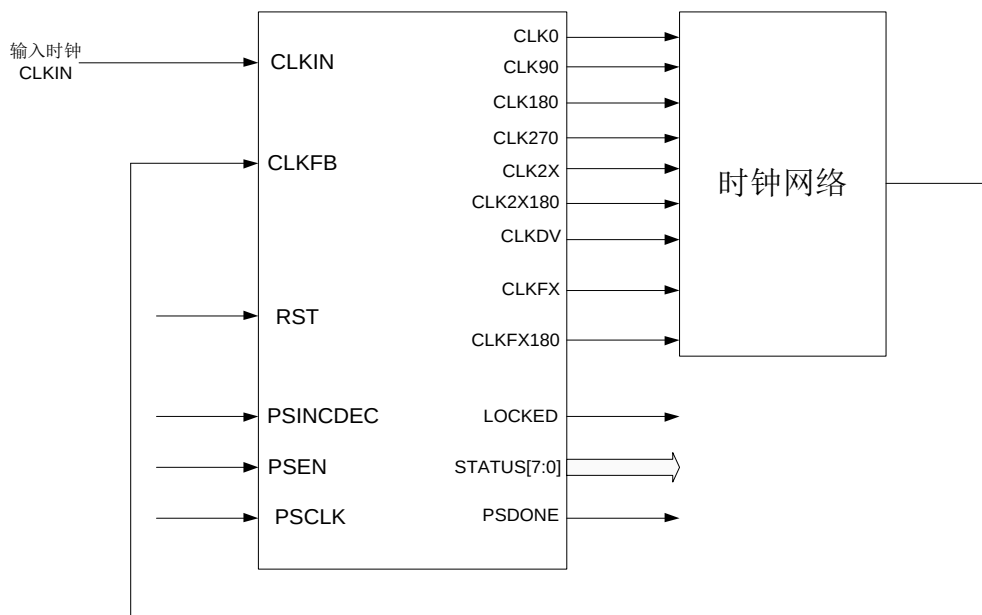


图 41 数字时钟管理器

DCM 可以配置以实现延迟 HWD2V6000 配置过程的功能，直到 DCM 达到锁定状态。这个功能保证了芯片在时钟稳定之前不会工作。

DCM 具有以下控制信号：

- RST 输入：复位整个 DCM
- LOCKED 输出：当整个 DCM 锁定后输出高电平
- STATUS 输出：见下表

表 39 DCM 状态引脚

状态引脚	功能
0	Phase Shift Overflow
1	CLKIN Stopped
2	CLKFX Stopped
3	N/A
4	N/A
5	N/A
6	N/A

7.3.5.1 时钟去偏斜

通过自动调整数字延迟线，DCM 时钟降低输入和输出时钟的相对偏斜度。为了达到时钟去偏斜的功能，CLKFB 必须接入 CLK0 或者 CLK2X。这里要注意的是 CLKFB 必须连接，除非 CLKFX 或者 CLKFX180 输出已经被使用以及不需要时钟去偏斜的功能。

7.3.5.2 频率合成

DCM 可以产生不同的新的时钟频率，每种方法都有不同的工作频率范围和不同的 AC 特性。CLK2x 和 CLK2x180 倍频时钟频率 CLKDV 实现不同的分频选择（1.5, 2, 2.5, 3, 3.5, 4, 4.5, 5, 5.5, 6, 6.5, 7, 7.5, 8, 8.5, 9, 10, 11, 12, 13, 14, 15, 16）。CLKFX 和 FX180 输出可以用来产生以下的时钟频率：

$$FREQ_{CLKFX} = (M/D) \times FREQ_{CLKIN}$$

其中 M 和 D 是整数，具体 M 和 D 的规范在章节 4 中描述。

默认情况下，M=4 和 D=1，这样可以产生 4 倍频的输出时钟。

所有的频率综合都是 50/50 的占空比（除了在高频模式下完成非整数分频的 CLKDV 输出），注意到 CLK2x 和 CLK2x180 在高频模式下无效。

7.3.5.3 移相功能

DCM 提供 CLK0, CLK90, CLK180 和 CLK270 四种基本固定移相模式，这里要注意 CLK90 和 CLK270 不能工作在高速模式。

另外还有一种变量移相模式。在这个模式中，当 PSEN 输入有效，PSINCDEC 与 PSCLK 同步的时候，PHASE_SHIFT 的值能够动态的增加或减少。下表列出了变量模式下，FINE-phase 的控制端口：

表 40 相移控制引脚

控制引脚	方向	功能
PSINCDEC	in	Increment or decrement
PSEN	in	Enable $\pm$ phase shift
PSCLK	in	Clock for phase shift
PSDONE	out	Active when completed

在这里需要理解一下两个单独的相移范围参数：PHASE_SHIFT 和 FINE_SHIFT_RANGE DCM。

其中 PHASE_SHIFT 属性由下式计算：

$$\text{Phase Shift (ns)} = (\text{PHASE_SHIFT}/256) \times \text{PERIODCLKIN}$$

PHASE_SHIFT 属性值一般在 -255 到 +255 之间，但是它实际的值要根据输入时钟频率而定，受到 FINE_SHIFT_RANGE 参数的约束（这个值表示了移相线总的延迟，总延时是电路中延迟阶数的函数，根据工

艺，电压和温度值不同)

$\text{Absolute range(fixed mode)} = \pm \text{FINE_SHIFT_RANGE}$

$\text{Absolute range(variable mode)} = \pm \text{FINE_SHIFT_RANGE}/2$

变量模式和固定模式下，数值不同主要是因为以下原因：在变量模式下允许均匀对称，动态的从-255到+255变化，DCM 设置“零相位偏斜”点作为延迟线的中点。这样就把整个延迟区分成了两半。在固定模式下，因为 PHASE_SHIFT 的值在配置后不会变化，在插入 CLKIN 或者 CLKFB 路径的时候整个延迟线都有效。

下面是一些这两种参数的应用例子：

- ✓ 如果 $\text{PERIODCLKIN} = 2 \times \text{FINE_SHIFT_RANGE}$ ，那么 PHASE_SHIFT 在固定模式下值限定为 ± 128 ，在变量模式下值限定为 ± 64 。
- ✓ 如果 $\text{PERIODCLKIN} = \text{FINE_SHIFT_RANGE}$ ，那么 PHASE_SHIFT 在固定模式下值限定为 ± 255 ，在变量模式下值限定为 ± 128 。
- ✓ 如果 $\text{PERIODCLKIN} \leq 0.5 \times \text{FINE_SHIFT_RANGE}$ ，那么 PHASE_SHIFT 在任何模式下值限定为 ± 255 。

7.3.5.4 工作模式

DCM 的工作频率范围依赖于它的工作模式，下表列出来不同工作模式下 DCM 的工作频率：

表 41 DCM 频率范围

输出时钟	低频率模式	
	CLKIN 输入	CLK 输出
CLK0, CLK180	CLKIN_FREQ_DLL_LF	CLKOUT_FREQ_1X_LF
CLK90, CLK270	CLKIN_FREQ_DLL_LF	CLKOUT_FREQ_1X_LF
CLK2X, CLK2X180	CLKIN_FREQ_DLL_LF	CLKOUT_FREQ_2X_LF
CLKDV	CLKIN_FREQ_DLL_LF	CLKOUT_FREQ_DV_LF
CLKFX, CLKFX180	CLKIN_FREQ_FX_LF	CLKOUT_FREQ_FX_LF
	高频率模式	
	CLKIN 输入	CLK 输出
CLK0, CLK180	CLKIN_FREQ_DLL_HF	CLKOUT_FREQ_1X_HF
CLK90, CLK270	CLKIN_FREQ_DLL_HF	CLKOUT_FREQ_1X_HF
CLK2X, CLK2X180	NA	NA
CLKDV	NA	NA
CLKFX, CLKFX180	CLKIN_FREQ_DLL_HF	CLKOUT_FREQ_DV_HF
CLK0, CLK180	CLKIN_FREQ_FX_HF	CLKOUT_FREQ_FX_HF

7.3.5.5 DCM 位置

DCM 被放置于每个 RAM 和乘法器列的顶端和底端。具体的数目根据器件不同而不同。

表 42 DCM 配置

器件	列	DCMs
HWD2V6000	6	12

7.3.6 布线资源

7.3.6.1 互连技术

本地和全局布线资源经过优化不仅实现高速和精确度时序优化，还能够满足嵌入式 IP 的互连要求。

HWD2V6000 互连技术是一个完全的缓冲式可编程布线矩阵。将布线资源分段可以提供先进的层次式解决方案。HWD2V6000 逻辑资源都接入等价的开关矩阵以接入全局布线资源。如下图所示：

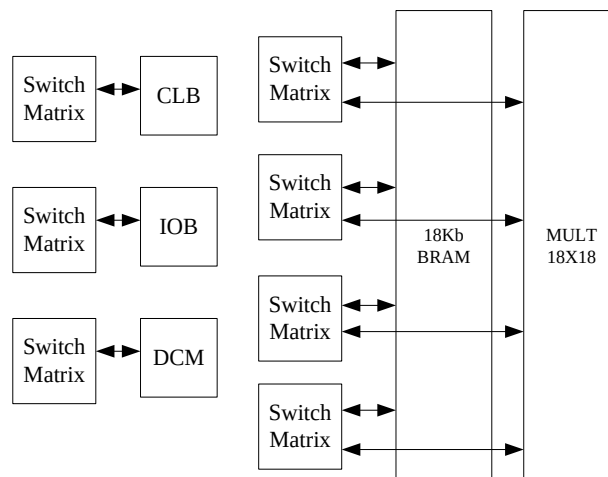


图 42 互连技术

HWD2V6000 器件可以看成是附带着逻辑块的开关矩阵阵列，如下图所示。

分段式布线资源对于保证内嵌 IP 核和有效处理基于模块设计的增量设计流程来说是非常重要的。通过实现更少和更短的设计迭代来减少设计时间。

7.3.6.2 层次布线资源

全局布线资源位于每个开关矩阵的水平 and 垂直布线通道。如下图所示，HWD2V6000 拥有完全的缓冲式可编程互连。扇出对每根线网的影响减少的最小。

分段式布线资源能够有效的保证内嵌 IP 核的互连和有效处理基于模块设计的增量设计流程。通过实现更少和更短的设计迭代来减少设计时间。

另外，在布线资源中，我们根据各种信号线跨越长度的不同，分为以下几种类型：

1. 水平和垂直的双向长线穿过整个器件，实现整个芯片长度的布线，它可以与六倍长线相连，但是不能和单长线以及逻辑模块的输入相连。长线一般要通过缓冲器进行驱动。水平长线通过六倍长线和单长线与每个逻辑块相连。与水平六倍长线相连的水平单长线可以配置为驱动垂直长线，因此，通过这些可编程的连接，使水平长线和垂直长线相连。长线有驱动整行或整列的 CLB 的能力，且速度很快。
2. 六倍长线在器件的四个方向上每三个或六个模块的距离进行布线，采用交叉布线模式。六倍长线只能从一端驱动，通过六倍长线传输的信号或者在六倍长线的末端（传输六个模块）接入，或者在六倍长线的中间接入（传输三个模块）。
3. 双长线在器件的四个方向上距离每 1 个或 2 个模块进行信号传输，采用交叉布线模式，双长线只能从一端驱动，通过双长线传输的信号或者在双长线的末端（传输 2 个模块）接入，或者在双长线的中间接入（传输 1 个模块）。
4. 直接连接线将邻近的逻辑块在水平，垂直和对角方向上直接连接布线，这种类型的布线资源一般不需要额外的缓冲器驱动。
5. 快速连接线是在 CLB 内部实现一个 LUT 输出到另一个 LUT 输入的互连。

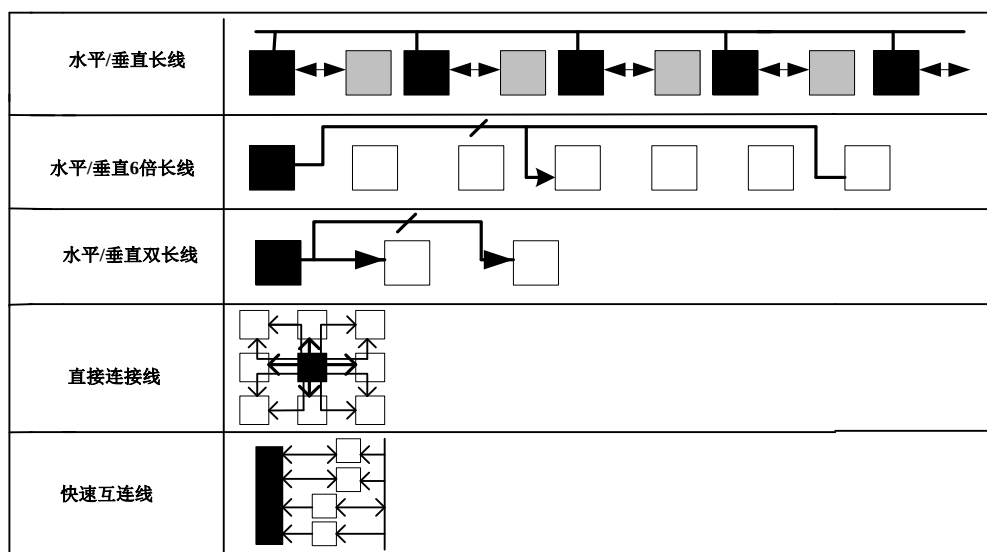


图 43 各种布线资源

7.3.6.3 专用布线

除了全局布线资源和本地布线资源，一些专用信号也需要用到专用的布线资源。

- 每个区有 8 个全局时钟线
- 片上三态总线需要用到水平布线资源。每个 CLB 行都有四条分开的总线

- 每个 SLICE 列内部的专用进位链
- 每个 SLICE 行当专用 SOP 链
- LUT 实现移位寄存模式下使用的专用移位链

7.3.7 配置

HWD2V6000 的配置多了一个 DES 解密电路，将加密的比特数据流进行解密。

7.3.7.1 比特流加密

HWD2V6000 包括包含有一个利用三个密钥中的一个或两个来完成三重密钥 DES 操作的片上解密电路。软件工具提供一个可以选择的配置数据加密选项，这个配置数据带有一个由用户设计所决定的三重密钥 DES。

密钥通过 JTAG 指令存储在 FPGA 内部，即使在 FPGA 没有供电的时候也可以通过 VBATT 端口实现电池供电来保存数据。HWD2V6000 可以利用所支持的配置模式配置成相应的加密比特数据流。

7.3.7.2 配置时序

HWD2V6000 支持如下 5 种编程模式：

- 主串模式
- 从串模式
- 主并模式
- 从并模式
- 边界扫描模式

用编程模式管脚（M2，M1，M0）来选择编程的模式。在每种情况之下，都要使 IOB 的管脚在编程之前上拉或悬空。模式选择编码列于下表中。

表 43 编程模式编码表

编程模式	M2	M1	M0	CCLK 方向	数据宽度	串出 Dout
主串模式	0	0	0	Out	1	Yes
从串模式	1	1	1	In	1	Yes
主并模式	0	1	1	Out	8	No
从并模式	1	1	0	In	8	No
边界扫描模式	1	0	1	N/A	1	No

通过边界扫描端口的编程总是可用的，独立于模式的选择。选择边界扫描方式就会直接关掉了其他的编程模式。编程模式管脚都有内部的上拉电阻，在没有连接的情况下默认为逻辑高电平。但是仍然建议在

外部对编程管脚上拉操作。

7.3.7.3 从串模式

在从串模式，FPGA 从串行 PROM 或者其他的串行编程数据源中接收串行的编程数据。串行数据流必须在每个 CCLK 上升沿来临之前在 DIN 输入管脚处建立一段短暂的时间，这里 CCLK 是由外部产生的。

有关串行 PROM 的更多信息可以查看 PROM 的数据手册。

多个 FPGA 可以以菊花链的连接形式从一个数据源进行编程。在特定的 FPGA 已经被编程之后，编程数据会从它的 DOUT 管脚传给下一个器件。DOUT 管脚的编程数据需在 CCLK 上升沿来之前改变好。

从 DOUT 输出的数据变化在 CCLK 的上升沿改变，和以前的系列是不同的，但是这没有给混合编程链带来问题。这种改变是为了提高 HWD2V6000 专用链的串行编程速率的。

下图显示了完整的主/从系统。在从串模式下 HWD2V6000 器件的连接，应该依照图中左数第三个器件那样连接。

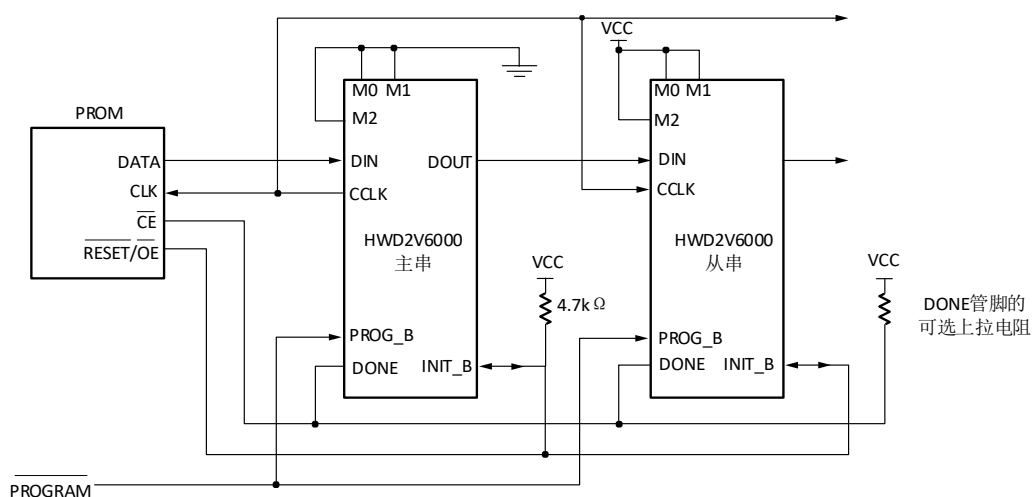


图 44 主/从串模式的电路图

从串行模式下，模式管脚（M2，M1，M0）应设置为（1，1，1）。如果管脚没有被连接，模式管脚因弱上拉电路将使从串行模式为默认的编程模式。但是仍然建议在外部上拉模式管脚。下图显示了从串模式的编程开关特性：

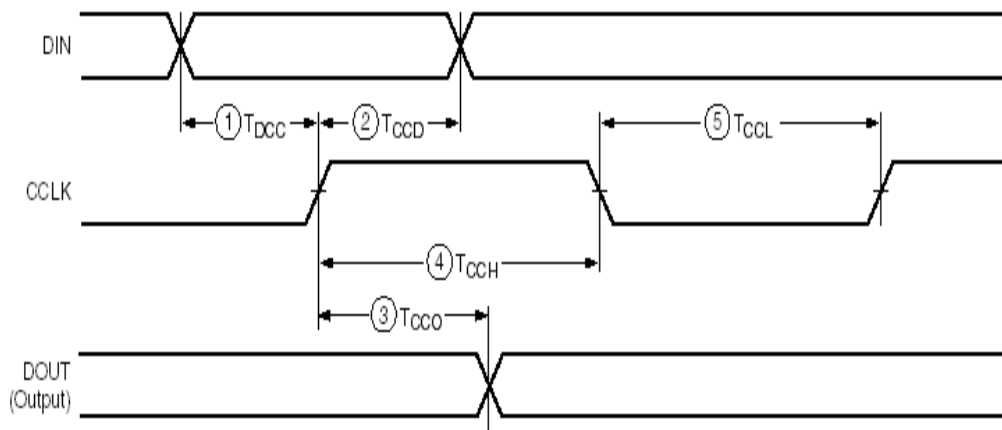


图 45 从串行模式的编程开关特性

下表为上图中显示的特性做了详细的描述。编程信号必须被延迟直到在菊花链上的所有 FPGA 的 $\overline{INIT}$ 管脚变为高电平。

表 44 主/从串模式的编程开关

	描述	符号	数值	单位
CCLK	DIN 置位/保持, 从串模式	T_{DCC}/T_{CCD}	5.0 / 0	ns, min
	DIN 置位/保持, 主串模式	T_{DSCK}/T_{CKDS}	5.0 / 0	ns, min
	DOUT	T_{CCO}	12.0	ns, max
	高电平时间	T_{CCH}	5.0	ns, min
	低电平时间	T_{CCL}	5.0	ns, min
	最大启动频率	$F_{CC_STARTUP}$	50	MHz, max
	最大频率	F_{CC_SERIAL}	66	MHz, max
	频率容限, 主串模式		+45% -30%	

7.3.7.4 主串模式

在主串模式, FPGA 输出管脚 CCLK 驱动一个 HWD2V6000 的串行 PROM, PROM 以串行方式将数据给 FPGA 的输入管脚 DIN。FPGA 在 CCLK 的每个上升沿接受数据。数据载入 FPGA 之后, 在每个 CCLK 的上升沿到来时, FPGA 的 DOUT 管脚应准备好为菊花链上的下一个器件的编程数据。

除了用振荡器来产生 CCLK 外, 其他接口和从串模式是一样的。CCLK 适用于范围很广的频率, 它一般是以低的默认频率为开始。接着编程数据将 CCLK 转变成较高的频率, 以用于余下的编程。变成低的频率是不允许的。

CCLK 的频率通过使用数据流产生软件中的 ConfigRate 选项来设置的。可以选择的最大的 CCLK 的频率是 60MHz。在选择 CCLK 的频率的时候，应确保串行的 PROM 和菊花链上的其他 FPGA 能够支持时钟频率。

在上电时，CCLK 的频率是 2.5MHz。这个频率一直使用到 ConfigRate 数据被载入，这时，频率变换到选择的 ConfigRate。除非在设计中指明了不同的频率，否则默认的 ConfigRate 是 4MHz

在主/从系统这个系统中，最左边的器件是以主串方式连接的。其余的器件工作在从串模式。SPROM 的 $\overline{RESET}$ 管脚由 $\overline{INIT}$ 所驱动， $\overline{CE}$ 的输入由 DONE 管脚来驱动。在 DIN 管脚上电压取决于开始顺序选项的选择。

下图显示了主串配置模式的时序。主串模式是通过选择模式管脚 (M2, M1, M0) 为 <000> 来选择。

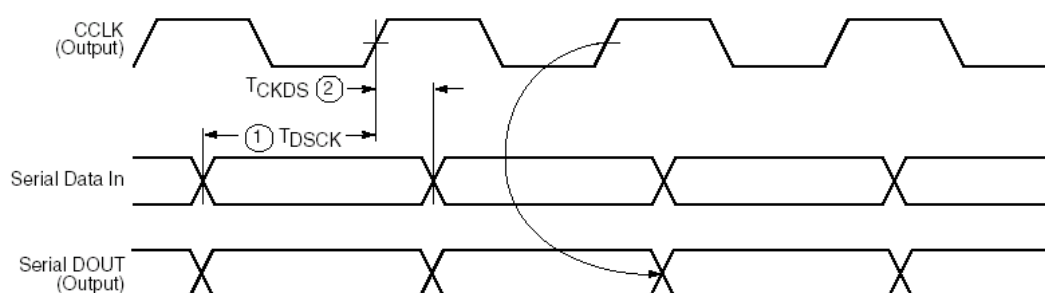


图 46 主串模式的编程开关特性

在上电时时， V_{cc} 必须在大于 200us，小于 50ms 内，从 1.0V 升到 V_{cc} ，否则，通过使 $\overline{PROGRAM}$ 为低来延迟编程，直到 V_{cc} 有效。

HWD2V6000 配置流程图如下：

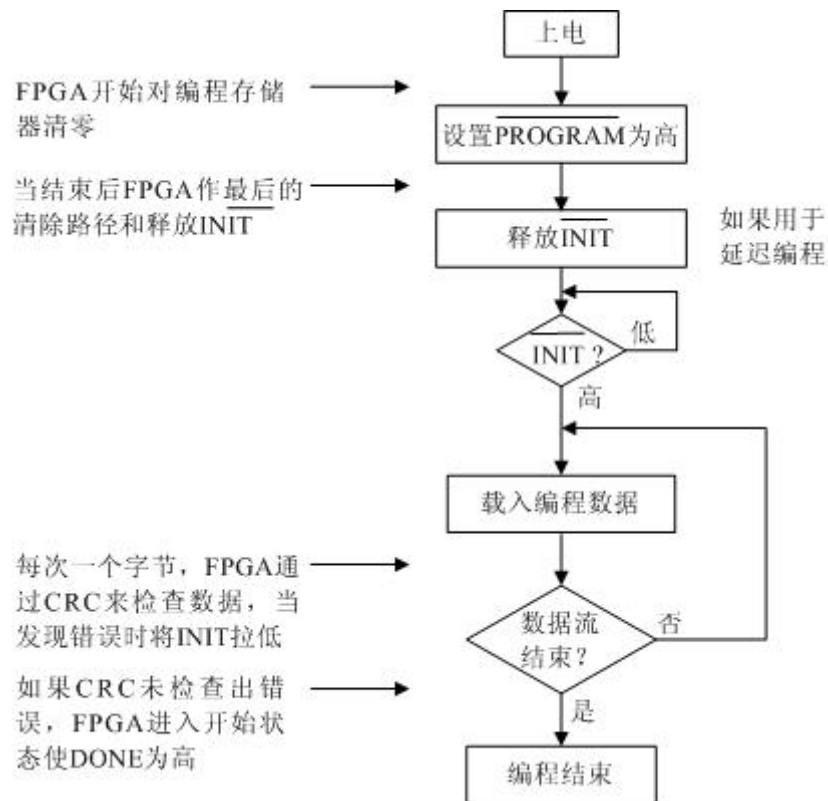


图 47 配置流程图

7.3.7.5 并行配置模式

并行配置模式是最快的编程模式。通过 BUSY 信号控制，将数据以字节的宽度写入 FPGA。

外部数据源提供字节的数据流、CCLK、片选信号 ($\overline{CS}$) 和写信号 ($\overline{WRITE}$)。如果 FPGA 的 BUSY 管脚输出为高电平，数据就应该在 BUSY 变为低电平之前一直保持。

在并行配置模式还可以对数据进行读取。如果 $\overline{WRITE}$ 信号无效，那么 FPGA 进行回读操作将编程数据读出。

在并行配置模式下，多个 FPGA 器件可以并行的链接起来。DATA 管脚 (D7: D0)、CCLK、 $\overline{WRITE}$ 、 $\overline{BUSY}$ 、 $\overline{PROGRAM}$ 、DONE 和 $\overline{INIT}$ 可以在所有 FPGA 之间并接起来。值得注意的是每个字节的最高位应该对应 D0 而每个字节的最低位对应 D7。但是每个 FPGA 有各自的 $\overline{CS}$ 信号，以确保每个 FPGA 可以单独的被选择。 $\overline{WRITE}$ 信号应该在第一个数据流来之前为低电平，并在最后一个器件编程之后回到高电平。使用 $\overline{CS}$ 信号来选择特定的 FPGA 来载入数据流以及发送编程数据流。在数据结束之后，取消选定已经载入数据的器件，选定下一个 FPGA 通过将其 $\overline{CS}$ 管脚置为高电平。一个自由摆动的振荡器或者其他外部产生信号可以用来 CCLK。在频率低于 50MHz 下 BUSY 信号可以被忽略。HWD2V6000 编程和回读。当所有器件全部编程结束，DONE 管脚变为高电平。编程结束之后，并行编程端口管脚可以被用作额外的用户 I/O。或者，这些端口可以用来高速 8bit 回读编程数据。

在反复设计调试情况下，并行配置端口在配置之后是可以保留的，如果选择保留，PROHIBIT 信号就用来防止并行配置编程端口被用来用户 I/O。

通过并行配置模式可以对多个型 FPGA 同时进行编程。在这个方式下对多器件进行编程，应将所有器件的 CCLK、DATA、 $\overline{WRITE}$ 和 BUSY 管脚并联在一起，每个器件通过各自 $\overline{CS}$ 管脚控制轮流的载入数据，参看下图以及下表并行配置模式时序参数。

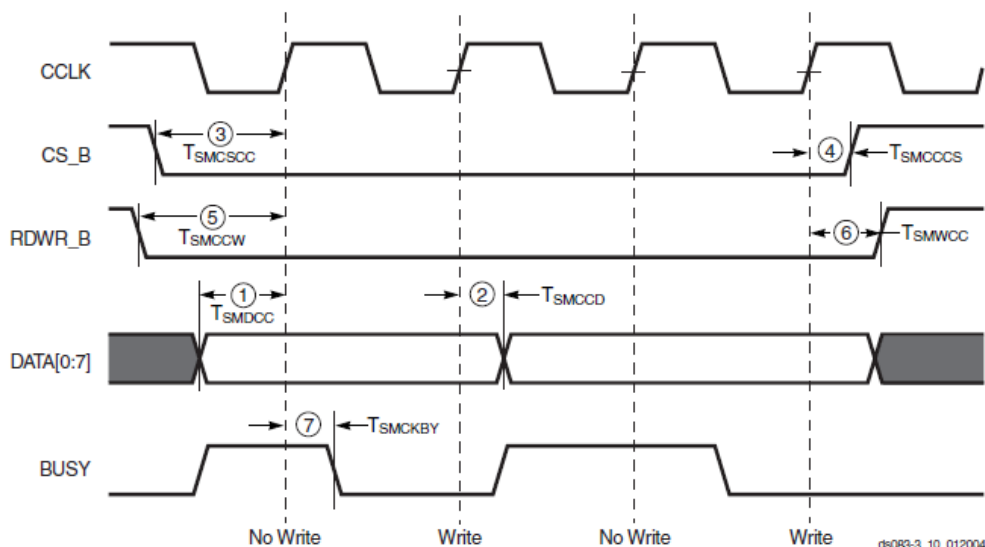


图 48 并行配置的数据加载时序

表 45 并行配置模式时序参数表

	描述	符号	数值	单位
CCLK	D0-7 置位/维持	TSMDCC/TSMCCD	5.0 / 0.0	ns, min
	CS_B 置位/维持	TSMCSCC/TSMCCCS	7.0 / 0.0	ns, min
	PDWR_B 置位/维持	TSMCCW/TSMWCC	7.0 / 0.0	ns, min
	BUSY 传输延迟	TSMCKBY	12.0	ns, max
	最大启动频率	FCC_STARTUP	50	MHz, ma
	最大频率	FCC_SELECTMAP	50	MHz, ma
	无抖动的最大频率	FCCNH	50	MHz, max

7.3.7.5.1 写入

写入操作是将配置数据以包的形式送入 FPGA 中。多周期写入操作的顺序将在下面示出。注意：编程数据包可以被分成许多这样的顺序。数据包也不要求在一个 $\overline{CS}$ 有效态时才能完成，如下图所示。

第 1 步将 $\overline{WRITE}$ 和 $\overline{CS}$ 置低。注意：当 $\overline{CS}$ 在连续的 CCLK 有效时， $\overline{WRITE}$ 必须被保持在有效或无效状态。

否则将像会产生中断，后面说明。

第 2 步将数据传输到 D[7: 0] 管脚。注意：为了避免竞争，在 $\overline{WRITE}$ 为低而 $\overline{CS}$ 为高，数据源不应该有效。

同样，当 $\overline{WRITE}$ 为高时， $\overline{CS}$ 应该固定在有效状态。

第 3 步在 CCLK 的上升沿时：如果 BUSY 是低电平，数据就在这一时钟时被接受。如果 BUSY 是高电平，数据将不被接受。在 BUSY 变低电平后的第一个时钟信号时，数据又被接受，在这之前数据必须被保持。

第 4 步重复 2 和 3 步，直到所有的数据都被送完。

第 5 步 $\overline{CS}$ 和 $\overline{WRITE}$ 无效

下图表示了写入的流程图。注意：如果 CCLK 低于 f_{CCLK} ，FPGA 将不会使 BUSY 有效。在这种情况下，上面的信号的交互是不必要的，而且在每个 CCLK 周期，数据可以容易的写入 FPGA 中。

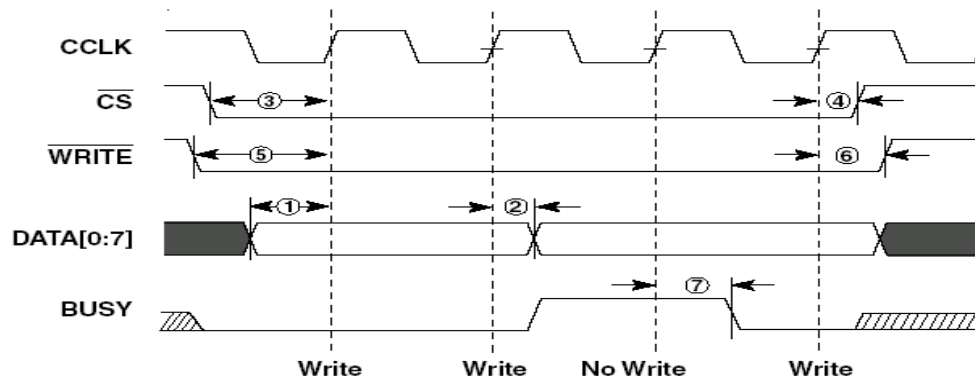


图 49 写操作

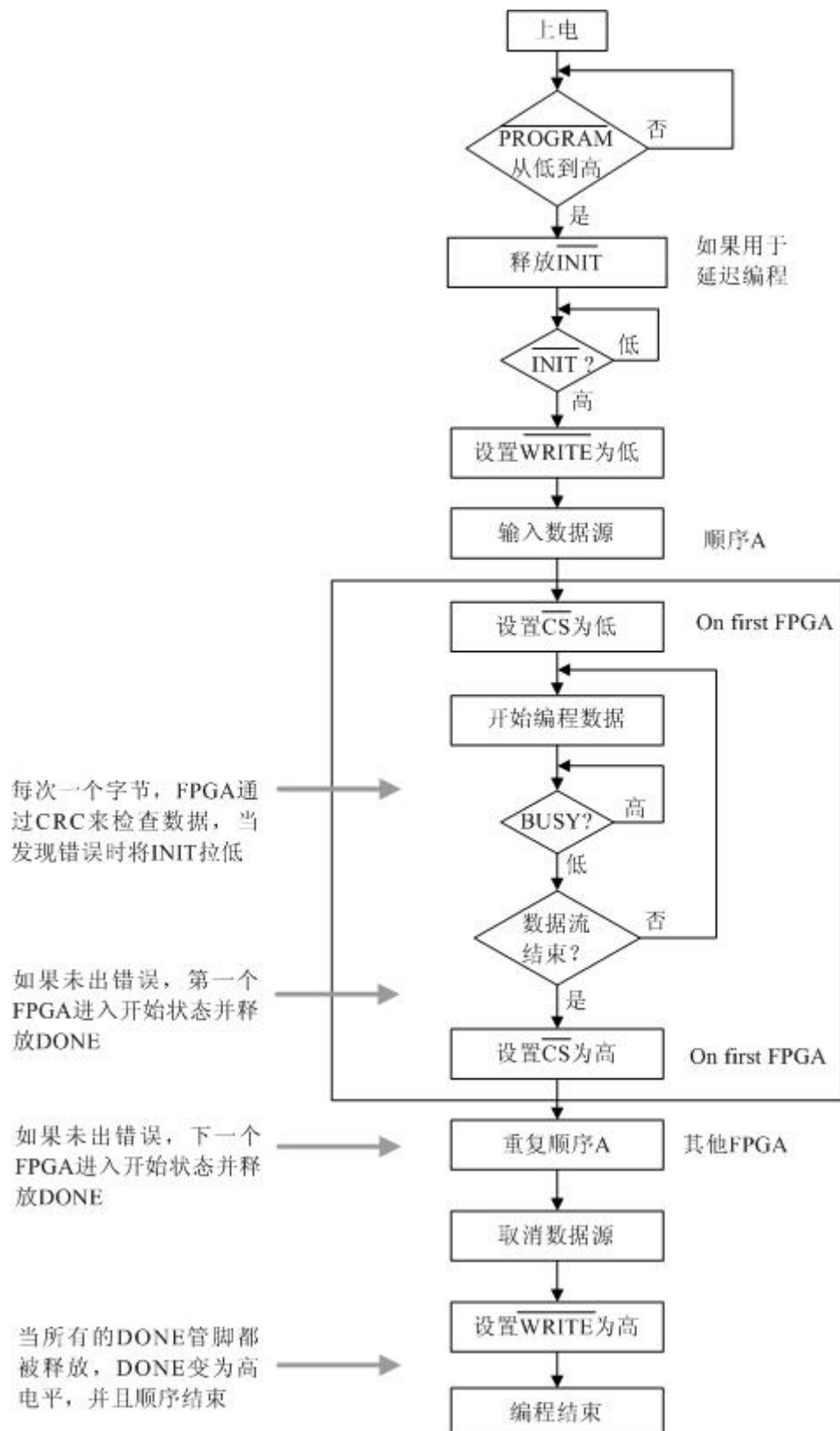


图 50 SelectMAP 的写操作流程

7.3.7.5.2 中断

在一个给定的 $\overline{CS}$ 信号时，用户不能将写命令变为读命令，反之亦然。这样会引起当前的命令被中断。器件将会保持 BUSY 有效，直到中断操作完成。在中断之后，数据将不被识别，FPGA 需要一个新的同步命令来接受新的数据包。

要在写入操作中产生中断，需要取消 $\overline{WRITE}$ 信号。在 CCLK 的上升沿到来时，中断就产生了，如下图所示。

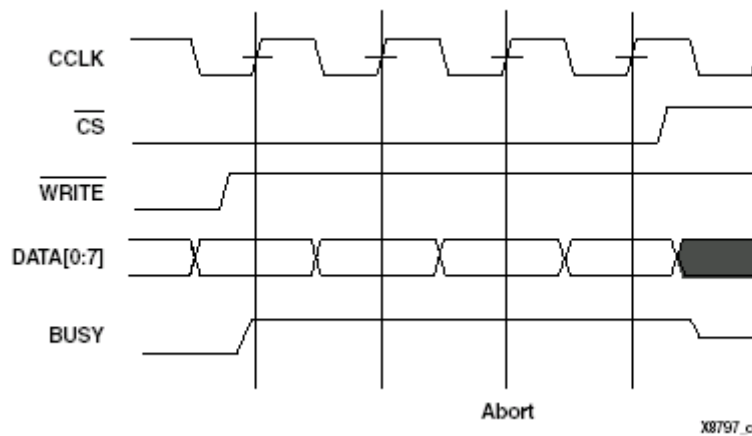


图 51 SelectMAP 的写中断波形

7.3.7.6 边界扫描模式

在 boundary-scan 模式中，编程是通过 IEEE 1149.1 的测试访问端口来完成。注意：在重新配置之前 $\overline{PROGRAM}$ 信号必须是高电平。若 $\overline{PROGRAM}$ 信号为低，那么 TAP 的控制器将被重新设置，也不可以对 JTAG 进行操作。

通过 TAP 来进行编程将使用 CFG_IN 指令。这个命令允许 TDI 的输入数据转变为数据包，为内部的数据编程总线所使用。

用 boundary-scan port 来对 FPGA 编程的步骤如下所述（使用 TCK 为开始时钟）

第 1 步将 CFG_IN 命令载入到边界扫描命令寄存器。

第 2 步进入 Shift-DR (SDR) 状态。

第 3 步将编程字符串送如 TD1 管脚。

第 4 步返回 Run-Test-Idle

第 5 步将 JSTART 命令载入 IR 中

第 6 步进入 SDR 状态

第 7 步 TCK 时钟信号通过启动顺序

第 8 步返回 RTI

通过 TAP 的编程和回读总是有效的。boundary-scan 模式通过模式管脚 (M2, M1, M0) 为 <101> 来选择。

7.3.7.7 编程顺序

HWD2V6000 的编程有三部。首先，编程存储器被清零。然后，编程数据载入存储器中。最后，在启动过程中使逻辑工作。

编程在上电时就自动开始，另外也可以像下面描述的那样被使用者延迟。编程过程也可以通过赋值 $\overline{PROGRAM}$ 开始。

存储器清零状态的结束用 $\overline{INIT}$ 信号变为高电平来告知，整个过程的完成用 DONE 变高来标识。

编程信号的开启时间显示在下图中。相关的时间特性列在下表：

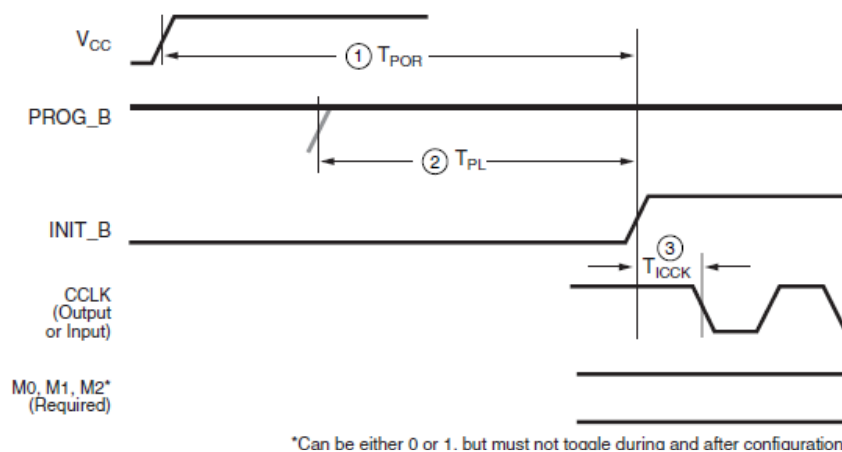


图 52 编程信号的开启时间

表 46 通电时间特性

描述	符号	数值	单位
电源复位	T_{POR}	$T_{PL} + 2$	ms, max
编程等待时间	T_{PL}	4	μs , max
CCLK (输出) 延迟	T_{ICCK}	0.5	μs , min
		4.0	μs , min
编程脉冲宽度	$T_{PROGRAM}$	300	ns, min

➤ 编程延迟

$\overline{INIT}$ 可以通过使用漏极开路驱动来维持低电平。 $\overline{INIT}$ 是一个双向的漏极开路管脚，在编程存储器被清零时，FPGA 使它维持在低电平，所以漏极开路驱动才被要求。延长管脚低电平的时间可以使配置过程延后。这样，编程就通过阻止数据载入的进入状态而被延迟。

➤ Start-up 时序

默认的 Start-up 时序是：DONE 信号变为高电平后的一个 CCLK 周期，全局 3 态信号 (GTS) 被释放。这就允许器件输出端使能有效。

再一个 CCLK 周期之后，全局的置位/复位 (GSR) 和全局写入使能 (GWE) 信号被释放。这就允许内部的存储元件根据逻辑和用户时钟来改变状态。

这些操作的相关时间也可以被改变。另外，全局 3 态信号 (GTS)，全局置位/复位 (GSR) 和全局的写入使能 (GWE) 可用大多数器件的 DONE 管脚信号变为高电平来生成，使所有的器件都同步开始。这样的顺序也会在任何的阶段上被暂停直到闭锁信号到达任一个或所有的 DLL 上。

数据流格式

HWD2V6000 可以通过连续的载入数据帧结构来编程。

表 47 HWD2V6000 配置需要的帧数

器件	帧数
HWD2V6000	2508

➤ 回读

为了验证，在 HWD2V6000 编程存储器中的编程数据可以被读回。连同编程数据，所有的触发器/锁存器，LUT RAMs，和块状 RAMs 的内容都可以被读回。这种能力用于实时调试。

8 应用建议

8.1 DONE_PIPE 属性

建议用户在产生 BIT 流时勾选 DONE_PIPE 属性，避免因为 DONE 信号上升沿过缓导致偶发配置失败，选择方法见下图。

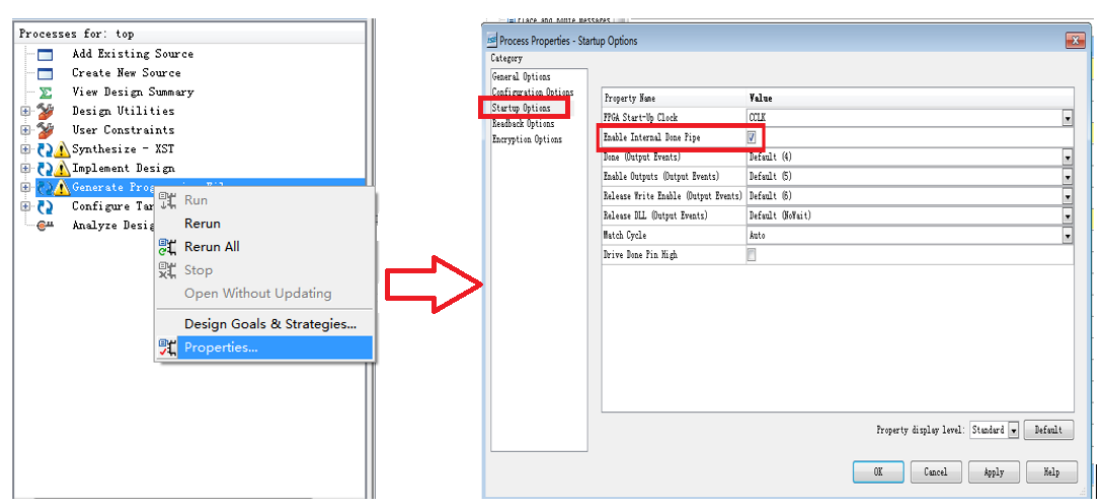


图 53 选择 DONE_PIPE 属性

在 XILINX 公司的“Virtex-II Platform FPGA User Guide”中，也建议用户使用 DONE_PIPE 属性，如下图所示：

DONE_PIPE	25	Adds a pipeline stage for the DONEIN signal. The DONEIN signal reflects the logic level on the DONE pin, not whether the device has released the DONE pin. This pipeline stage can be useful if the rise time on the DONE pin is slow, which could otherwise cause configuration to fail. 0 : No pipeline stage for DONEIN 1 : Add pipeline stage for DONEIN
-----------	----	--

图 54 DONE_PIPE 属性说明

8.2 应用原理图

HWD2V6000 的应用原理图如下，配置芯片为 HWD32P，考虑了所有的配置模式，用户可以根据自己的应用情况进行设计简化和更改，下面只说明了配置 BANK 和电源部分，其它的 BANK 部分未说明。

配置部分原理图如下，可根据具体应用进行更改。

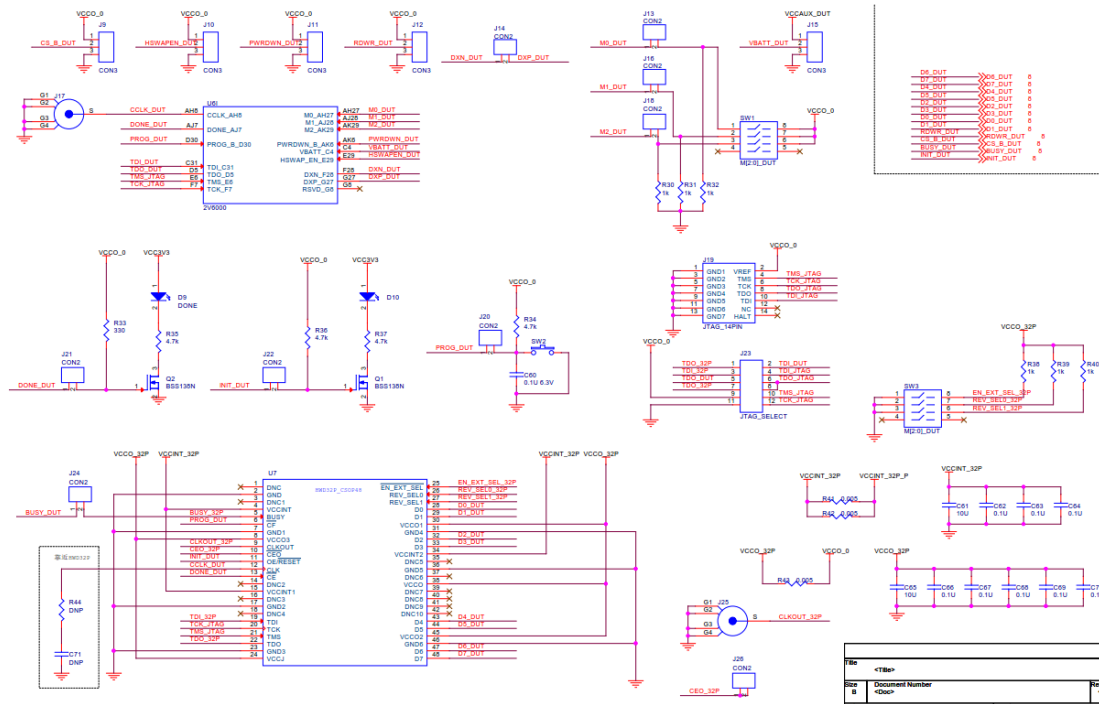


图 55 配置部分原理图

电源部分原理图如下，滤波电容可根据具体应用进行更改。

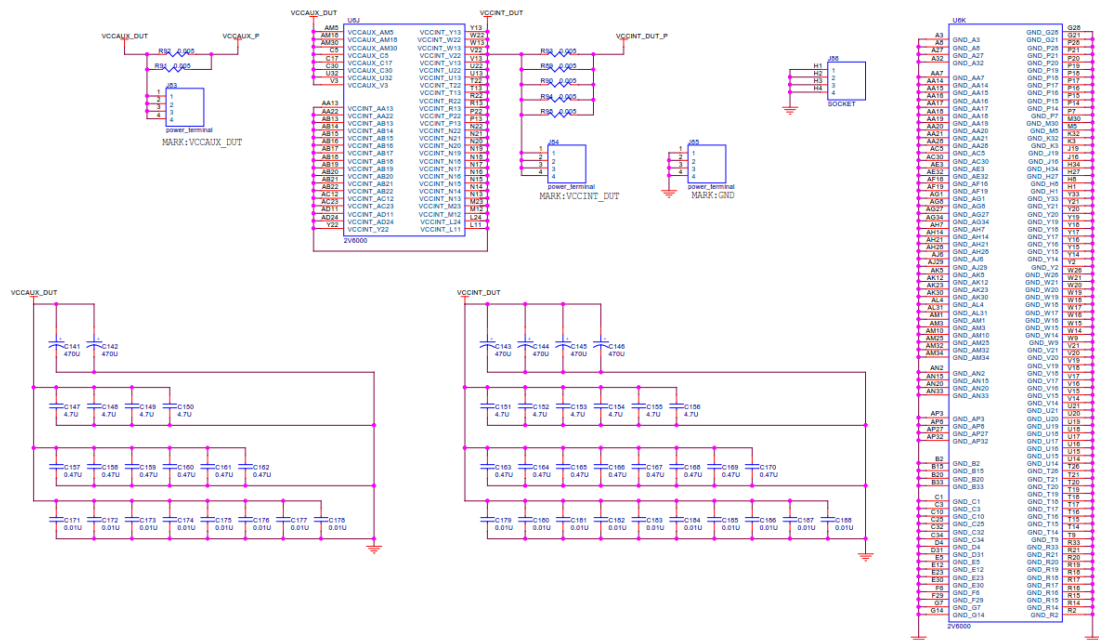


图 56 电源部分原理图

8.3 与国外产品使用差异

8.3.1 时序

与国外 Xilinx Virtex-II 系列参考芯片相比，在使用上的主要差异体现在时序参数上，经过典型延时

参数测试、分析对比，HWD2V6000 大概与 Xilinx XC2V6000 时序上有 10%左右的差异，指标均满足参数手册上要求。因此，若原位替换，在设计上请保证足够的余量。

8.3.2 软件

使用 ISE 开发环境时，需按下表对应关系选择 FPGA 的具体型号：

表 48 ISE 工程型号选择

我司产品型号	ISE 工程应选型号
HWD2V6000FG676	HWD2V6000-EF1152

引脚对应关系按下表。

表 49 FG676 与 BG728 USER IO 对应关系

EF1152	FG676	EF1152	FG676	EF1152	FG676
D29	A24	P2	M3	AN27	AC18
C29	B24	N2	M4	AP26	AD18
E28	A23	R4	M5	AP29	AA18
E27	B23	P4	M6	AP28	AB18
F25	B22	T11	N4	AG21	AA19
F26	A22	U11	N5	AG22	AB19
E26	A21	T2	N8	AN29	AC19
F27	A20	R1	P8	AN28	AD19
B32	C21	T6	N7	AP31	AE19
C33	B21	U6	N6	AP30	AF19
C27	G19	U1	M1	AH24	AC20
C28	G20	U2	M2	AH25	AD20
B30	D21	U3	P3	AM27	AF21
B31	C20	V4	P4	AM26	AF20
A30	C19	V6	P1	AN31	AE22
A31	B19	W6	N1	AN30	AE21
G24	G18	V7	P5	AK26	W20
G25	F18	W7	P6	AK27	Y21
E25	D20	V10	R7	AM33	AF23
E24	D19	W10	P7	AN32	AF22
H23	F20	W4	R5	AJ27	AE23
H22	F19	Y4	R6	AJ26	AE24
B28	A18	W2	R3	AE22	AC22
B29	A19	Y1	R4	AE23	AB23
J22	E20	AA4	R8	AM28	AF25
J21	E19	AB4	T8	AM29	AF24

EF1152	FG676	EF1152	FG676	EF1152	FG676
A28	D18	Y10	T6	AK28	AB7
A29	E18	AA10	T5	AL29	AA7
A26	C18	AA5	T3	AG24	AD6
B27	B18	AB5	T4	AG25	AC6
D22	E17	AA9	R1	AL30	AB6
D23	F17	Y9	R2	AM31	AC5
B23	H16	AB6	U7	AE24	AD25
B24	G17	AC6	T7	AD25	AE26
F22	F16	AD1	T1	AJ30	AA23
F21	G16	AC1	T2	AH30	AB24
A23	C17	AC4	U3	AL32	AD26
A24	D17	AD4	U4	AK32	AC26
C22	F15	AB7	V1	AF25	AC25
C23	G15	AC7	U1	AE25	AB25
E21	A16	AC8	U5	AH29	AA26
E22	A17	AB8	U6	AG29	AB26
G20	D16	AB10	V2	AG26	Y22
F20	E16	AC10	V3	AF26	AA22
B21	B16	AE4	V4	AJ32	AA24
B22	C16	AF4	V5	AH32	AA25
D20	D15	AE2	V7	AG28	V21
D21	E15	AF1	V6	AF28	W21
D19	B15	AD6	W2	AF27	W22
D18	C15	AE6	W3	AE27	W23
G18	D14	AD9	W1	AL34	Y24
G19	E14	AE9	Y1	AK34	Y23
F18	A15	AF3	W4	AC25	W24
F19	A14	AG3	W5	AB25	W25
C19	A12	AG4	Y3	AE31	Y26
C18	A13	AH5	Y4	AD32	W26
K18	G14	AF6	AA1	AD27	U20
J18	F14	AG6	AA2	AC27	V20
E19	H14	AF7	W6	AE30	V24
E18	H15	AG7	W7	AD30	V25
E17	D13	AL1	AB1	AC26	V23
E16	C13	AK1	AB2	AB26	V22
H17	F13	AH2	Y5	AF33	U26
H16	E13	AJ2	Y6	AG33	V26
D17	G13	AJ4	AA3	AC28	U21
D16	H13	AK4	AA4	AB28	U22
F16	G12	AE10	AC1	AB27	U23
F17	H12	AD10	AC2	AA27	U24

EF1152	FG676	EF1152	FG676	EF1152	FG676
G16	F12	AE11	AD1	AA25	T23
G17	E12	AF11	AD2	Y25	T24
C16	D12	AK3	AB3	AC32	T21
C15	C12	AL3	AB4	AB32	T22
C13	F11	AF10	AE1	AA26	T19
C14	E11	AG9	AF2	Y26	T20
B13	D11	AM4	AD21	AC31	T25
B14	C11	AL5	AC21	AD31	T26
F15	G11	AG10	Y20	Y27	R19
G15	H11	AH11	Y19	W27	R20
A11	B11	AK7	AA20	AB31	R21
A12	B12	AK8	AB20	AA31	R22
E13	G10	AL6	AE4	Y28	R23
E14	F10	AM6	AF4	Y29	R24
D12	A10	AK9	AF3	AA30	R26
D13	A11	AJ8	AE3	AB30	R25
F14	E10	AN3	AF5	W28	P22
F13	D10	AM2	AE5	V28	P23
B11	C9	AH9	Y8	Y31	P20
B12	C10	AH10	Y7	W31	P21
D10	E9	AN5	AE6	V26	N19
D11	D9	AN4	AF6	V27	P19
B9	B9	AP5	AF8	V32	P26
B10	A9	AP4	AF7	W32	N26
B8	G9	AN7	AD7	U31	N23
A9	F9	AN6	AC7	V31	N24
A6	C8	AL10	AD8	U33	N21
A7	B8	AL9	AC8	U34	N22
E11	E8	AF12	AA8	U29	N20
E10	D8	AF13	AB8	T29	M20
B6	D7	AP7	AF9	T30	M25
B7	D6	AP6	AE8	U30	M26
E8	G8	AH13	Y9	N32	M23
E9	F8	AH12	AA9	P32	M24
A4	C6	AJ11	AC9	N33	M22
A5	C7	AJ12	AB9	P33	M21
F10	E6	AP9	AE9	R29	L19
G9	E7	AN8	AD9	R28	M19
B4	A7	AM11	AB10	N31	L22
B5	A8	AL11	AA10	P31	L21
D6	B6	AN12	W11	L34	L25
C6	A6	AN11	Y10	M34	L26

EF1152	FG676	EF1152	FG676	EF1152	FG676
H11	G7	AJ13	AA11	P29	K23
J10	G6	AJ14	Y11	N29	K24
D8	A5	AL13	AD10	P27	L23
E7	B5	AL12	AC10	N27	L24
F9	B4	AM13	AC11	L32	J26
F8	A4	AM12	AB11	M32	K26
H10	B1	AP12	AF10	L31	K20
H9	A2	AP11	AF11	M31	L20
C2	B3	AN14	AA12	M29	K22
B3	A3	AN13	Y12	L29	K21
E2	C1	AP14	AE11	K30	J24
D2	C2	AP13	AD11	K31	J25
K11	E4	AK14	AC12	H32	J23
K10	E3	AK13	AB12	J32	J22
F5	D1	AL16	AD12	J33	G26
G5	D2	AL17	AE12	K33	H26
E3	E1	AJ17	W13	H33	H22
D3	E2	AJ16	W12	J34	H23
F4	F4	AM15	AF12	H31	H24
E4	G5	AM14	AF13	J31	H25
E1	F2	AM16	AF15	N25	J20
D1	F3	AM17	AF14	M25	J21
H7	G3	AF17	Y13	H28	G23
J7	G4	AG17	AA13	J29	G24
H6	H6	AK16	AC13	G29	H20
G6	H7	AK17	AB13	H29	H21
G3	H4	AK18	AC14	F33	F25
F3	H5	AK19	AD14	G33	F26
G2	F1	AG18	AB14	J28	F23
F2	G1	AF18	AA14	J27	F24
G1	H2	AL18	W14	E31	E25
F1	H3	AL19	Y14	F31	E26
L8	J5	AJ19	W16	D32	G21
M8	J6	AJ18	W15	E32	G22
J1	K7	AH19	AB15	D34	D25
H2	J7	AH18	AC15	E34	D26
L5	J3	AM19	AE15	G30	E23
K5	J4	AM20	AD15	F30	E24
K2	H1	AK22	Y15	K25	B26
J2	J2	AK21	AA15	J25	A25
L6	L7	AN22	AE16	D33	C25
M6	L8	AN21	AD16	E33	C26

EF1152	FG676	EF1152	FG676	EF1152	FG676
M3	K5	AJ20	AB16	C4	C23
L3	K6	AH20	AC16	C31	F5
L4	K3	AP24	AF17	D5	F22
K4	K4	AP23	AF16	D30	C4
M2	K1	AL23	Y16	E6	D22
L2	J1	AL22	AA16	E29	D5
N8	L5	AM24	AC17	F7	E21
P8	L6	AM23	AD17	F28	F7
N6	L3	AJ21	AA17	G8	C22
P6	L4	AJ22	AB17	G27	C5
P3	M7	AN24	AE18	AH8	AB21
N3	M8	AN23	AF18	AH27	AD4
M1	L1	AL25	Y18	AJ7	AD22
L1	L2	AL24	Y17	AJ28	AA5
				AK6	AD23
				AK29	AD5

9 使用注意事项

对芯片的输入输出操作时序按照芯片的使用说明书定义，本节主要针对焊接、调试过程注意事项。

运输过程都采用了防静电包装，但在焊接前后到调试完成板子装配到机箱整个过程如不注意，也会造成静电的损伤，使得集成电路的可靠性下降。因此需要注意以下几点：

- 开启包装要在防静电的场所，特别是天冷、干燥的季节，操作人员有意识地释放身体的静电。相信很多人在干燥寒冷的时候被门把手打到的情况，此时静电可以上万伏，一般的集成电路是承受不了的。如何释放静电？有条件的可以吹粒子风，戴防静电手腕等，没有条件的可以通过触摸接了地的计算机箱来释放。
- 焊接人员要在防静电台面上操作，即使带了防静电手腕，拿芯片不要触摸引脚，更不允许芯片无意接触衣物、普通塑料等易产生静电的物品，包装芯片一定要用专用的防静电袋。电烙铁要求防静电。
- 调试人员在测试调节过程中注意衣物等高静电物品不要接触印制板和元器件，手拿印制板时尽量拿边缘。
- 测试设备和芯片供电不共地要十分小心，累计的电位差可能会产生放电。
- 本器件采用塑封 BGA 形式的产品，建议采用推荐的回流焊条件（该回流焊条件是根据单独产品特性条件制定，不涉及板卡上其它器件，实际使用的回流焊条件及曲线还需根据实际上板具体情况而确定）。

10 订货信息

表 50 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	引脚材料	重量 (g)	详细规范
1	HWD2V6000-4FG676	FBGA676	塑料	军温级	Sn63Pb37	7.38	Q/HWD20192-2014
2	HWD2V6000-4FG676N	FBGA676	塑料	N1 级	Sn63Pb37	7.38	Q/HWD20183-2014
3	HWD2V6000-4EF1152N	FBGA1152	塑料	N1 级	Sn63Pb37	14.09	Q/HWD20188-2014
4	HWD2V6000-4EF1152	FBGA1152	塑料	军温级	Sn63Pb37	14.09	Q/HWD20193-2014
5	HWD2V6000-4EF1152G	FBGA1152	塑料	军温级	SAC305	14.11	Q/HWD20423-2018

注1:

- a) N/N1级器件满足GJB 7400A 《合格制造厂认证用半导体集成电路通用规范》N/N1级的筛选要求
- b) 军温级器件满足Q/HWD40020《华微军温级产品通用规范》的筛选要求，其工作环境温度范围应为-55℃~+125℃。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。