

HWD12B40GA4PBGA899M3 型
四通道 12 位 40GSPS 超高速高精度 A/D 转换器
产品手册
V1.0.2

成都华微电子科技股份有限公司

2025 年 7 月 14 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本。	李春艳	20250626	预发布
V1.0.1	新增幅频响应曲线。	李春艳	20250704	预发布
V1.0.2	更新产品特点、交流规格、典型性能曲线。	李春艳	20250714	预发布

目 次

1 概述	1
2 产品特点	1
3 功能框图	1
4 封装信息	3
4.1 封装及引脚信息	3
4.2 焊盘推荐	33
4.3 焊接推荐	34
5 绝对最大额定值及推荐工作范围	35
5.1 绝对最大额定值	35
5.2 推荐工作范围	35
6 电特性参数	35
6.1 技术规格	35
6.2 典型性能曲线	42
6.3 幅频响应	45
6.4 误码率测试	46
6.5 S 曲线	47
6.6 等效电路	48
7 功能描述	50
7.1 概述	50
7.2 功能描述	50
8 应用建议	70
8.1 启动流程	70
8.2 应用电路	70
9 使用注意事项	70
10 订货信息	71

1 概述

HWD12B40GA4PBGA899M3是一款4通道、12位超高速高精度A/D转换器，采样率范围24GSPS到40GSPS可调，支持将通道1/2和通道3/4片内交织为一个通道，交织后的采样率最高可达80GSPS，输入带宽支持19GHz。ADC内核采用时间交织SAR结构实现，通过使用宽带采样保持电路设计技术、时间交织及内部误差校正技术、JESD204C高速串行接口电路设计技术，使其具备单芯片超高速高精度以及高输入带宽A/D转换器的能力。同时该款芯片具有较低误码率，支持多芯片同步功能。

HWD12B40GA4PBGA899M3采用BGA899封装，额定温度范围为-55℃至+125℃温度范围。建议环境工作温度为50度以下，从而保证片内结温小于100度，进而获得较好性能和稳定性。

2 产品特点

- 1) NSD: -151.79 dBFS/Hz at 40 GSPS with -6.2dBFS, 1.152GHz input。
- 2) SFDR: 62.26 dBFS at 40 GSPS with -6.2dBFS, 3.152GHz input;
60.71 dBFS at 40 GSPS with -6.2dBFS, 9.152GHz input;
57.24 dBFS at 40 GSPS with -6.2dBFS, 15.152GHz input;
54.30 dBFS at 40 GSPS with -6.2dBFS, 17.152GHz input;
- 3) 最差其他 spur (H2、H3 除外): 62.26 dBFS at 40 GSPS with -6.2dBFS, 3.152GHz input。
- 4) 单通道 DNL 典型值 ± 1 LSB; 单通道 INL 典型值 ± 2.5 LSB。
- 5) 具有低功耗特点，单通道功耗 $< 5W$ 。
- 6) 输入带宽支持 19GHz，600mVpp，100 Ω 。
- 7) 支持多芯片同步功能。
- 8) 支持 SPI 接口，满足 SPI 标准接口协议，可寻址内部存储空间。
- 9) 支持 JESD204C 接口，内置 96 条 lane 可配置输出，最高线速率达 25Gbps，兼容 JESD204B 接口。
- 10) 26.0mm x 24.0mm，899-ball BGA package。

3 功能框图

HWD12B40GA4PBGA899M3是一款4通道ADC，其系统架构如图1所示。

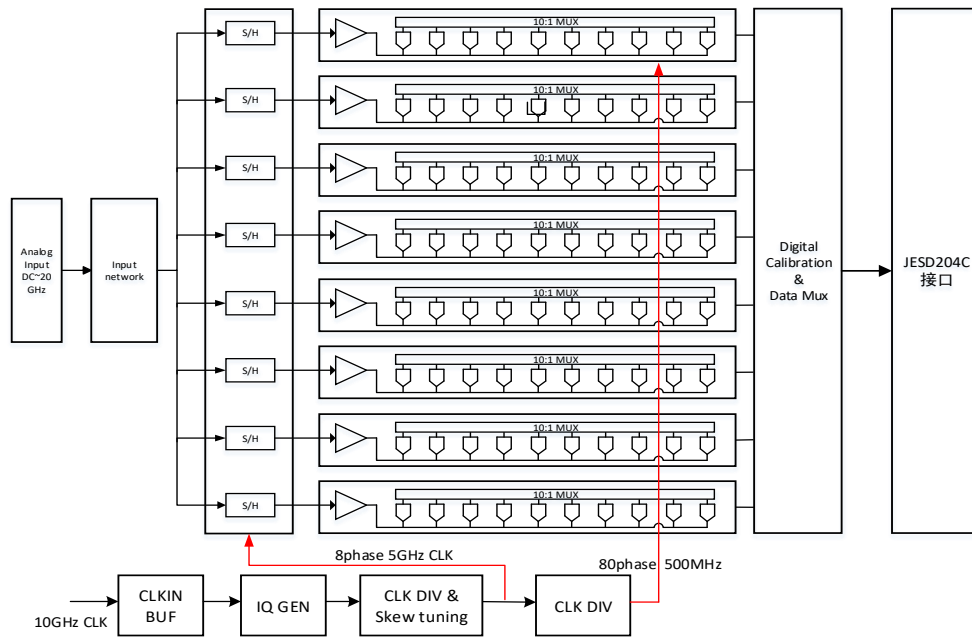


图 1 系统架构图

HWD12B40GA4PBGA899M3的典型应用场景如图2所示，应用直接RF采样接收器模拟信号链，支持L、S、C、X、Ku、K、Ka波段采样。

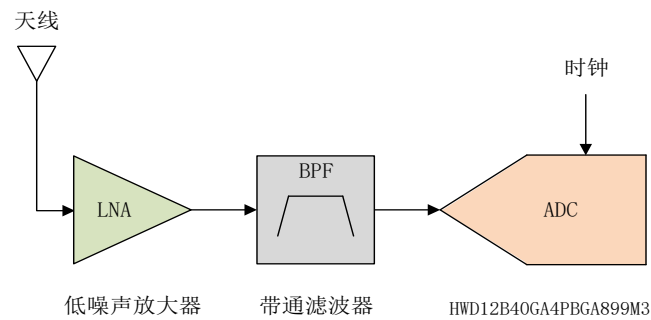
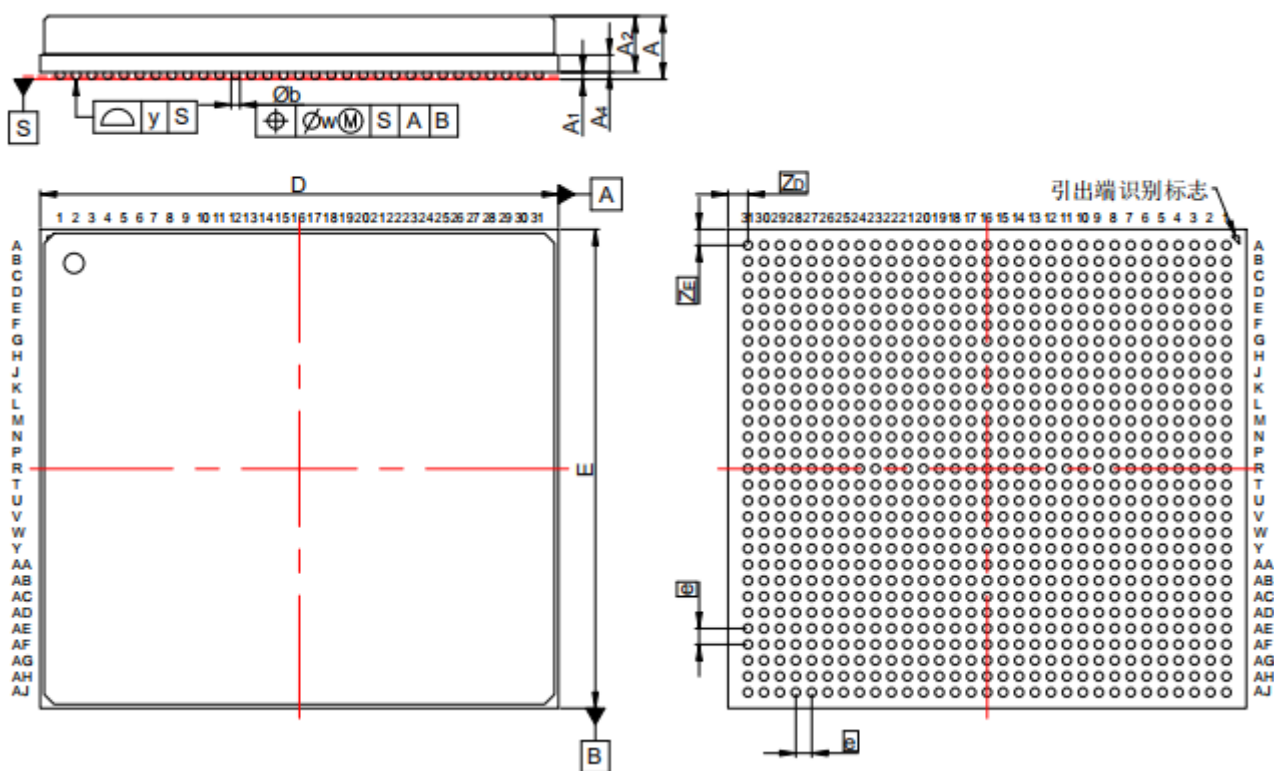


图 2 典型应用场景

4 封装信息

4.1 封装及引脚信息

HWD12B40GA4PBGA899M3采用塑封BGA899封装，封装形式为FC-PBGA899，外形尺寸参考GB/T 7092-2021，封装外形图及引脚排列图如图3所示。



尺寸符号	数值，单位：毫米		
	最小	公称	最大
A	2.92	—	3.51
A ₁	0.31	—	0.41
A ₂	2.61	—	3.10
A ₄	0.76	—	0.95
Φ _b	0.40	—	0.50
D	25.90	—	26.10
E	23.90	—	24.10
e	—	0.80	—
y	—	—	0.15
Z _D	—	1.00	—
Z _E	—	0.80	—

图3 封装外形图及引脚排列图

HWD12B40GA4PBGA899M3引脚布局示意图如图4所示。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
A	AGND	AGND	AGND	AGND	AGND	VIN_P_4	VIN_N_4	AGND	VIND_P_2	VIND_N_2	AGND	VIN_N_3	VIN_P_3	AGND	CLKN	AGND	CLKP	AGND	VIN_P_2	VIN_N_2	AGND	VIND_N_1	VIND_P_1	AGND	VIN_N_1	VIN_P_1	AGND	AGND	AGND	AGND	AGND
B	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND
C	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND
D	AGND	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF	VDD_REF
E	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND
F	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD	AVDD
G	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND
H	AGND	AGND	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK	SELCLK
J	VSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS	MOATVSS
K	SERROUT	SERROUT	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
L	SERROUT	SERROUT	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
M	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
N	SERROUT	SERROUT	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
P	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
R	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
T	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
U	SERROUT	SERROUT	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
V	SERROUT	SERROUT	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
W	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
Y	SERROUT	SERROUT	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
AA	SERROUT	SERROUT	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
AB	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
AC	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
AE	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
AF	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
AG	SERROUT	SERROUT	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
AH	SERROUT	SERROUT	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND
AJ	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND

图 4 引脚布局示意图

HWD12B40GA4PBGA899M3引脚端功能说明如表1所示。

表 1 引脚端功能说明

引出端序号	符号	功能描述
A1	AGND	模拟地
A2	AGND	模拟地
A3	AGND	模拟地
A4	AGND	模拟地
A5	AGND	模拟地
A6	VIN_P_4	高速输入采样通道 4 正端
A7	VIN_N_4	高速输入采样通道 4 负端
A8	AGND	模拟地
A9	VIND_P_2	交织输入采样通道 2 正端
A10	VIND_N_2	交织输入采样通道 2 负端
A11	AGND	模拟地
A12	VIN_N_3	高速输入采样通道 3 负端
A13	VIN_P_3	高速输入采样通道 3 正端
A14	AGND	模拟地
A15	CLKN	高速输入采样时钟负端
A16	AGND	模拟地
A17	CLKP	高速输入采样时钟正端
A18	AGND	模拟地
A19	VIN_P_2	高速输入采样通道 2 正端

引出端序号	符号	功能描述
A20	VIN_N_2	高速输入采样通道 2 负端
A21	AGND	模拟地
A22	VIND_N_1	交织输入采样通道 1 负端
A23	VIND_P_1	交织输入采样通道 1 正端
A24	AGND	模拟地
A25	VIN_N_1	高速输入采样通道 1 负端
A26	VIN_P_1	高速输入采样通道 1 正端
A27	AGND	模拟地
A28	AGND	模拟地
A29	AGND	模拟地
A30	AGND	模拟地
A31	AGND	模拟地
B1	AGND	模拟地
B2	AGND	模拟地
B3	AGND	模拟地
B4	AGND	模拟地
B5	AGND	模拟地
B6	AGND	模拟地
B7	AGND	模拟地
B8	AGND	模拟地
B9	AGND	模拟地
B10	AGND	模拟地
B11	AGND	模拟地
B12	AGND	模拟地
B13	AGND	模拟地
B14	AGND	模拟地
B15	AGND	模拟地
B16	AGND	模拟地
B17	AGND	模拟地
B18	AGND	模拟地
B19	AGND	模拟地
B20	AGND	模拟地
B21	AGND	模拟地

引出端序号	符号	功能描述
B22	AGND	模拟地
B23	AGND	模拟地
B24	AGND	模拟地
B25	AGND	模拟地
B26	AGND	模拟地
B27	AGND	模拟地
B28	AGND	模拟地
B29	AGND	模拟地
B30	AGND	模拟地
B31	AGND	模拟地
C1	AGND	模拟地
C2	AGND	模拟地
C3	AGND	模拟地
C4	AGND	模拟地
C5	AGND	模拟地
C6	AGND	模拟地
C7	AGND	模拟地
C8	AGND	模拟地
C9	AGND	模拟地
C10	AGND	模拟地
C11	AGND	模拟地
C12	AGND	模拟地
C13	AGND	模拟地
C14	AGND	模拟地
C15	AGND	模拟地
C16	AGND	模拟地
C17	AGND	模拟地
C18	AGND	模拟地
C19	AGND	模拟地
C20	AGND	模拟地
C21	AGND	模拟地
C22	AGND	模拟地
C23	AGND	模拟地

引出端序号	符号	功能描述
C24	AGND	模拟地
C25	AGND	模拟地
C26	AGND	模拟地
C27	AGND	模拟地
C28	AGND	模拟地
C29	AGND	模拟地
C30	AGND	模拟地
C31	AGND	模拟地
D1	AGND	模拟地
D2	VDD_REF	模拟 1V 参考电源
D3	AGND	模拟地
D4	VDD_REF	模拟 1V 参考电源
D5	AGND	模拟地
D6	VDD_REF	模拟 1V 参考电源
D7	AGND	模拟地
D8	VDD_REF	模拟 1V 参考电源
D9	AGND	模拟地
D10	AGND	模拟地
D11	AGND	模拟地
D12	AGND	模拟地
D13	AGND	模拟地
D14	AGND	模拟地
D15	AGND	模拟地
D16	AGND	模拟地
D17	AGND	模拟地
D18	AGND	模拟地
D19	AGND	模拟地
D20	AGND	模拟地
D21	AGND	模拟地
D22	AGND	模拟地
D23	AGND	模拟地
D24	VDD_REF	模拟 1V 参考电源
D25	AGND	模拟地

引出端序号	符号	功能描述
D26	VDD_REF	模拟 1V 参考电源
D27	AGND	模拟地
D28	VDD_REF	模拟 1V 参考电源
D29	AGND	模拟地
D30	VDD_REF	模拟 1V 参考电源
D31	AGND	模拟地
E1	AGND	模拟地
E2	AGND	模拟地
E3	AGND	模拟地
E4	AGND	模拟地
E5	AGND	模拟地
E6	AGND	模拟地
E7	AGND	模拟地
E8	AGND	模拟地
E9	AGND	模拟地
E10	AVDD	模拟 1V 电源
E11	AVDD	模拟 1V 电源
E12	AGND	模拟地
E13	AVDDC	时钟 1V 电源
E14	AGND	模拟地
E15	TRIG_N	多芯片同步触发负端
E16	AGND	模拟地
E17	TRIG_P	多芯片同步触发正端
E18	AGND	模拟地
E19	AVDDC	时钟 1V 电源
E20	AGND	模拟地
E21	AVDD	模拟 1V 电源
E22	AVDD	模拟 1V 电源
E23	AGND	模拟地
E24	AGND	模拟地
E25	AGND	模拟地
E26	AGND	模拟地
E27	AGND	模拟地

引出端序号	符号	功能描述
E28	AGND	模拟地
E29	AGND	模拟地
E30	AGND	模拟地
E31	AGND	模拟地
F1	AVDD	模拟 1V 电源
F2	AVDD	模拟 1V 电源
F3	AVDD	模拟 1V 电源
F4	AVDD	模拟 1V 电源
F5	AVDD	模拟 1V 电源
F6	AVDD	模拟 1V 电源
F7	AVDD	模拟 1V 电源
F8	AVDD	模拟 1V 电源
F9	AVDD	模拟 1V 电源
F10	AVDD	模拟 1V 电源
F11	AGND	模拟地
F12	AGND	模拟地
F13	AVDDC	时钟 1V 电源
F14	AVDDC	时钟 1V 电源
F15	AGND	模拟地
F16	AGND	模拟地
F17	AGND	模拟地
F18	AVDDC	时钟 1V 电源
F19	AVDDC	时钟 1V 电源
F20	AGND	模拟地
F21	AGND	模拟地
F22	AVDD	模拟 1V 电源
F23	AVDD	模拟 1V 电源
F24	AVDD	模拟 1V 电源
F25	AVDD	模拟 1V 电源
F26	AVDD	模拟 1V 电源
F27	AVDD	模拟 1V 电源
F28	AVDD	模拟 1V 电源
F29	AVDD	模拟 1V 电源

引出端序号	符号	功能描述
F30	AVDD	模拟 1V 电源
F31	AVDD	模拟 1V 电源
G1	AGND	模拟地
G2	AGND	模拟地
G3	AGND	模拟地
G4	AGND	模拟地
G5	AGND	模拟地
G6	AGND	模拟地
G7	SYNCINB_N	204B sync 触发信号负端
G8	SYNCINB_P	204B sync 触发信号正端
G9	AGND	模拟地
G10	AGND	模拟地
G11	VDDIO	数字 2.5V 电源
G12	AGND	模拟地
G13	VDDIO	数字 2.5V 电源
G14	AGND	模拟地
G15	ATST	模拟测试端口
G16	VDDIO	数字 2.5V 电源
G17	RST_EXT	复位信号
G18	AGND	模拟地
G19	AGND	模拟地
G20	AGND	模拟地
G21	AGND	模拟地
G22	AGND	模拟地
G23	AGND	模拟地
G24	AGND	模拟地
G25	AGND	模拟地
G26	AGND	模拟地
G27	AGND	模拟地
G28	AGND	模拟地
G29	AGND	模拟地
G30	AGND	模拟地
G31	AGND	模拟地

引出端序号	符号	功能描述
H1	AGND	模拟地
H2	AGND	模拟地
H3	SCLK	SPI 时钟信号
H4	SCB	SPI 片选信号
H5	SDI	SPI 输入数据
H6	SDO	SPI 输出数据
H7	DTST_1	数字测试端口
H8	DTST_0	数字测试端口
H9	AGND	模拟地
H10	AGND	模拟地
H11	AGND	模拟地
H12	AGND	模拟地
H13	AGND	模拟地
H14	EXT_CLK	SPI 外部工作时钟
H15	AGND	模拟地
H16	SEL_POR_B	复位选择信号
H17	AGND	模拟地
H18	EXT_CLK_SEL	SPI 工作时钟选择信号
H19	AGND	模拟地
H20	AGND	模拟地
H21	AGND	模拟地
H22	AGND	模拟地
H23	AGND	模拟地
H24	AGND	模拟地
H25	AGND	模拟地
H26	AGND	模拟地
H27	AGND	模拟地
H28	AGND	模拟地
H29	AGND	模拟地
H30	AGND	模拟地
H31	AGND	模拟地
J1	VSS_MOAT	隔离地
J2	VSS_MOAT	隔离地

引出端序号	符号	功能描述
J3	VSS_MOAT	隔离地
J4	VSS_MOAT	隔离地
J5	VSS_MOAT	隔离地
J6	VSS_MOAT	隔离地
J7	VSS_MOAT	隔离地
J8	VSS_MOAT	隔离地
J9	VSS_MOAT	隔离地
J10	VSS_MOAT	隔离地
J11	VSS_MOAT	隔离地
J12	VSS_MOAT	隔离地
J13	VSS_MOAT	隔离地
J14	VSS_MOAT	隔离地
J15	VSS_MOAT	隔离地
J16	VSS_MOAT	隔离地
J17	VSS_MOAT	隔离地
J18	VSS_MOAT	隔离地
J19	VSS_MOAT	隔离地
J20	VSS_MOAT	隔离地
J21	VSS_MOAT	隔离地
J22	VSS_MOAT	隔离地
J23	VSS_MOAT	隔离地
J24	VSS_MOAT	隔离地
J25	VSS_MOAT	隔离地
J26	VSS_MOAT	隔离地
J27	VSS_MOAT	隔离地
J28	VSS_MOAT	隔离地
J29	VSS_MOAT	隔离地
J30	VSS_MOAT	隔离地
J31	VSS_MOAT	隔离地
K1	SERDOUT7N_9	SERDOUT7N_9
K2	SERDOUT7P_9	SERDOUT7P_9
K3	DRGND	SERDES 地
K4	DRGND	SERDES 地

引出端序号	符号	功能描述
K5	DGND	数字地
K6	DRVDD2	SERDES 2.5V 电源
K7	DRGND	SERDES 地
K8	ATST_SERDES_9	SERDES 模拟测试端口
K9	DGND	数字地
K10	SERDOUT6N_6	SERDOUT6N_6
K11	SERDOUT6P_6	SERDOUT6P_6
K12	ATST_SERDES_6	SERDES 模拟测试端口
K13	DGND	数字地
K14	DRGND	SERDES 地
K15	DGND	数字地
K16	DVDD	数字 1V 电源
K17	DGND	数字地
K18	DRGND	SERDES 地
K19	DGND	数字地
K20	ATST_SERDES_3	SERDES 模拟测试端口
K21	SERDOUT6P_3	SERDOUT6P_3
K22	SERDOUT6N_3	SERDOUT6N_3
K23	DGND	数字地
K24	ATST_SERDES_0	SERDES 模拟测试端口
K25	DRGND	SERDES 地
K26	DRVDD2	SERDES 2.5V 电源
K27	DGND	数字地
K28	DRGND	SERDES 地
K29	DRGND	SERDES 地
K30	SERDOUT7P_0	SERDOUT7P_0
K31	SERDOUT7N_0	SERDOUT7N_0
L1	SERDOUT4N_9	SERDOUT4N_9
L2	SERDOUT4P_9	SERDOUT4P_9
L3	SERDOUT6N_9	SERDOUT6N_9
L4	SERDOUT6P_9	SERDOUT6P_9
L5	DRGND	SERDES 地
L6	DGND	数字地

引出端序号	符号	功能描述
L7	DRVDD1	SERDES 1V 电源
L8	REFCLK_P_9	SERDES 参考时钟
L9	DGND	数字地
L10	SERDOUT7N_6	SERDOUT7N_6
L11	SERDOUT7P_6	SERDOUT7P_6
L12	REFCLK_P_6	SERDES 参考时钟
L13	DGND	数字地
L14	SERDOUT5P_6	SERDOUT5P_6
L15	SERDOUT5N_6	SERDOUT5N_6
L16	DGND	数字地
L17	SERDOUT5N_3	SERDOUT5N_3
L18	SERDOUT5P_3	SERDOUT5P_3
L19	DGND	数字地
L20	REFCLK_P_3	SERDES 参考时钟
L21	SERDOUT7P_3	SERDOUT7P_3
L22	SERDOUT7N_3	SERDOUT7N_3
L23	DGND	数字地
L24	REFCLK_P_0	SERDES 参考时钟
L25	DRVDD1	SERDES 1V 电源
L26	DGND	数字地
L27	DRGND	SERDES 地
L28	SERDOUT6P_0	SERDOUT6P_0
L29	SERDOUT6N_0	SERDOUT6N_0
L30	SERDOUT4P_0	SERDOUT4P_0
L31	SERDOUT4N_0	SERDOUT4N_0
M1	DRGND	SERDES 地
M2	DRGND	SERDES 地
M3	SERDOUT5N_9	SERDOUT5N_9
M4	SERDOUT5P_9	SERDOUT5P_9
M5	DRGND	SERDES 地
M6	DRVDD2	SERDES 2.5V 电源
M7	DRGND	SERDES 地
M8	REFCLK_N_9	SERDES 参考时钟

引出端序号	符号	功能描述
M9	DRVDD1	SERDES 1V 电源
M10	DVDD	数字 1V 电源
M11	DGND	数字地
M12	REFCLK_N_6	SERDES 参考时钟
M13	DRVDD1	SERDES 1V 电源
M14	SERDOUT4P_6	SERDOUT4P_6
M15	SERDOUT4N_6	SERDOUT4N_6
M16	DVDD	数字 1V 电源
M17	SERDOUT4N_3	SERDOUT4N_3
M18	SERDOUT4P_3	SERDOUT4P_3
M19	DRVDD1	SERDES 1V 电源
M20	REFCLK_N_3	SERDES 参考时钟
M21	DGND	数字地
M22	DVDD	数字 1V 电源
M23	DRVDD2	SERDES 2.5V 电源
M24	REFCLK_N_0	SERDES 参考时钟
M25	DRGND	SERDES 地
M26	DRVDD2	SERDES 2.5V 电源
M27	DRGND	SERDES 地
M28	SERDOUT5P_0	SERDOUT5P_0
M29	SERDOUT5N_0	SERDOUT5N_0
M30	DRGND	SERDES 地
M31	DRGND	SERDES 地
N1	SERDOUT3N_9	SERDOUT3N_9
N2	SERDOUT3P_9	SERDOUT3P_9
N3	DRGND	SERDES 地
N4	DRGND	SERDES 地
N5	DGND	数字地
N6	DGND	数字地
N7	DRVDD1	SERDES 1V 电源
N8	RREF_9	PHY 校准电阻外接端口
N9	DRVDD2	SERDES 2.5V 电源
N10	SERDOUT2N_6	SERDOUT2N_6

引出端序号	符号	功能描述
N11	SERDOUT2P_6	SERDOUT2P_6
N12	RREF_6	PHY 校准电阻外接端口
N13	DRVDD2	SERDES 2.5V 电源
N14	DRGND	SERDES 地
N15	DGND	数字地
N16	DGND	数字地
N17	DGND	数字地
N18	DRGND	SERDES 地
N19	DRVDD2	SERDES 2.5V 电源
N20	RREF_3	PHY 校准电阻外接端口
N21	SERDOUT2P_3	SERDOUT2P_3
N22	SERDOUT2N_3	SERDOUT2N_3
N23	DRVDD1	SERDES 1V 电源
N24	RREF_0	PHY 校准电阻外接端口
N25	DRVDD1	SERDES 1V 电源
N26	DGND	数字地
N27	DGND	数字地
N28	DRGND	SERDES 地
N29	DRGND	SERDES 地
N30	SERDOUT3P_0	SERDOUT3P_0
N31	SERDOUT3N_0	SERDOUT3N_0
P1	SERDOUT0N_9	SERDOUT0N_9
P2	SERDOUT0P_9	SERDOUT0P_9
P3	SERDOUT2N_9	SERDOUT2N_9
P4	SERDOUT2P_9	SERDOUT2P_9
P5	DRGND	SERDES 地
P6	DRVDD2	SERDES 2.5V 电源
P7	DRGND	SERDES 地
P8	ATST_SERDES_10	SERDES 模拟测试端口
P9	DGND	数字地
P10	SERDOUT3N_6	SERDOUT3N_6
P11	SERDOUT3P_6	SERDOUT3P_6
P12	ATST_SERDES_7	SERDES 模拟测试端口

引出端序号	符号	功能描述
P13	DGND	数字地
P14	SERDOUT1P_6	SERDOUT1P_6
P15	SERDOUT1N_6	SERDOUT1N_6
P16	DVDD	数字 1V 电源
P17	SERDOUT1N_3	SERDOUT1N_3
P18	SERDOUT1P_3	SERDOUT1P_3
P19	DGND	数字地
P20	ATST_SERDES_4	SERDES 模拟测试端口
P21	SERDOUT3P_3	SERDOUT3P_3
P22	SERDOUT3N_3	SERDOUT3N_3
P23	DGND	数字地
P24	ATST_SERDES_1	SERDES 模拟测试端口
P25	DRGND	SERDES 地
P26	DRVDD2	SERDES 2.5V 电源
P27	DRGND	SERDES 地
P28	SERDOUT2P_0	SERDOUT2P_0
P29	SERDOUT2N_0	SERDOUT2N_0
P30	SERDOUTOP_0	SERDOUTOP_0
P31	SERDOUTON_0	SERDOUTON_0
R1	DRGND	SERDES 地
R2	DRGND	SERDES 地
R3	SERDOUT1N_9	SERDOUT1N_9
R4	SERDOUT1P_9	SERDOUT1P_9
R5	DRGND	SERDES 地
R6	DGND	数字地
R7	DRVDD1	SERDES 1V 电源
R8	REFCLK_P_10	SERDES 参考时钟
R9	DGND	数字地
R10	DVDD	数字 1V 电源
R11	DGND	数字地
R12	REFCLK_P_7	SERDES 参考时钟
R13	DGND	数字地
R14	SERDOUTOP_6	SERDOUTOP_6

引出端序号	符号	功能描述
R15	SERDOUTON_6	SERDOUTON_6
R16	DGND	数字地
R17	SERDOUTON_3	SERDOUTON_3
R18	SERDOUTOP_3	SERDOUTOP_3
R19	DGND	数字地
R20	REFCLK_P_4	SERDES 参考时钟
R21	DGND	数字地
R22	DVDD	数字 1V 电源
R23	DGND	数字地
R24	REFCLK_P_1	SERDES 参考时钟
R25	DRVDD1	SERDES 1V 电源
R26	DGND	数字地
R27	DRGND	SERDES 地
R28	SERDOUT1P_0	SERDOUT1P_0
R29	SERDOUT1N_0	SERDOUT1N_0
R30	DRGND	SERDES 地
R31	DRGND	SERDES 地
T1	DRGND	SERDES 地
T2	DRGND	SERDES 地
T3	DRGND	SERDES 地
T4	DRGND	SERDES 地
T5	DGND	数字地
T6	DRVDD2	SERDES 2.5V 电源
T7	DRGND	SERDES 地
T8	REFCLK_N_10	SERDES 参考时钟
T9	DRVDD1	SERDES 1V 电源
T10	DGND	数字地
T11	DVDD	数字 1V 电源
T12	REFCLK_N_7	SERDES 参考时钟
T13	DRVDD1	SERDES 1V 电源
T14	DRGND	SERDES 地
T15	DGND	数字地
T16	DVDD	数字 1V 电源

引出端序号	符号	功能描述
T17	DGND	数字地
T18	DRGND	SERDES 地
T19	DRVDD1	SERDES 1V 电源
T20	REFCLK_N_4	SERDES 参考时钟
T21	DVDD	数字 1V 电源
T22	DGND	数字地
T23	DRVDD1	SERDES 1V 电源
T24	REFCLK_N_1	SERDES 参考时钟
T25	DRGND	SERDES 地
T26	DRVDD2	SERDES 2.5V 电源
T27	DGND	数字地
T28	DRGND	SERDES 地
T29	DRGND	SERDES 地
T30	DRGND	SERDES 地
T31	DRGND	SERDES 地
U1	SERDOUT7N_10	SERDOUT7N_10
U2	SERDOUT7P_10	SERDOUT7P_10
U3	DRGND	SERDES 地
U4	DRGND	SERDES 地
U5	DGND	数字地
U6	DGND	数字地
U7	DRVDD1	SERDES 1V 电源
U8	RREF_10	PHY 校准电阻外接端口
U9	DRVDD2	SERDES 2.5V 电源
U10	SERDOUT6N_7	SERDOUT6N_7
U11	SERDOUT6P_7	SERDOUT6P_7
U12	RREF_7	PHY 校准电阻外接端口
U13	DRVDD2	SERDES 2.5V 电源
U14	DRGND	SERDES 地
U15	DVDD	数字 1V 电源
U16	DGND	数字地
U17	DVDD	数字 1V 电源
U18	DRGND	SERDES 地

引出端序号	符号	功能描述
U19	DRVDD2	SERDES 2.5V 电源
U20	RREF_4	PHY 校准电阻外接端口
U21	SERDOUT6P_4	SERDOUT6P_4
U22	SERDOUT6N_4	SERDOUT6N_4
U23	DRVDD2	SERDES 2.5V 电源
U24	RREF_1	PHY 校准电阻外接端口
U25	DRVDD1	SERDES 1V 电源
U26	DGND	数字地
U27	DGND	数字地
U28	DRGND	SERDES 地
U29	DRGND	SERDES 地
U30	SERDOUT7P_1	SERDOUT7P_1
U31	SERDOUT7N_1	SERDOUT7N_1
V1	SERDOUT4N_10	SERDOUT4N_10
V2	SERDOUT4P_10	SERDOUT4P_10
V3	SERDOUT6N_10	SERDOUT6N_10
V4	SERDOUT6P_10	SERDOUT6P_10
V5	DRGND	SERDES 地
V6	DRVDD2	SERDES 2.5V 电源
V7	DRGND	SERDES 地
V8	ATST_SERDES_11	SERDES 模拟测试端口
V9	DGND	数字地
V10	SERDOUT7N_7	SERDOUT7N_7
V11	SERDOUT7P_7	SERDOUT7P_7
V12	ATST_SERDES_8	SERDES 模拟测试端口
V13	DGND	数字地
V14	SERDOUT1P_7	SERDOUT1P_7
V15	SERDOUT1N_7	SERDOUT1N_7
V16	DVDD	数字 1V 电源
V17	SERDOUT1N_4	SERDOUT1N_4
V18	SERDOUT1P_4	SERDOUT1P_4
V19	DGND	数字地
V20	ATST_SERDES_5	SERDES 模拟测试端口

引出端序号	符号	功能描述
V21	SERDOUT7P_4	SERDOUT7P_4
V22	SERDOUT7N_4	SERDOUT7N_4
V23	DGND	数字地
V24	ATST_SERDES_2	SERDES 模拟测试端口
V25	DRGND	SERDES 地
V26	DRVDD2	SERDES 2.5V 电源
V27	DRGND	SERDES 地
V28	SERDOUT6P_1	SERDOUT6P_1
V29	SERDOUT6N_1	SERDOUT6N_1
V30	SERDOUT4P_1	SERDOUT4P_1
V31	SERDOUT4N_1	SERDOUT4N_1
W1	DRGND	SERDES 地
W2	DRGND	SERDES 地
W3	SERDOUT5N_10	SERDOUT5N_10
W4	SERDOUT5P_10	SERDOUT5P_10
W5	DRGND	SERDES 地
W6	DGND	数字地
W7	DRVDD1	SERDES 1V 电源
W8	REFCLK_P_11	SERDES 参考时钟
W9	DGND	数字地
W10	DGND	数字地
W11	DVDD	数字 1V 电源
W12	REFCLK_P_8	SERDES 参考时钟
W13	DGND	数字地
W14	SERDOUTOP_7	SERDOUTOP_7
W15	SERDOUTON_7	SERDOUTON_7
W16	DGND	数字地
W17	SERDOUTON_4	SERDOUTON_4
W18	SERDOUTOP_4	SERDOUTOP_4
W19	DGND	数字地
W20	REFCLK_P_5	SERDES 参考时钟
W21	DVDD	数字 1V 电源
W22	DGND	数字地

引出端序号	符号	功能描述
W23	DGND	数字地
W24	REFCLK_P_2	SERDES 参考时钟
W25	DRVDD1	SERDES 1V 电源
W26	DGND	数字地
W27	DRGND	SERDES 地
W28	SERDOUT5P_1	SERDOUT5P_1
W29	SERDOUT5N_1	SERDOUT5N_1
W30	DRGND	SERDES 地
W31	DRGND	SERDES 地
Y1	SERDOUT3N_10	SERDOUT3N_10
Y2	SERDOUT3P_10	SERDOUT3P_10
Y3	DRGND	SERDES 地
Y4	DRGND	SERDES 地
Y5	DGND	数字地
Y6	DRVDD2	SERDES 2.5V 电源
Y7	DRGND	SERDES 地
Y8	REFCLK_N_11	SERDES 参考时钟
Y9	DRVDD1	SERDES 1V 电源
Y10	SERDOUT2N_7	SERDOUT2N_7
Y11	SERDOUT2P_7	SERDOUT2P_7
Y12	REFCLK_N_8	SERDES 参考时钟
Y13	DRVDD1	SERDES 1V 电源
Y14	DRGND	SERDES 地
Y15	VDDQ	NC
Y16	VDDQ	NC
Y17	VDDQ	NC
Y18	DRGND	SERDES 地
Y19	DRVDD1	SERDES 1V 电源
Y20	REFCLK_N_5	SERDES 参考时钟
Y21	SERDOUT2P_4	SERDOUT2P_4
Y22	SERDOUT2N_4	SERDOUT2N_4
Y23	DRVDD1	SERDES 1V 电源
Y24	REFCLK_N_2	SERDES 参考时钟

引出端序号	符号	功能描述
Y25	DRGND	SERDES 地
Y26	DRVDD2	SERDES 2.5V 电源
Y27	DGND	数字地
Y28	DRGND	SERDES 地
Y29	DRGND	SERDES 地
Y30	SERDOUT3P_1	SERDOUT3P_1
Y31	SERDOUT3N_1	SERDOUT3N_1
AA1	SERDOUT0N_10	SERDOUT0N_10
AA2	SERDOUT0P_10	SERDOUT0P_10
AA3	SERDOUT2N_10	SERDOUT2N_10
AA4	SERDOUT2P_10	SERDOUT2P_10
AA5	DRGND	SERDES 地
AA6	DRGND	SERDES 地
AA7	DRVDD1	SERDES 1V 电源
AA8	RREF_11	PHY 校准电阻外接端口
AA9	DRVDD2	SERDES 2.5V 电源
AA10	SERDOUT3N_7	SERDOUT3N_7
AA11	SERDOUT3P_7	SERDOUT3P_7
AA12	RREF_8	PHY 校准电阻外接端口
AA13	DRVDD2	SERDES 2.5V 电源
AA14	SERDOUT5P_7	SERDOUT5P_7
AA15	SERDOUT5N_7	SERDOUT5N_7
AA16	DGND	数字地
AA17	SERDOUT5N_4	SERDOUT5N_4
AA18	SERDOUT5P_4	SERDOUT5P_4
AA19	DRVDD2	SERDES 2.5V 电源
AA20	RREF_5	PHY 校准电阻外接端口
AA21	SERDOUT3P_4	SERDOUT3P_4
AA22	SERDOUT3N_4	SERDOUT3N_4
AA23	DRVDD2	SERDES 2.5V 电源
AA24	RREF_2	PHY 校准电阻外接端口
AA25	DRVDD1	SERDES 1V 电源
AA26	DRGND	SERDES 地

引出端序号	符号	功能描述
AA27	DRGND	SERDES 地
AA28	SERDOUT2P_1	SERDOUT2P_1
AA29	SERDOUT2N_1	SERDOUT2N_1
AA30	SERDOUT0P_1	SERDOUT0P_1
AA31	SERDOUT0N_1	SERDOUT0N_1
AB1	DRGND	SERDES 地
AB2	DRGND	SERDES 地
AB3	SERDOUT1N_10	SERDOUT1N_10
AB4	SERDOUT1P_10	SERDOUT1P_10
AB5	DRGND	SERDES 地
AB6	DRGND	SERDES 地
AB7	DRGND	SERDES 地
AB8	DRGND	SERDES 地
AB9	DRGND	SERDES 地
AB10	DGND	数字地
AB11	DVDD	数字 1V 电源
AB12	DGND	数字地
AB13	DGND	数字地
AB14	SERDOUT4P_7	SERDOUT4P_7
AB15	SERDOUT4N_7	SERDOUT4N_7
AB16	DVDD	数字 1V 电源
AB17	SERDOUT4N_4	SERDOUT4N_4
AB18	SERDOUT4P_4	SERDOUT4P_4
AB19	DGND	数字地
AB20	DGND	数字地
AB21	DVDD	数字 1V 电源
AB22	DGND	数字地
AB23	DRGND	SERDES 地
AB24	DRGND	SERDES 地
AB25	DRGND	SERDES 地
AB26	DRGND	SERDES 地
AB27	DRGND	SERDES 地
AB28	SERDOUT1P_1	SERDOUT1P_1

引出端序号	符号	功能描述
AB29	SERDOUT1N_1	SERDOUT1N_1
AB30	DRGND	SERDES 地
AB31	DRGND	SERDES 地
AC1	DRGND	SERDES 地
AC2	DRGND	SERDES 地
AC3	DRGND	SERDES 地
AC4	DRGND	SERDES 地
AC5	DGND	数字地
AC6	DGND	数字地
AC7	DGND	数字地
AC8	DGND	数字地
AC9	DGND	数字地
AC10	DRGND	SERDES 地
AC11	DRGND	SERDES 地
AC12	DGND	数字地
AC13	DVDD	数字 1V 电源
AC14	DGND	数字地
AC15	DVDD	数字 1V 电源
AC16	DGND	数字地
AC17	DVDD	数字 1V 电源
AC18	DGND	数字地
AC19	DVDD	数字 1V 电源
AC20	DGND	数字地
AC21	DGND	数字地
AC22	DRGND	SERDES 地
AC23	DGND	数字地
AC24	DGND	数字地
AC25	DGND	数字地
AC26	DGND	数字地
AC27	DGND	数字地
AC28	DRGND	SERDES 地
AC29	DRGND	SERDES 地
AC30	DRGND	SERDES 地

引出端序号	符号	功能描述
AC31	DRGND	SERDES 地
AD1	SERDOUT7N_11	SERDOUT7N_11
AD2	SERDOUT7P_11	SERDOUT7P_11
AD3	DRGND	SERDES 地
AD4	DRGND	SERDES 地
AD5	DGND	数字地
AD6	DGND	数字地
AD7	DVDD	数字 1V 电源
AD8	DGND	数字地
AD9	DRGND	SERDES 地
AD10	SERDOUT6N_8	SERDOUT6N_8
AD11	SERDOUT6P_8	SERDOUT6P_8
AD12	DGND	数字地
AD13	DGND	数字地
AD14	DRGND	SERDES 地
AD15	DGND	数字地
AD16	DVDD	数字 1V 电源
AD17	DGND	数字地
AD18	DRGND	SERDES 地
AD19	DGND	数字地
AD20	DGND	数字地
AD21	SERDOUT6P_5	SERDOUT6P_5
AD22	SERDOUT6N_5	SERDOUT6N_5
AD23	DRGND	SERDES 地
AD24	DGND	数字地
AD25	DVDD	数字 1V 电源
AD26	DGND	数字地
AD27	DGND	数字地
AD28	DRGND	SERDES 地
AD29	DRGND	SERDES 地
AD30	SERDOUT7P_2	SERDOUT7P_2
AD31	SERDOUT7N_2	SERDOUT7N_2
AE1	SERDOUT4N_11	SERDOUT4N_11

引出端序号	符号	功能描述
AE2	SERDOUT4P_11	SERDOUT4P_11
AE3	SERDOUT6N_11	SERDOUT6N_11
AE4	SERDOUT6P_11	SERDOUT6P_11
AE5	DRGND	SERDES 地
AE6	DGND	数字地
AE7	DGND	数字地
AE8	DGND	数字地
AE9	DRGND	SERDES 地
AE10	SERDOUT7N_8	SERDOUT7N_8
AE11	SERDOUT7P_8	SERDOUT7P_8
AE12	DRGND	SERDES 地
AE13	DGND	数字地
AE14	SERDOUT5P_8	SERDOUT5P_8
AE15	SERDOUT5N_8	SERDOUT5N_8
AE16	DGND	数字地
AE17	SERDOUT5N_5	SERDOUT5N_5
AE18	SERDOUT5P_5	SERDOUT5P_5
AE19	DGND	数字地
AE20	DRGND	SERDES 地
AE21	SERDOUT7P_5	SERDOUT7P_5
AE22	SERDOUT7N_5	SERDOUT7N_5
AE23	DRGND	SERDES 地
AE24	DGND	数字地
AE25	DGND	数字地
AE26	DGND	数字地
AE27	DRGND	SERDES 地
AE28	SERDOUT6P_2	SERDOUT6P_2
AE29	SERDOUT6N_2	SERDOUT6N_2
AE30	SERDOUT4P_2	SERDOUT4P_2
AE31	SERDOUT4N_2	SERDOUT4N_2
AF1	DRGND	SERDES 地
AF2	DRGND	SERDES 地
AF3	SERDOUT5N_11	SERDOUT5N_11

引出端序号	符号	功能描述
AF4	SERDOUT5P_11	SERDOUT5P_11
AF5	DRGND	SERDES 地
AF6	DGND	数字地
AF7	DVDD	数字 1V 电源
AF8	DGND	数字地
AF9	DGND	数字地
AF10	DRGND	SERDES 地
AF11	DGND	数字地
AF12	DVDD	数字 1V 电源
AF13	DGND	数字地
AF14	SERDOUT4P_8	SERDOUT4P_8
AF15	SERDOUT4N_8	SERDOUT4N_8
AF16	DVDD	数字 1V 电源
AF17	SERDOUT4N_5	SERDOUT4N_5
AF18	SERDOUT4P_5	SERDOUT4P_5
AF19	DGND	数字地
AF20	DVDD	数字 1V 电源
AF21	DGND	数字地
AF22	DRGND	SERDES 地
AF23	DGND	数字地
AF24	DGND	数字地
AF25	DVDD	数字 1V 电源
AF26	DGND	数字地
AF27	DRGND	SERDES 地
AF28	SERDOUT5P_2	SERDOUT5P_2
AF29	SERDOUT5N_2	SERDOUT5N_2
AF30	DRGND	SERDES 地
AF31	DRGND	SERDES 地
AG1	SERDOUT3N_11	SERDOUT3N_11
AG2	SERDOUT3P_11	SERDOUT3P_11
AG3	DRGND	SERDES 地
AG4	DRGND	SERDES 地
AG5	DGND	数字地

引出端序号	符号	功能描述
AG6	DGND	数字地
AG7	DGND	数字地
AG8	DGND	数字地
AG9	DRGND	SERDES 地
AG10	SERDOUT2N_8	SERDOUT2N_8
AG11	SERDOUT2P_8	SERDOUT2P_8
AG12	DRGND	SERDES 地
AG13	DVDD	数字 1V 电源
AG14	DRGND	SERDES 地
AG15	DGND	数字地
AG16	DGND	数字地
AG17	DGND	数字地
AG18	DRGND	SERDES 地
AG19	DVDD	数字 1V 电源
AG20	DRGND	SERDES 地
AG21	SERDOUT2P_5	SERDOUT2P_5
AG22	SERDOUT2N_5	SERDOUT2N_5
AG23	DRGND	SERDES 地
AG24	DGND	数字地
AG25	DGND	数字地
AG26	DGND	数字地
AG27	DGND	数字地
AG28	DRGND	SERDES 地
AG29	DRGND	SERDES 地
AG30	SERDOUT3P_2	SERDOUT3P_2
AG31	SERDOUT3N_2	SERDOUT3N_2
AH1	SERDOUT0N_11	SERDOUT0N_11
AH2	SERDOUT0P_11	SERDOUT0P_11
AH3	SERDOUT2N_11	SERDOUT2N_11
AH4	SERDOUT2P_11	SERDOUT2P_11
AH5	DRGND	SERDES 地
AH6	DGND	数字地
AH7	DVDD	数字 1V 电源

引出端序号	符号	功能描述
AH8	DGND	数字地
AH9	DRGND	SERDES 地
AH10	SERDOUT3N_8	SERDOUT3N_8
AH11	SERDOUT3P_8	SERDOUT3P_8
AH12	DGND	数字地
AH13	DGND	数字地
AH14	SERDOUT1P_8	SERDOUT1P_8
AH15	SERDOUT1N_8	SERDOUT1N_8
AH16	DVDD	数字 1V 电源
AH17	SERDOUT1N_5	SERDOUT1N_5
AH18	SERDOUT1P_5	SERDOUT1P_5
AH19	DGND	数字地
AH20	DGND	数字地
AH21	SERDOUT3P_5	SERDOUT3P_5
AH22	SERDOUT3N_5	SERDOUT3N_5
AH23	DRGND	SERDES 地
AH24	DGND	数字地
AH25	DVDD	数字 1V 电源
AH26	DGND	数字地
AH27	DRGND	SERDES 地
AH28	SERDOUT2P_2	SERDOUT2P_2
AH29	SERDOUT2N_2	SERDOUT2N_2
AH30	SERDOUT0P_2	SERDOUT0P_2
AH31	SERDOUT0N_2	SERDOUT0N_2
AJ1	DRGND	SERDES 地
AJ2	DRGND	SERDES 地
AJ3	SERDOUT1N_11	SERDOUT1N_11
AJ4	SERDOUT1P_11	SERDOUT1P_11
AJ5	DRGND	SERDES 地
AJ6	DGND	数字地
AJ7	DGND	数字地
AJ8	DGND	数字地
AJ9	DGND	数字地

引出端序号	符号	功能描述
AJ10	DRGND	SERDES 地
AJ11	DRGND	SERDES 地
AJ12	DVDD	数字 1V 电源
AJ13	DGND	数字地
AJ14	SERDOUTOP_8	SERDOUTOP_8
AJ15	SERDOUTON_8	SERDOUTON_8
AJ16	DGND	数字地
AJ17	SERDOUTON_5	SERDOUTON_5
AJ18	SERDOUTOP_5	SERDOUTOP_5
AJ19	DGND	数字地
AJ20	DVDD	数字 1V 电源
AJ21	DGND	数字地
AJ22	DGND	数字地
AJ23	DGND	数字地
AJ24	DGND	数字地
AJ25	DGND	数字地
AJ26	DGND	数字地
AJ27	DRGND	SERDES 地
AJ28	SERDOUT1P_2	SERDOUT1P_2
AJ29	SERDOUT1N_2	SERDOUT1N_2
AJ30	DRGND	SERDES 地
AJ31	DRGND	SERDES 地

HWD12B40GA4PBGA899M3 引脚说明如表2所示。

表 2 引脚说明

编号	Pin 名称	说明	备注
1	DRVDD1	SERDES 1V 电源	电流 6A 以下
2	DRGND	SERDES 地	
3	DRVDD2	SERDES 2.5V 电源	电流 750mA 以下
4	DVDD	数字 1V 电源	电流 3A 以下
5	AVDD	数字 1V 电源	电流 4A 以下
6	DGND	数字地	
7	VDDIO	数字 2.5V 电源	电流 100mA 以下
8	AVDDC	同步时钟 1V 电源	电流 100mA 以下

9	AGND	模拟地	
10	SCB	SPI 片选信号。低电平有效控制信号，用来选通读写周期。	VDDIO 2.5V CMOS 电平
11	SDO	SPI 主机输入从机输出接口。ADC 对上位机返回数据。	VDDIO 2.5V CMOS 电平
12	SDI	SPI 主机输出从机输入接口。上位机对 ADC 写入配置数据。	VDDIO 2.5V CMOS 电平
13	SCLK	SPI 读写时钟。串行移位时钟输入，用来同步串行接口的读、写操作。	VDDIO 2.5V CMOS 电平
14	RST_EXT	异步复位信号，低电平有效，复位时间 100ns。	VDDIO 2.5V CMOS 电平
15	SEL_POR_B	ADC 上电复位选择。取值为 0 表示内部 POR 复位，取值为 1 表示外部 RST_EXT 复位。	VDDIO 2.5V CMOS 电平
16	EXT_CLK_SEL	SPI 系统时钟选择端口。取值为 0 表示选择内部时钟，取值为 1 表示选择外部时钟 EXT_CLK。	VDDIO 2.5V CMOS 电平 当前版本必须配置为 1，选择外部时钟
17	EXT_CLK	SPI 50M 外部输入时钟	VDDIO 2.5V CMOS 电平
18	VSS_MOAT	隔离地	可以跟 AGND 合并
19	RREF_*	SERDES 外接校正电阻端口	接 200 欧姆连接至 DRVDD1
20	ATST	NC（建议悬空）	可以不用引出
21	ATST_SERDES_*	NC（建议悬空）	可以不用引出
22	DTST*	NC（建议悬空）	可以不用引出
23	VDDQ	NC	NC
24	VDDQ	NC	NC
25	REFCLK_P_*	SERDES 外部参考时钟输入正端。用户可以根据寄存器 0x0242ex 设置选择是用此端口引入 SERDES 参考时钟，还是选择内部 CLK_IN 分频产生 SERDES 参考时钟	400MHz 以内 CML 或者 CMOS 电平
26	REFCLK_N_*	SERDES 外部参考时钟输入负端。用户可以根据寄存器 0x0242ex 设置选择是用此端口引入 SERDES 参考时钟，还是选择内部 CLK_IN 分频产生 SERDES 参考时钟。	400MHz 以内 CML 或者 CMOS 电平
27	SYNCINB_P	204B 异步触发信号正端。将 204C 配置为 204B 模式时，使用该引脚，为 204B 建链 SYNC 同步信号。	LVDS 或者 CMOS 电平

28	SYNCINB_N	204B 异步触发信号负端。将 204C 配置为 204B 模式时，使用该引脚，为 204B 建链 SYNC 同步信号。	LVDS 或者 CMOS 电平
29	TRIG_P	多芯片同步触发正端，可配置为连续或脉冲模式，对多片 ADC 进行同步，实现数据对齐	建议 LVPECL 接口
30	TRIG_N	多芯片同步触发负端，可配置为连续或脉冲模式，对多片 ADC 进行同步，实现数据对齐	建议 LVPECL 接口
31	CLKP	高速输入采样时钟正端	$\leq 10\text{GHz}$ ，需要隔直(用 dc block 或者 20pF 电容)
32	CLKN	高速输入采样时钟负端	$\leq 10\text{GHz}$ ，需要隔直(用 dc block 或者 20pF 电容)
33	VIN_P_*	高速输入采样信号正端	0~20GHz（直流耦合或者交流耦合均可，交流耦合时用 dc block）
34	VIN_N_*	高速输入采样信号负端	0~20GHz（直流耦合或者交流耦合均可，交流耦合时用 dc block）
35	VIND_P_*	交织高速输入采样信号正端	0~20GHz（直流耦合或者交流耦合均可，交流耦合时用 dc block）
36	VIND_N_*	交织高速输入采样信号负端	0~20GHz（直流耦合或者交流耦合均可，交流耦合时用 dc block）
37	SERDOUT*P_#	0~11phy 的 8 路 SERDES 输出正端。 *:0~7; #: 0~11	最高 25Gbps，CML 输出
38	SERDOUT*N_#	0~11phy 的 8 路 SERDES 输出负端。 *:0~7; #: 0~11	最高 25Gbps，CML 输出

注：该 ADC 内部有 12 个 PHY，每个 PHY 有 8 条 lane。

4.2 焊盘推荐

HWD12B40GA4PBGA899M3 焊盘推荐如图 5 所示，用户可根据焊接要求进行调整。

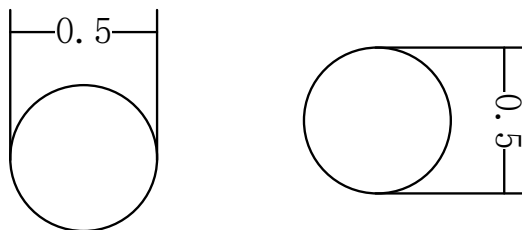


图 5 推荐焊盘图

4.3 焊接推荐

HWD12B40GA4PBGA899M3焊接条件可参见表3的规定，其推荐焊接温度曲线如图6所示。

表 3 焊接条件

步 骤	条 件
预热区 最高温度 25℃ 升至 150℃ 的时间	150℃ 60s~120s
保温区 保温区温度 温变率	150℃~179℃ 最大 3℃/s
再流区 再流时间 再流区温度 峰值温度 峰值温度保持时间	30s~60s 179℃ 205℃~220℃ 6s~10s
冷却区	30s~60s

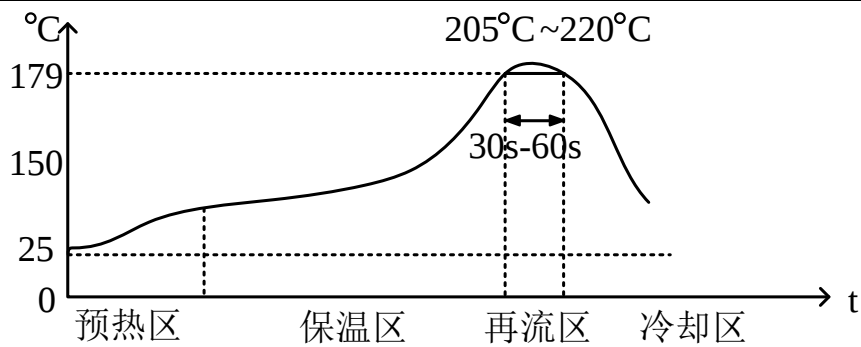


图 6 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	电源电压 (AVDDC, DRVDD1, DVDD, VDDREF)	-0.5V~1.1V
2	电源电压 (AVDD)	-0.5V~1.15V
3	电源电压 (DRVDD2, VDDIO)	-0.5V~2.75V
4	结温 (TJ)	150℃
5	引线焊接温度 (Th)	265℃
6	贮存温度范围 (Tstg)	-65℃~150℃

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	电源电压 (AVDD, AVDDC, DRVDD1, DVDD, VDDREF)	0.98V~1.1V
2	电源电压 (DRVDD2, VDDIO)	2.4V~2.75V
3	工作环境温度 (TA)	-55℃~125℃

6 电特性参数

该电特性指标为该系列产品能达到的最佳指标，不同的质量等级及封装形式略有不同，具体见对应的详细规范。

6.1 技术规格

除非另有规定，DVDD = DRVDD1 = 1.0V，AVDD = 1.1V，DRVDD2 = VDDIO = 2.5V，AIN = -1.0dBFS，额定最大采样速率。

表 4 规格指标

参数	温度	HWD12B40GA4PBGA899M3			单位
		最小值	典型值	最大值	
速率等级	—	24	32	40	GSPS
分辨率	—	12			位
通道数	—	4			—
精度					
无失码	室温	保证			
失调误差	室温				LSB

参数	温度	HWD12B40GA4PBGA899M3			单位
		最小值	典型值	最大值	
增益误差	室温				%FSR
差分非线性 (DNL)	室温		±1		LSB
积分非线性 (INL)	室温		±2.5		LSB
模拟输入					
差分输入电压范围	室温		0.6		V _{pp}
电阻 (差分)	室温		100		Ω
电容	室温		0.8		pF
内部共模电压 (V _{cm})	室温		0.5		V
全功率模拟带宽	室温		19		GHz
折合到输入端噪声	室温		1.5		LSB _{RMS}
隔离度					
模拟电源与数字电源间	室温	FEXT、NEXT < -50 dB (0~10GHz)			-
电源					
DVDD	室温	0.975	1.0	1.025	V
AVDD	室温	1.080	1.1	1.120	V
DRVDD1	室温	0.975	1.0	1.025	V
DRVDD2	室温	2.45	2.5	2.75	V
VDDIO	室温	2.45	2.5	2.75	V
I _{DVDD}	室温				A
I _{AVDD}	室温				A
I _{DRVDD1}	室温				A
I _{DRVDD2}	室温				A
I _{VDDIO}	室温				A
功耗 ¹	室温		20		W

注 1: 表中 POWER 是四通道功耗, 包含模拟、数字和 204C 接口总功耗。

6.1.1 交流规格

除非另有规定, DVDD = DRVDD1 = 1.0V, AVDD = 1.1V, DRVDD2 = VDDIO = 2.5V。

表 5 ADC 性能 (f_s=40GSPS)

参数	典型值 (AIN = -6.2 dBFS)		单位
	校正前	校正后	
采样率	40		GSPS
噪声密度 (NSD)			

参数	典型值 (AIN = -6.2 dBFS)		单位
	校正前	校正后	
At 1.152 GHz, -6.2 dBFS	-151.89	-151.79	dBFS/Hz
信噪比 (SNR)			
fIN = 1.152 GHz	48.86	48.77	dBFS
fIN = 3.152 GHz	47.71	47.65	dBFS
fIN = 5.152 GHz	49.24	49.19	dBFS
fIN = 7.152 GHz	47.75	47.75	dBFS
fIN = 9.152 GHz	47.13	47.12	dBFS
fIN = 11.152 GHz	47.21	47.21	dBFS
fIN = 13.152 GHz	46.19	46.19	dBFS
fIN = 15.152 GHz	45.85	45.82	dBFS
fIN = 17.152 GHz	45.57	45.51	dBFS
信纳比 (SINAD)			
fIN = 1.152 GHz	38.69	47.76	dBFS
fIN = 3.152 GHz	36.84	46.80	dBFS
fIN = 5.152 GHz	40.58	48.42	dBFS
fIN = 7.152 GHz	38.49	46.55	dBFS
fIN = 9.152 GHz	37.27	46.41	dBFS
fIN = 11.152 GHz	42.04	46.22	dBFS
fIN = 13.152 GHz	38.75	45.11	dBFS
fIN = 15.152 GHz	37.25	44.90	dBFS
fIN = 17.152 GHz	39.87	44.12	dBFS
有效位数 (ENOB)			
fIN = 1.152 GHz	6.13	7.64	Bits
fIN = 3.152 GHz	5.83	7.48	Bits
fIN = 5.152 GHz	6.45	7.75	Bits
fIN = 7.152 GHz	6.10	7.44	Bits
fIN = 9.152 GHz	5.90	7.42	Bits
fIN = 11.152 GHz	6.69	7.39	Bits
fIN = 13.152 GHz	6.14	7.20	Bits
fIN = 15.152 GHz	5.89	7.17	Bits
fIN = 17.152 GHz	6.33	7.04	Bits
无杂散动态范围 (SFDR)			

参数	典型值 (AIN = -6.2 dBFS)		单位
	校正前	校正后	
fIN = 1.152 GHz	43.84	58.77	dBFS
fIN = 3.152 GHz	44.47	62.26	dBFS
fIN = 5.152 GHz	45.51	61.40	dBFS
fIN = 7.152 GHz	43.43	60.82	dBFS
fIN = 9.152 GHz	42.61	60.71	dBFS
fIN = 11.152 GHz	50.02	58.88	dBFS
fIN = 13.152 GHz	44.93	56.81	dBFS
fIN = 15.152 GHz	43.92	57.24	dBFS
fIN = 17.152 GHz	44.77	54.30	dBFS
二阶谐波 (H2)			
fIN = 1.152 GHz	75.76	75.35	dBFS
fIN = 3.152 GHz	71.28	67.85	dBFS
fIN = 5.152 GHz	66.01	70.58	dBFS
fIN = 7.152 GHz	64.30	61.20	dBFS
fIN = 9.152 GHz	61.43	64.42	dBFS
fIN = 11.152 GHz	51.10	58.89	dBFS
fIN = 13.152 GHz	49.38	64.98	dBFS
fIN = 15.152 GHz	49.06	57.24	dBFS
fIN = 17.152 GHz	44.77	54.30	dBFS
三阶谐波 (H3)			
fIN = 1.152 GHz	58.02	68.85	dBFS
fIN = 3.152 GHz	60.16	70.45	dBFS
fIN = 5.152 GHz	59.25	71.39	dBFS
fIN = 7.152 GHz	58.94	65.92	dBFS
fIN = 9.152 GHz	54.88	72.65	dBFS
fIN = 11.152 GHz	56.33	76.48	dBFS
fIN = 13.152 GHz	58.42	68.45	dBFS
fIN = 15.152 GHz	55.07	77.05	dBFS
fIN = 17.152 GHz	54.50	69.58	dBFS
最差其他杂散(不包括二次和三次谐波)			
fIN = 1.152 GHz	43.84	58.77	dBFS
fIN = 3.152 GHz	44.47	62.26	dBFS

参数	典型值 (AIN = -6.2 dBFS)		单位
	校正前	校正后	
fIN = 5.152 GHz	45.51	61.40	dBFS
fIN = 7.152 GHz	43.43	60.82	dBFS
fIN = 9.152 GHz	42.61	60.71	dBFS
fIN = 11.152 GHz	50.02	58.88	dBFS
fIN = 13.152 GHz	44.93	56.81	dBFS
fIN = 15.152 GHz	43.92	57.96	dBFS
fIN = 17.152 GHz	49.54	58.00	dBFS

6.1.2 数字规格

除非另有规定, DVDD = DRVDD1 = 1.0V, AVDD = 1.1V, DRVDD2 = VDDIO = 2.5V, AIN = -1.0dBFS。

表 6 数字规格

参数	温度	典型值	单位
时钟输入			
差分输入电压	室温	1400	mVpp
共模输入电压	室温	0.5	V
输入电阻 (差分)	室温	105	Ω
TRIG 输入 (TRIG_x)			
差分输入电压	室温	1000	mVpp
共模输入电压	室温	0.85	V
输入电阻 (差分)	室温	105	Ω
输入电容	室温	0.5	pF
逻辑输入 (SDI, SCLK, SCB)			
逻辑兼容	室温	CMOS	
电压 逻辑 1	室温	>0.7*VDDIO	V
电压 逻辑 0	室温	<0.3*VDDIO	V
输入电阻	室温	44	KΩ
输入电容	室温	1.5	pF
SYNCINB_x 输入			
逻辑兼容	室温	CML	
电压	室温	1000	mV
输入电阻 (差分)	室温	32	KΩ
输入电容	室温	1	pF
逻辑输出 (SDO)			

参数	温度	典型值	单位
逻辑兼容	室温	CMOS	
电压 逻辑 1	室温	$>V_{DDIO}-0.45$	V
电压 逻辑 0	室温	<0.45	V
复位(RST_EXT)			
电压 逻辑 1	室温	$>0.7*V_{DDIO}$	V
电压 逻辑 0	室温	$<0.3*V_{DDIO}$	V
输入电阻(差分)	室温	44	K Ω
输入电容	室温	1.5	pF
REFCLK 输入(REFCLK_x)			
差分输入电压	室温	1000	mV _{pp}
共模输入电压	室温	0.85	V
输入电阻(差分)	室温	100	Ω
输入电容	室温	0.5	pF
EXT_CLK 输入			
输入电压	室温	2.5	V
输入电阻	室温	10	K Ω
输入电容	室温	0.5	pF

6.1.3 开关规格

除非另有规定, $DVDD = DRVDD1 = 1.0V$, $AVDD = 1.1V$, $DRVDD2 = VDDIO = 2.5V$, $A_{IN} = -1.0dBFS$ 。

表 7 开关规格

参数	温度	最小值	典型值	最大值	单位
时钟(CLK)					
时钟速率	室温	6		10	GSPS
时钟占空比	室温	45	50	55	%占空比
不确定(抖动)	室温				(fs) rms
延迟(Latency)					
流水线延迟	室温				时钟周期
TRIG(TRIG_x)					
建立时间	室温		1		ns
保持时间	室温		1		ns
不确定(抖动)	室温		2		(ps) rms
输出参数(Serdout)					
上升时间	室温	10			ps

参数	温度	最小值	典型值	最大值	单位
下降时间	室温	10			ps
线速率	室温			25	Gbps

6.1.4 时序规格

表 8 时序规格

参数	测试条件/注释	最小值	典型值	最大值	单位
SPI 时序要求					
Tds	数据与 SCLK 上升沿之间的建立时间	8			ns
Tdh	数据与 SCLK 上升沿之间的保持时间	8			ns
Tclk	SCLK 周期	100			ns
Ts	SCB 与 SCLK 之间的建立时间	4			ns
Th	SCB 与 SCLK 之间的保持时间	4			ns
Thigh	SCLK 应处于逻辑高电平状态的最短时间	20			ns
Tlow	SCLK 应处于逻辑低电平状态的最短时间	20			ns
Taccess	SCLK 下降沿和读指令输出有效数据之间的最大延迟时间		12	20	ns

6.1.4.1 时序图

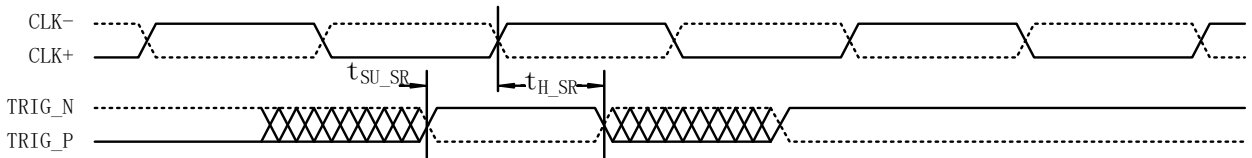


图 7 TRIG_X 建立和保持时间

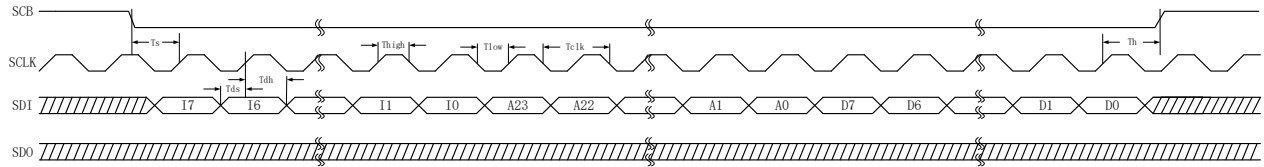


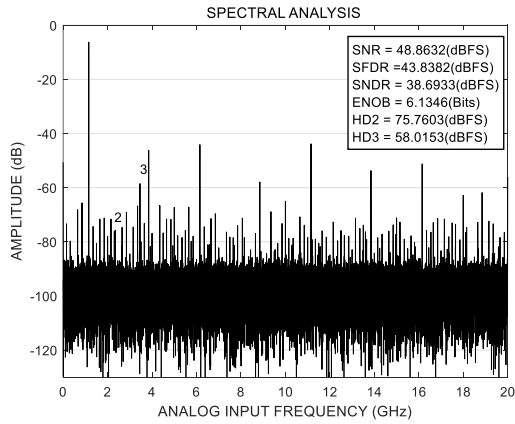
图 8 串行接口时序图（MSB 优先）

待更新

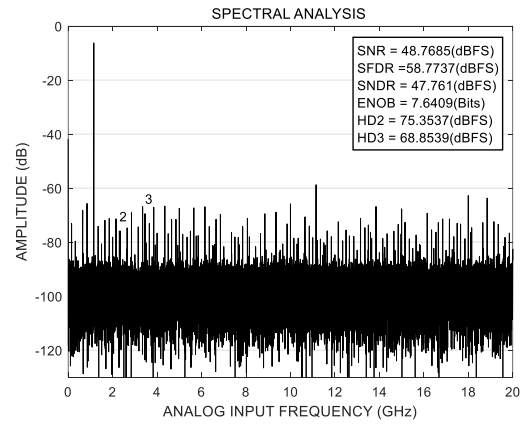
图 9 单通道 24 LANE 数据输出图

6.2 典型性能曲线

测试条件: AVDD = 1.1V, DVDD = 1.0V, FS = 40GSPS, 室温, 信号差分输入, 102K FFT。



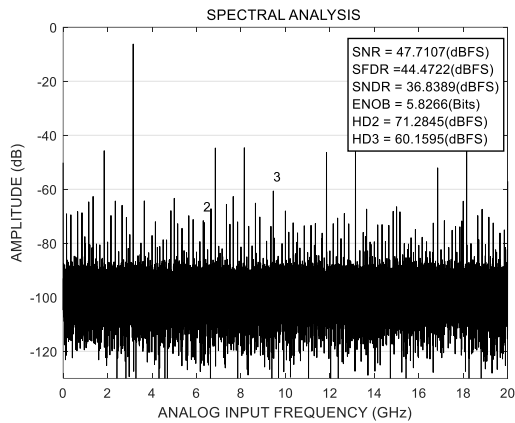
(校正前)



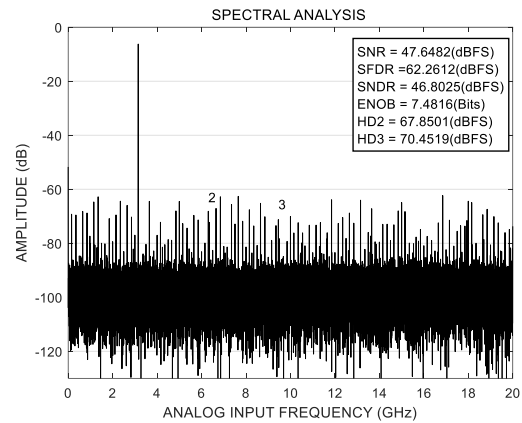
(校正后)

图 10 FFT at $f_{IN}=1.152\text{GHz}$, -6.2dBFS , 40GSPS

图 11 FFT at $f_{IN}=1.152\text{GHz}$, -6.2dBFS , 40GSPS



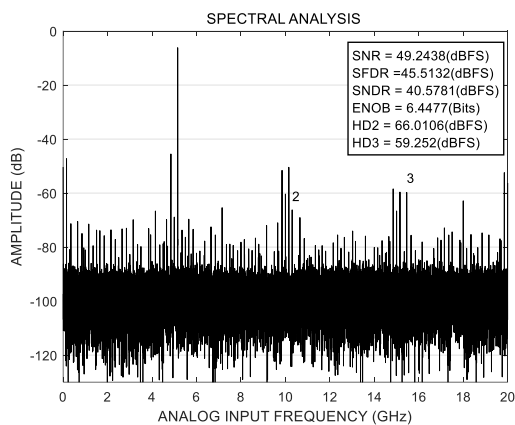
(校正前)



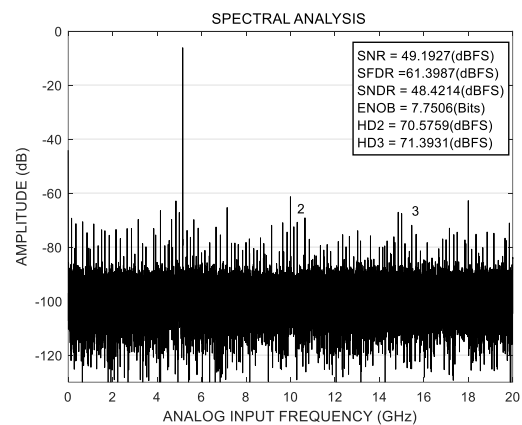
(校正后)

图 12 FFT at $f_{IN}=3.152\text{GHz}$, -6.2dBFS , 40GSPS

图 13 FFT at $f_{IN}=3.152\text{GHz}$, -6.2dBFS , 40GSPS



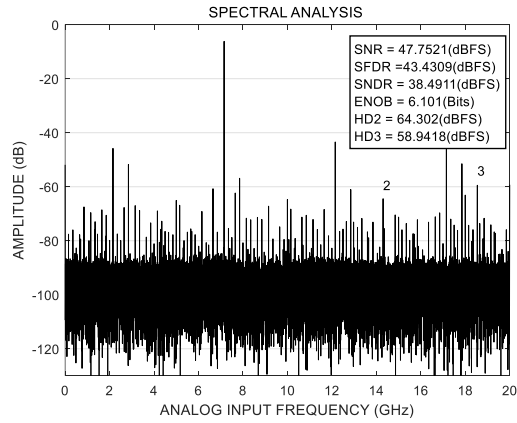
(校正前)



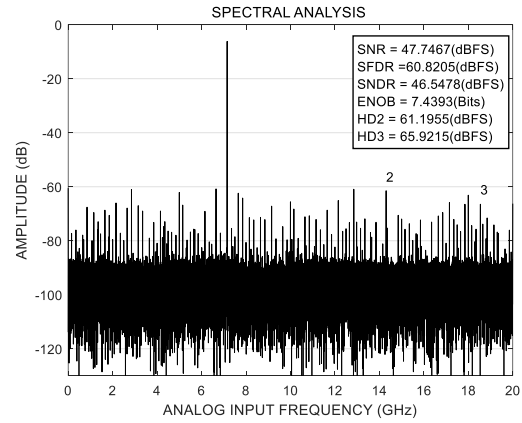
(校正后)

图 14 FFT at $f_{IN}=5.152\text{GHz}$, -6.2dBFS , 40GSPS

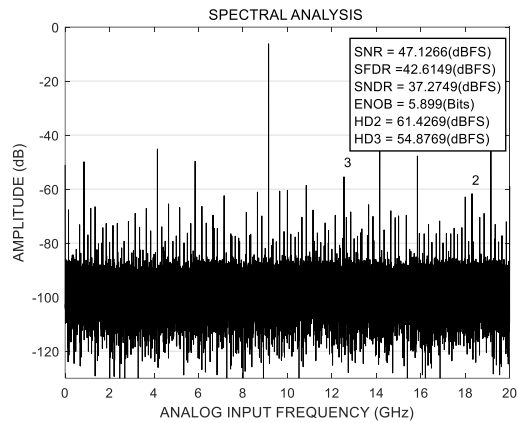
图 15 FFT at $f_{IN}=5.152\text{GHz}$, -6.2dBFS , 40GSPS



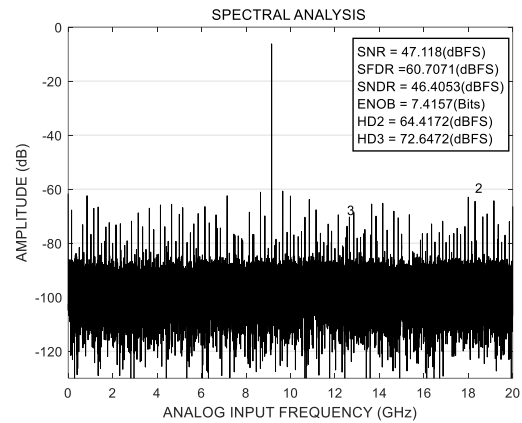
(校正前)



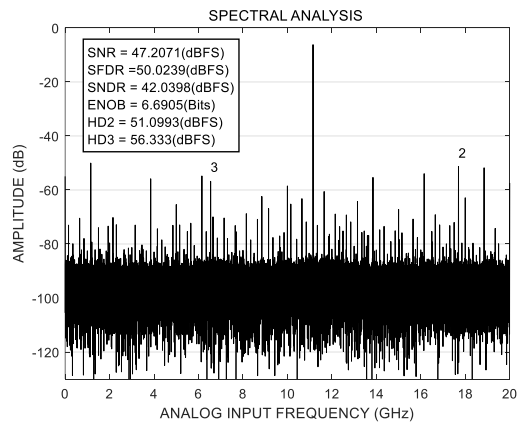
(校正后)

图 16 FFT at $f_{IN}=7.152\text{GHz}$, -6.2dBFS , 40GSPS图 17 FFT at $f_{IN}=7.152\text{GHz}$, -6.2dBFS , 40GSPS

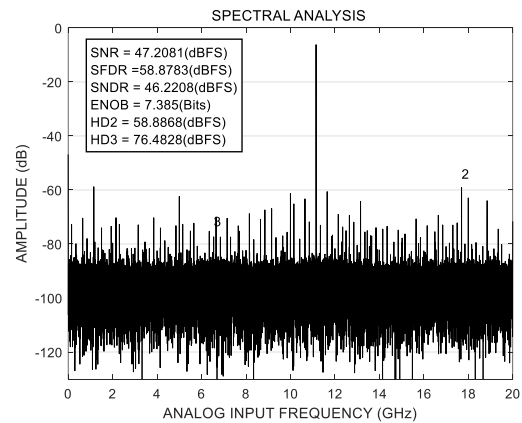
(校正前)



(校正后)

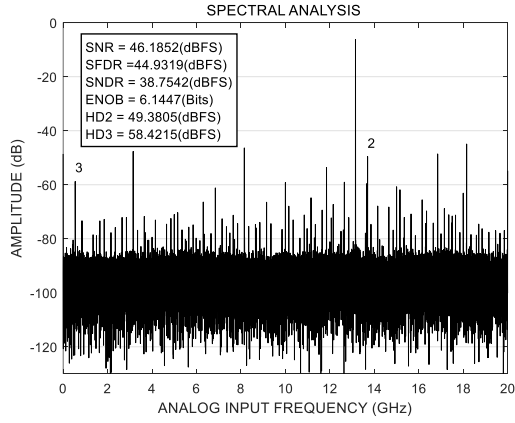
图 18 FFT at $f_{IN}=9.152\text{GHz}$, -6.2dBFS , 40GSPS图 19 FFT at $f_{IN}=9.152\text{GHz}$, -6.2dBFS , 40GSPS

(校正前)

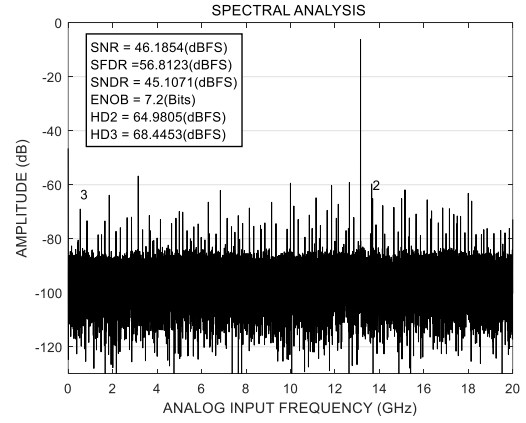


(校正后)

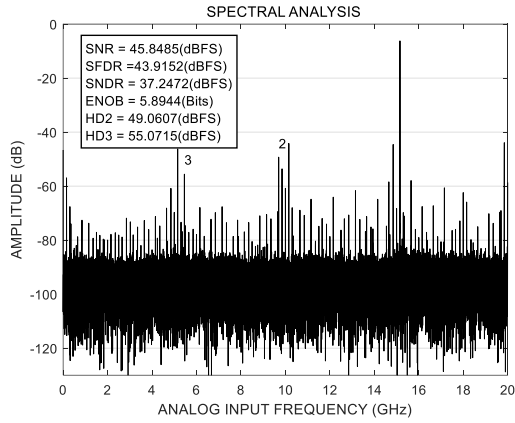
图 20 FFT at $f_{IN}=11.152\text{GHz}$, -6.2dBFS , 40GSPS图 21 FFT at $f_{IN}=11.152\text{GHz}$, -6.2dBFS , 40GSPS



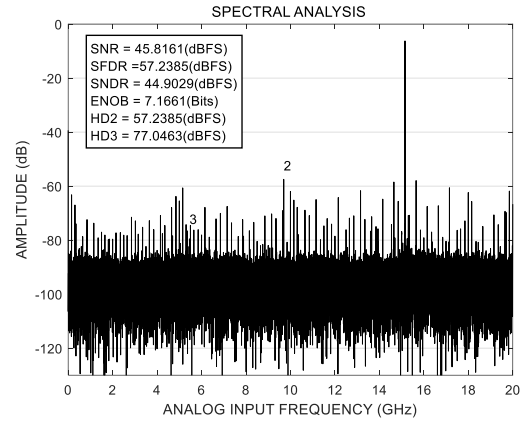
(校正前)



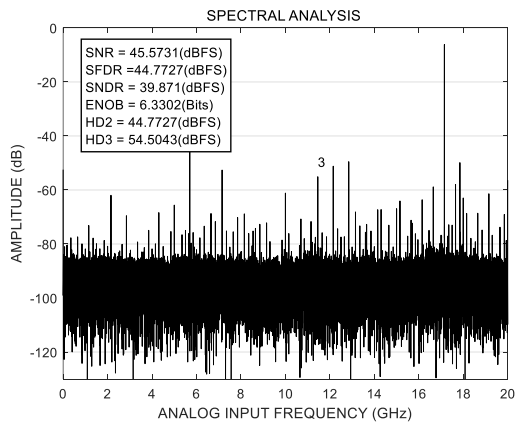
(校正后)

图 22 FFT at $f_{IN}=13.152\text{GHz}$, -6.2dBFS , 40GSPS 图 23 FFT at $f_{IN}=13.152\text{GHz}$, -6.2dBFS , 40GSPS

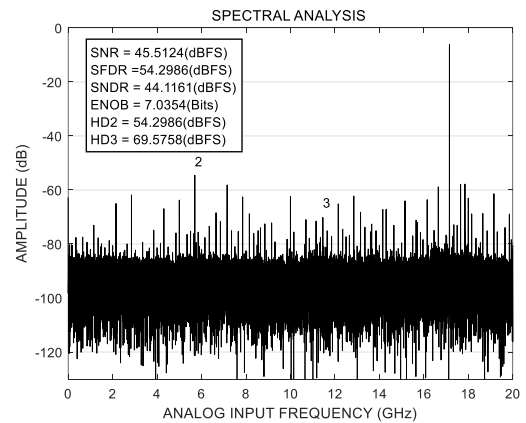
(校正前)



(校正后)

图 24 FFT at $f_{IN}=15.152\text{GHz}$, -6.2dBFS , 40GSPS 图 25 FFT at $f_{IN}=15.152\text{GHz}$, -6.2dBFS , 40GSPS

(校正前)



(校正后)

图 26 FFT at $f_{IN}=17.152\text{GHz}$, -6.2dBFS , 40GSPS 图 27 FFT at $f_{IN}=17.152\text{GHz}$, -6.2dBFS , 40GSPS

6.3 幅频响应

测试条件: $AVDD = 1.1V$, $DVDD = 1.0V$, $FS = 40GSPS$, 室温, 信号差分输入。

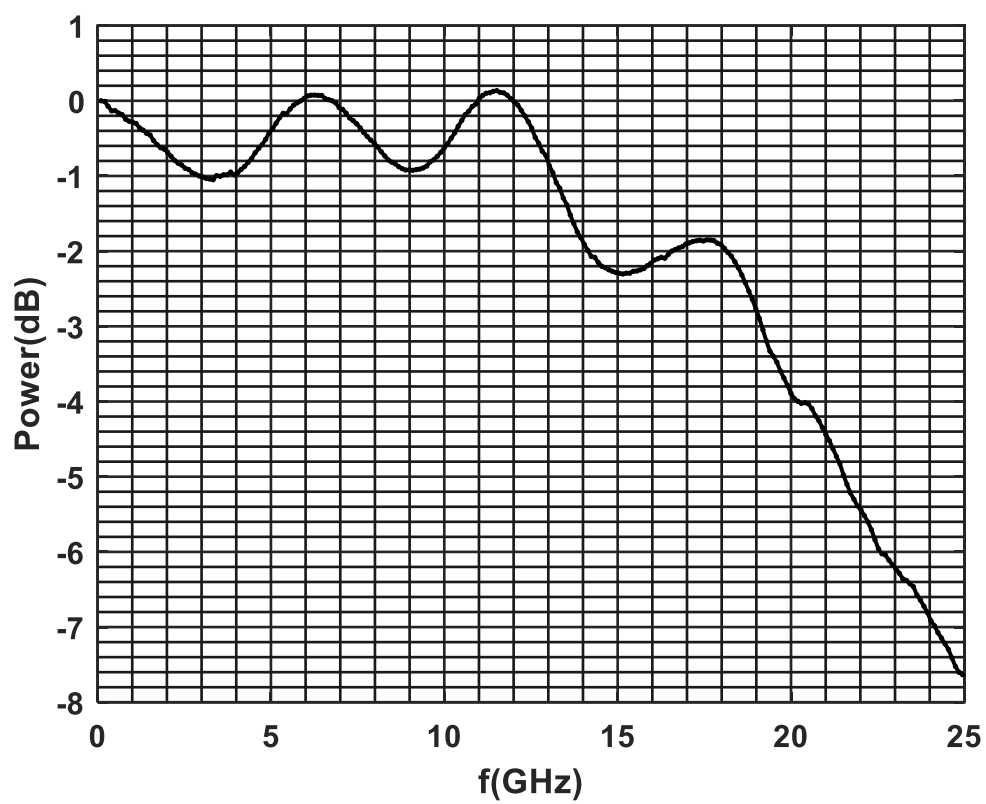


图28 幅频响应

6.4 误码率测试

表 9 误码率测试

待测试。

6.5 S 曲线

待测试。

图29 S11曲线

6.6 等效电路

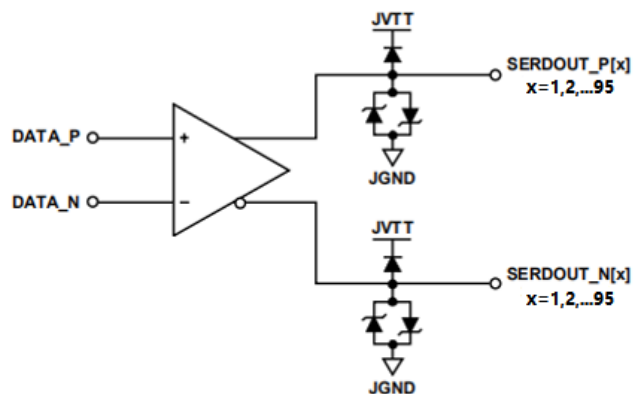


图 30 数字输出

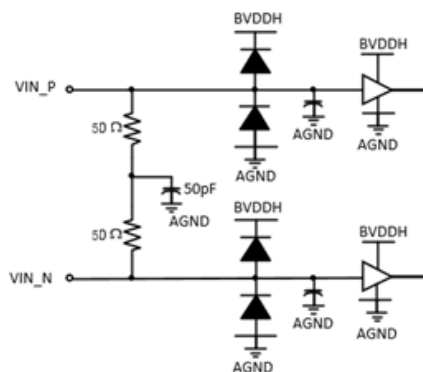


图 31 模拟输入

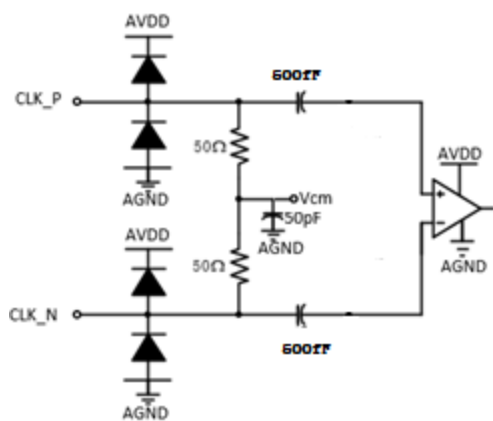


图 32 输入时钟

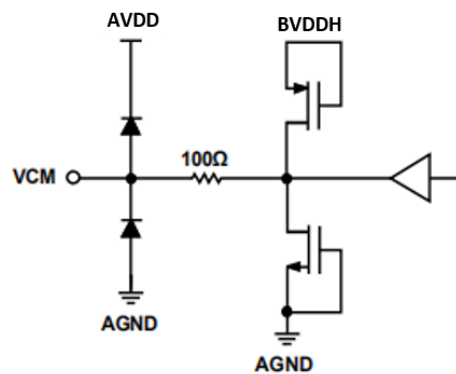


图 33 VCM

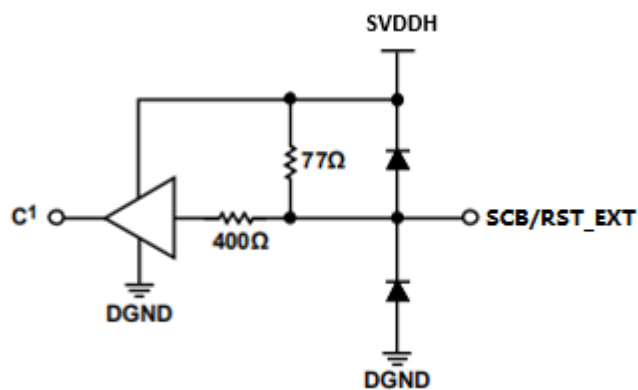
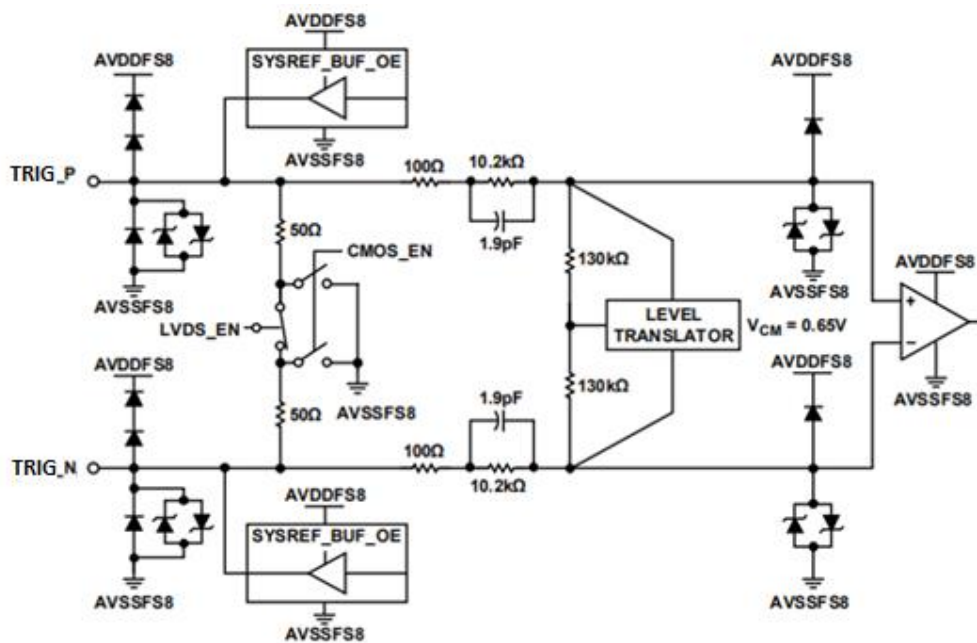
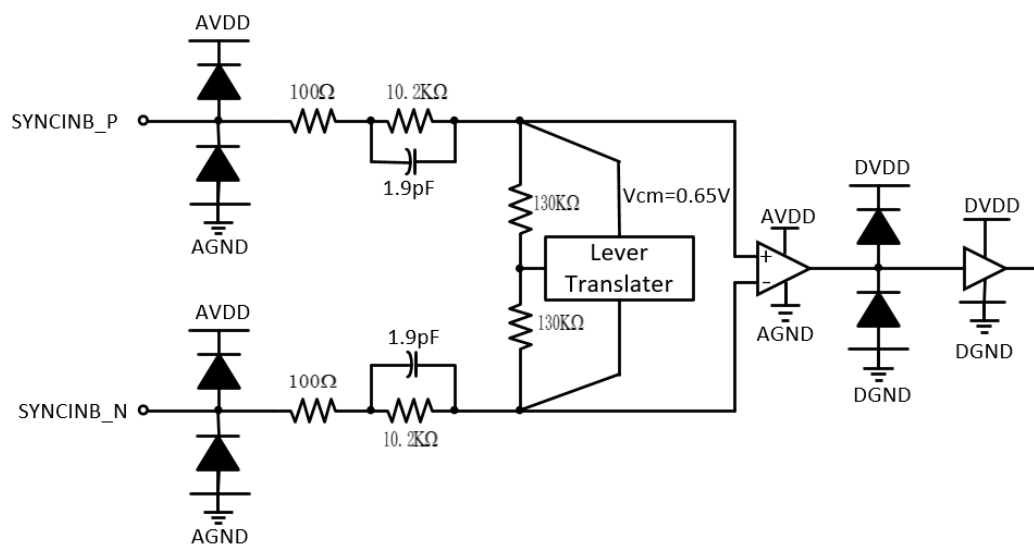


图 34 SCB 和 RST_EXT

图 35 TRIG_x 输入图 36 SYNCINB_x 输入

7 功能描述

7.1 概述

图 1 为 HWD12B40GA4PBGA899M3 芯片的内部框图。芯片集成了 ADC 内核，JESD204C 接口模块，SPI 控制模块，时钟模块，外设 IO 模块等。

ADC 内核采用时间交织 SAR 结构实现，使用了宽带采样保持电路设计技术、时间交织及内部误差校正技术。

JESD204C 接口模块实现数据输出，最高 lane 速率可达 25Gbps，内置 96 个 lane 可配置使用。兼容 JESD204B 接口，支持子类 0 和子类 1，最高线速率可达 12.5Gbps。

SPI 接口模块主要实现 ADC 内部寄存器配置、通过指令实现时钟切换、芯片内部状态读取等功能。SPI 可以让用户根据实际应用场景灵活配置寄存器。

7.2 功能描述

7.2.1 工作原理

HWD12B40GA4PBGA899M3 是一款 4 通道时间交织的 SAR 架构 ADC，具有高输入带宽，高采样率的特点。HWD12B40GA4PBGA899M3 采用 JESD204C 接口，内置 96 条 lane，兼容 JESD204B 接口，支持实现高速数据传输以及灵活的数字输出格式。

单通道内部采用 80 个子 ADC 的时间交织 SAR 架构，采用时间交织算法，在大部分输入信号条件下，均可达到较好的动态性能。

7.2.1.1 ADC 架构

80 路子 ADC 工作在时间交织模式，对模拟输入进行采样量化得到 80 路 12 位的并行数据，以及每路数据的同频随路时钟。

电路中关键模块电路为：多相时钟产生和调整电路、Sub ADC、连续时间均衡、高速信号分发电路、高速信号采样电路、高速缓冲器电路、低噪声 VCO 电路等。

7.2.1.2 片内交织

HWD12B40GA4PBGA899M3 有 4 路单通道以及两路片内交织的双通道，通道 1/2 交织的双通道模拟输入为 VIND_P/N_1，通道 3/4 交织的双通道模拟输入为 VIND_P/N_2，1/2 通道和 3/4 通道可以独立配置工作在单通道模式或者双通道模式，由于采样时钟只有一组 CLK_{in}，所以四个通道的采样率完全一致，单通道和双通道配置差异如下。

当工作在单通道模式时，两个双通道模式选择寄存器需要配置成 01，并且每个通道的 AMP 使能信号需要配置为 1 开启状态。当工作在双通道模式时，两个通道的双通道模式选择寄存器 MODE<1:0> 需要配置为 10：

双通道（交织），并且每个通道的AMP使能信号AMPEN<8:1>需要配置为0关闭状态，公共寄存器里面对应导通的AMP使能信号C5_AMPEN<15:0>需要配置为1开启。

7.2.1.3 模拟差分输入

HWD12B40GA4PBGA899M3 的模拟输入是一个差分缓冲器，内部缓冲器的共模电压是 0.5V。为了更好的动态性能，驱动 VIN_N 和 VIN_P 的源阻抗必须与 ADC 内部阻抗匹配，这样 ADC 输入端的共模误差就被抵消掉。

由于大部分放大器的噪声性能和信号带宽不足以使 HWD12B40GA4PBGA899M3 发挥出真实的性能，为了获得更好的 SNR 和 SFDR 性能，建议使用差分变压耦合器作为差分输入配置。

7.2.1.4 ADC 复位时序

HWD12B40GA4PBGA899M3 的复位引脚为 RST_EXT，异步复位信号，低电平有效，复位时间 100ns。为了防止复位信号撤除时可能产生亚稳态，故采用异步复位同步释放的模式。即复位信号到来时不受时钟信号的同步，复位信号释放时受到时钟信号的同步。

7.2.2 测试模式

7.2.2.1 ADC 测试模式

HWD12B40GA4PBGA899M3 内部可通过寄存器配置选择输出 ADC 数据或者 PRBS 数据。详细信息可参见下表：

表 10 ADC 测试模式

寄存器名字	寄存器地址	位宽	属性	含义
RG_P_SUBADC	0x000005	8	R/W	Bit[7]: PRBS 电路使能，默认配置为 0。 =1' b0: 选择 ADC 输出。 =1' b1: 选择 PRBS 输出。

7.2.2.2 JESD204C 测试模式

HWD12B40GA4PBGA899M3 在 204C 模块设计了灵活的测试模式用于通道调试和问题定位，通过配置 test mode 寄存器实现各种数据类型输出。

相关具体设置如下表所示，表中寄存器地址以 204C IP0 为参考，其他通道参考寄存器映射表 11 即可。

表 11 204C 测试模式

寄存器名字	寄存器地址	位宽	属性	含义
-------	-------	----	----	----

test mode	0x020100	8	R/W	Bit[3:0]: 测试模式产生选择, 默认配置为 0。 =4' b0000: 测试模式关闭(正常操作)。 =4' b0001: Midscale short。 =4' b0010: Positive full scale。 =4' b0011: Negative full scale。 =4' b0100: Alternating checker board。 =4' b0101: PN 序列(long)。 =4' b0110: PN 序列(short)。 =4' b0111: 1/0 字切换。 =4' b1000: 用户测试模式。 =4' b1111: 斜坡输出。
	0x020110	8	R/W	Bit[3:0]: 默认配置为 0。 =4' b0000: 正常操作(测试模式关闭)。 =4' b0001: Alternating checkerboard。 =4' b0010: 1/0 字切换。 =4' b0011: 31bit 伪随机数(PN)序列 $-x^{31}+x^{28}+1$ 。 =4' b0100: 23bit PN 序列 $-x^{23}+x^{18}+1$ 。 =4' b0101: 15bit PN 序列 $-x^{15}+x^{14}+1$ 。 =4' b0110: 9bit PN 序列 $-x^9+x^5+1$ 。 =4' b0111: 7bit PN 序列 $-x^7+x^6+1$ 。 =4' b1000: 斜坡输出。 =4' b1110: 连续/重复用户测试。 =4' b1111: 单次用户测试。

7.2.3 数字输出

7.2.3.1 功能概述

HWD12B40GA4PBGA899M3 采用 JESD204C 高速串行接口实现数据输出, 最高lane速率达25Gbps, 内置96个lane可配置使用。兼容 JESD204B 接口, 支持子类0和子类1操作, 最高lane速率可达12.5Gbps。

JESD204B/C 处理过程可以分为传输层、数据链路层和物理层, 如图37所示, 显示了JESD204B/C的功能框图。

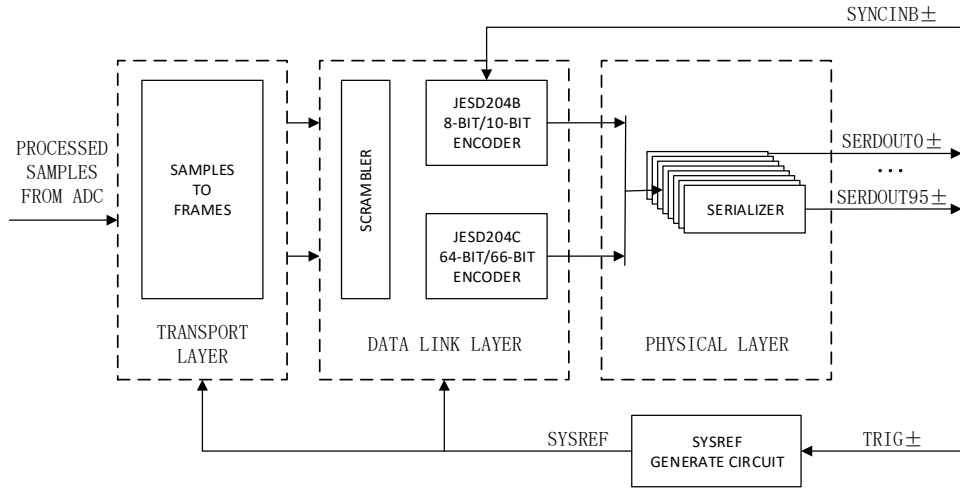


图 37 JESD204B/C 的功能框图

7.2.3.2 JESD204B/C 时钟

HWD12B40GA4PBGA899M3 支持 JESD204B/C 子类 0 和子类 1 操作。

当设备在子类 0 模式下工作时，不需要 SYSREF 输入，不支持确定性延迟和多芯片同步功能。在子类 0 模式下，JESD204B/C 发射器和接收器之间的 JESD204B/C 时钟的关系是任意的，但并不影响接收器捕获和对齐链路内通道的能力。

当设备在子类 1 模式下工作时，使用 SYSREF 作为采样时序的系统级基准，204B 采用 8b/10b 编码方案，SYSREF 用于对齐本地多帧时钟（LMFC），204C 采用 64b/66b 编码方案，SYSREF 用于对齐本地扩展多块时钟（LEMC），以支持实现确定性延迟和多芯片同步功能。注意，所有通道、链路、设备的总延迟变化（可变延迟和固定延迟变化）必须小于等于 1 个 LMFC/LEMC 周期。如图 38 所示，显示了 SYSREF 与 LMFC/LEMC 的关系。

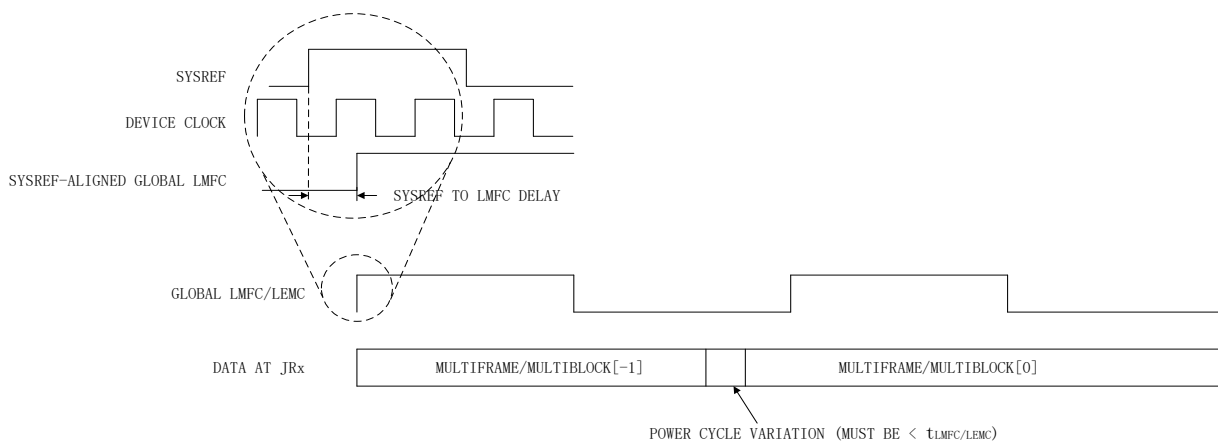


图 38 SYSREF 与 LMFC/LEMC

7.2.3.3 传输层

传输层负责把由样本和可选控制位组成的数据打包成 JESD204B/C 帧，之后将其映射为 8 位字节结构传

送给数据链路层。传输层受链路配置参数产生的规则控制，根据规则来对数据打包处理，需要时添加填充位以填补空隙。所需填充位个数由等式 $T=N'-N-CS$ 决定。

7.2.3.4 数据链路层

一般来说，数据链路层主要负责对数据进行加扰，建立码组或块边界、建立多帧或多块边界，初始化链路，对数据编码，监控链路的任务。

HWD12B40GA4PBGA899M3 支持 8b/10b 链路层（JESD204B）或 64b/66b 链路层（JESD204C），如表 12 所示，显示了 8b/10b 和 64b/66b 链路层的主要区别。

表 12 8b/10b 和 64b/66b 链路层的主要区别

特征	8-bit/10-bit 编码	64-bit/66-bit 编码
编码效率	80%	96.97%
SYNCINB_x 引脚	需要	不需要
样本数据加扰操作	可选	必须
链路初始化	码组同步（CGS）+初始通道对齐序列（ILAS）	同步报头（SH）对齐+扩展多块（EMB）同步+EMB 对齐
错误监测	字符监控	CRC-12 或 FEC
子类 1 模式下的 SYSREF	用于对齐 LMFC	用于对齐 LEMC
推荐通道速率范围	$1.5\text{Gbps} \leq \text{Lane rate} \leq 12.5\text{Gbps}$	$6\text{Gbps} \leq \text{Lane rate} \leq 25\text{Gbps}$

7.2.3.4.1 8-bit/10-bit 链路层

当使用 JESD204C 的 8b/10b 链路层选项时，兼容 JESD204B 规范。

HWD12B40GA4PBGA899M3 JESD204B 发射端接口定义及基本功能可参考 JEDEC 204B 协议标准，使用 8b/10b 链路层时的建链过程可分为以下三个步骤：码组同步和 SYNCINB_x，初始通道对齐序列，用户数据和纠错。请注意，8b/10b 链路层对样本数据的加扰操作是可选项。

● 码组同步（CGS）和 SYNCINB_x

CGS 是 JESD204B 接收机找到数据流中字符边界的过程，在 CGS 阶段 204B 发射端传送/K28.5/字符，接收端使用时钟和数据恢复技术（CDR）在输入数据流中定位/K28.5/字符。

接收端通过拉低 HWD12B40GA4PBGA899M3 中的 SYNCINB_x 引脚，发出一个同步请求，JESD204B 发送端就开始发送/K28.5/字符。当接收端同步时，它等待至少 4 个连续的/K28.5/字符的正确接收，之后拉高 SYNCINB_x。之后，HWD12B40GA4PBGA899M3 在下一个 LMFC 边界处发送初始通道对齐序列（ILAS）。

● 初始通道对齐序列（ILAS）

CGS 阶段之后是 ILAS 阶段，它在下一个 LMFC 边界开始。ILAS 由 4 个多帧组成，/R/字符表示开始，/A/字符表示结束。ILAS 从发送/R/字符开始，然后发送一个多帧的 0 至 255 斜坡数据；在第二个多帧，第二个

字符是/Q/字符用以确认随后是链路配置数据，从第三个字符开始发送链路配置数据。所有未定义的数据都是斜坡数据填充，ILAS 数据不加扰。

ILAS 序列结构如下图 39 所示，具体控制字符含义参见表 13，4 个多帧包括：

多帧 1/3/4：以/R/字符/K28.0/开始，以/A/字符/K28.3/结束；

多帧 2：以/R/字符开始，后接/Q/字符/K28.4/，然后是 14 个配置 8 位字的链路配置参数，最后以/A/字符结束。

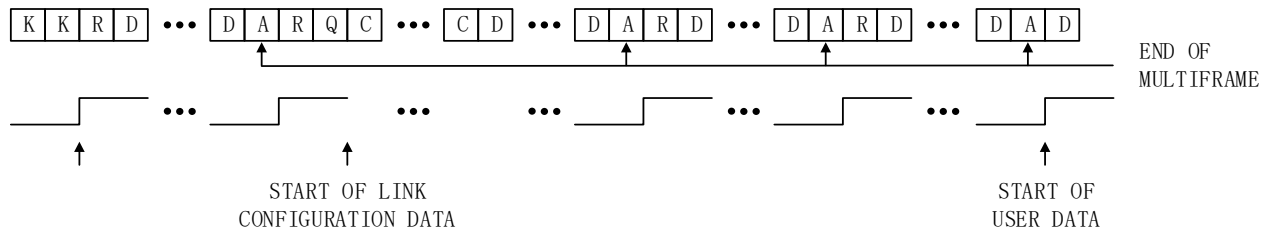


图 39 ILAS 序列图

表 13 JESD204B 控制字符

缩写	控制字符	8 位值	10 位值 RD (运行差异) = -1	10 位值 RD (运行差异) = +1	说明
/R/	/K28.0/	000 11100	001111 0100	110000 1011	多帧开始
/A/	/K28.3/	011 11100	001111 0011	110000 1100	通道对齐
/Q/	/K28.4/	100 11100	001111 0010	110000 1101	链路配置数据开始
/K/	/K28.5/	101 11100	001111 1010	110000 0101	组同步
/F/	/K28.7/	111 11100	001111 1000	110000 0111	帧对齐

● 用户数据和纠错

完成 ILAS 之后便开始发送用户数据，在普通的一帧数据中所有数据都是用户数据。为了监控帧时钟和多帧时钟同步，当数据符合某些条件时，通过一个机制来保证将字符替换为/F/或/A/对齐字符，该机制对于加扰和未加扰的数据条件是不同的，是否加扰可通过寄存器配置。

对于加扰的数据，帧末尾的任何 0xFC 字符都用/F/替换，多帧末尾的 0x7C 字符都用/A/替换。JESD204B Rx 检查接收到的数据中是否有/F/或/A/字符来验证它是否只出现在预期的位置上。如果发现意外的/F/或/A/字符，Rx 将利用动态对齐或者激活 SYNCINB_x 持续 4 帧以上时间重新启动同步来处理这种情况。

对于未加扰的数据，如果两个连续帧的最后一个字符相同，就会将第 2 帧的最后一个字符替换为/F/，如果它位于多帧的末尾，则替换为/A/。

7.2.3.4.2 64-bit/66-bit 链路层

当使用 JESD204C 的 64b/66b 链路层选项时，消除了 SYNCINB_x 引脚的使用，不兼容 JESD204B 规范。如下表 14 所示，显示了 JESD204C 协议标准中主要用于描述 64b/66b 链路层相关功能的新术语和参数。

表14 JESD204C引入的新术语和参数

术语	定义
块	一种结构，开头是一个2位的同步报头，总共包含66个位
多块（MB）	包含32个块的一组数据
扩展多块（EMB）	包含一个或多个多块的一组数据
同步报头（SH）	块头最开始的两数据位，要保证数据位之间有变化
同步转换位	由同步报头解码的单bit数据
同步字	来自一个多块的32bit同步转换位
LEMC	本地扩展多块时钟
BKW	块宽，一个块中的位数
E	一个扩展多块中的多块数量
EoMB	多块结束标识序列（00001），也称为导频信号
EoEMB	扩展多块结束标识符
SH_LOCK	声明同步报头已对齐的一种状态
EMB_LOCK	声明扩展多块已对齐的一种状态
命令通道	使用同步报头提供的额外带宽的数据流
FEC	前向纠错

7.2.3.4.2.1 块、多块、扩展多块

对于64b/66b链路层，66位数据块由两位的同步报头，后接八个八位字节的样本数据组成。请注意，来自传输层的有效载荷数据仅是转换器样本数据，由于没有编码来确保发生一定数量的数据转换以提供dc平衡，因此必须对样本数据进行加扰操作。如图40所示，显示了64b/66b数据块的格式，其中，D[0:7]表示八个数据字节组，S[0:7]表示加扰后的字节组，SH表示2位的同步报头。

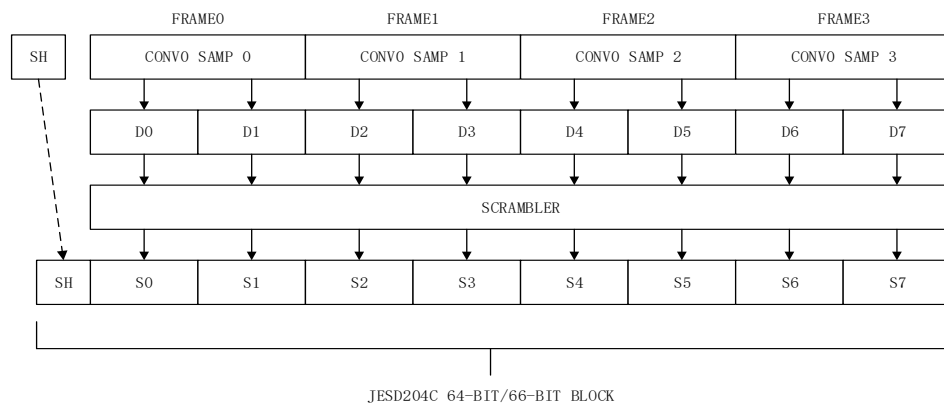


图 40 64-bit/66-bit 块格式示例，LMFS=1121，N=N' =16

JESD204C一个多块包含32个块，64b/66b编码方案中一个多块共2112（32x66）位。扩展多块是一个E数量的多块容器，扩展多块必须包含整数数量的帧，以确保EMB边界与帧边界一致。如图41所示，显示了多块

和扩展多块的格式。

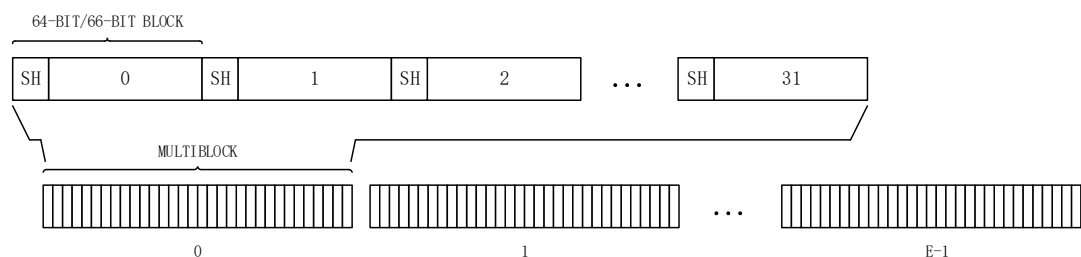


图 41 多块、扩展多块格式

7.2.3.4.2.2 同步字

32位同步字是由每个多块的32位同步转换位组成，其中位0首先传输。同步转换位从位于每个数据块开始位置的2位未加扰同步报头解析获取，如表15所示，显示了同步转换位与同步报头之间的解析关系。请注意，同步报头必须保证两数据位之间有变化，同步报头采用0-1序列用于表示逻辑1，同步报头采用1-0序列用于表示逻辑0。

表 15 同步报头与同步转换位

同步报头[0:1]	同步转换位
00	无效
01	1
10	0
11	无效

同步字用于提供通道同步并使能确定性延迟，提供可选CRC错误校验、前向纠错、或供发射器与接收器通信的命令通道。HWD12B40GA4PBGA899M3支持12位循环冗余校验（CRC-12）同步字选项和前向纠错（FEC）同步字选项。

● CRC-12同步字

JESD204C发射器中的CRC-12编码器接收每个多块的2048（32x64）个加扰数据位，并计算12个奇偶校验位，这些奇偶校验位在下一个多块的同步报头流中传输到接收器。接收端从接收到的每个多块数据中计算12个奇偶校验位，并将其与接收到的下一个多块的同步字中的奇偶校验位进行比较，若奇偶校验位不匹配，则表明接收到的数据中或接收到的12位奇偶校验位中至少存在一个错误。有关CRC-12奇偶校验字生成的详细信息，请参见JESD204C标准。

如表16所示，显示了CRC-12同步字的字段描述。

表 16 CRC-12 同步字

同步字位	域名	功能
------	----	----

同步字位	域名	功能
0	CRC11	12位CRC值的位[11:9]— 适用于之前的多块
1	CRC10	
2	CRC9	
3	1	始终为1
4	CRC8	12位CRC值的位[8:6]— 适用于之前的多块
5	CRC7	
6	CRC6	
7	1	始终为1
8	CRC5	12位CRC值的位[5:3]— 适用于之前的多块
9	CRC4	
10	CRC3	
11	1	始终为1
12	CRC2	12位CRC值的位[2:0]— 适用于之前的多块
13	CRC1	
14	CRC0	
15	1	始终为1
16	Cmd6	7位命令通道的位[6:4]
17	Cmd5	
18	Cmd4	
19	1	始终为1
20	Cmd3	7位命令通道的位3
21	1	始终为1
22	EoEMB	扩展多块结束位
23	1	始终为1
24	Cmd2	7位命令通道的位[2:0]
25	Cmd1	
26	Cmd0	
27	0	标识多块结束的导频信号
28	0	
29	0	
30	0	
31	1	

● FEC同步字

JESD204C发射器中的FEC编码器接收每个多块的2048（32x64）个加扰数据位，并计算26个奇偶校验位，这些奇偶校验位在下一个多块的同步报头流中传输到接收器。接收端从接收到的每个多块数据中计算26个奇偶校验位，并计算本地生成的奇偶校验位与接收到的奇偶校验位之间的差异（称为校验子）。若校验子为0，则假定数据正确接收，若校验子为非0值，则用以确定最可能的错误并予以纠正。

请注意，使用FEC同步字选项时，导频信号有可能出现在同步报头流的其他位置，但在多个多块序列的同一位置看到导频信号是不可能的，因此在该模式下，可能需要多个多块才能找到一个多块的结束。EoEMB是扩展多块结束位，对于扩展多块的最后一个多块，它被设置为1。有关FEC奇偶校验字生成、FEC解码与纠错的详细信息，请参见JESD204C标准。

如表17所示，显示了FEC同步字的字段描述。

表 17 FEC 同步字

同步字位	域名	功能
0	FEC[25]	26位前向纠错字的位[25:4]— 适用于之前的多块
1	FEC[24]	
2	FEC[23]	
3	FEC[22]	
4	FEC[21]	
5	FEC[20]	
6	FEC[19]	
7	FEC[18]	
8	FEC[17]	
9	FEC[16]	
10	FEC[15]	
11	FEC[14]	
12	FEC[13]	
13	FEC[12]	
14	FEC[11]	
15	FEC[10]	
16	FEC[9]	
17	FEC[8]	
18	FEC[7]	
19	FEC[6]	
20	FEC[5]	

同步字位	域名	功能
21	FEC[4]	
22	EoEMB	扩展多块结束位
23	FEC[3]	26位前向纠错字的位[3:0]— 适用于之前的多块
24	FEC[2]	
25	FEC[1]	
26	FEC[0]	
27	0	标识多块结束的导频信号
28	0	
29	0	
30	0	
31	1	

7.2.3.4.2.3 链路建立

HWD12B40GA4PBGA899M3 使用64b/66b链路层时的建链过程可分为以下四个步骤：同步报头对齐，扩展多块同步，扩展多块对齐，错误监测与再同步。请注意，链路建立过程在链路上电时自动启动，不再需要 SYNCINB_x信号或同步请求。另外64b/66b链路层对样本数据的加扰操作是必须的。

● 同步报头对齐

同步报头指示块的开始，并用于块同步监控。同步报头中的同步转换位确保在每个块边界（66位）都有一个数据转换。JESD204C接收器检测到一个数据转换后，在下一个66位查找另一个数据转换。如果检测到64个连续以66位为间隔进行的位转换，则实现同步报头锁定（SH_lock）。如果没有检测到64个连续转换，则重启该机制。

● 扩展多块同步

一旦实现同步报头对齐，接收器就会在转换位中查找扩展多块结束序列（100001）。同步字的结构确保此序列只能在适当的时间发生。一旦确定EoEMB序列，该机制将检查每个32位同步字，以确保存在多块结束导频信号（00001）。如果E=1，EoEMB位会与导频信号一起出现。如果E>1，那么每E×32个转换位，导频信号将包含EoEMB位。一旦检测到四个连续的有效序列，就可以实现扩展多块结束锁定（EMB_LOCK）。继续监测每E×32个转换位，如果没有检测到有效序列，则EMB_LOCK丢失且同步过程重置。

● 扩展多块对齐

使用64b/66b链路层时，扩展多块对齐实现通道对齐。类似于使用8b/10b链路层时的通道对齐，每个通道上的JESD204C接收器都使用一个弹性缓冲区来存储传入数据。在扩展多块对齐期间，每个通道的缓冲区

开始在EoEMB边界（而不是在使用8b/10b链路层时ILAS期间的/K/至/R/边界）存储数据，所有通道在最后到达通道的EoEMB边界一同释放各自的缓冲数据。

图42显示了如何实现通道对齐。每个通道的接收缓冲区在接收到EoEMB同步字位字段的最后一位时开始缓冲数据（最后到达的通道除外）。接收到最后达到通道的EoEMB同步字位字段时，触发释放所有通道的接收缓冲区，以便所有通道对齐。

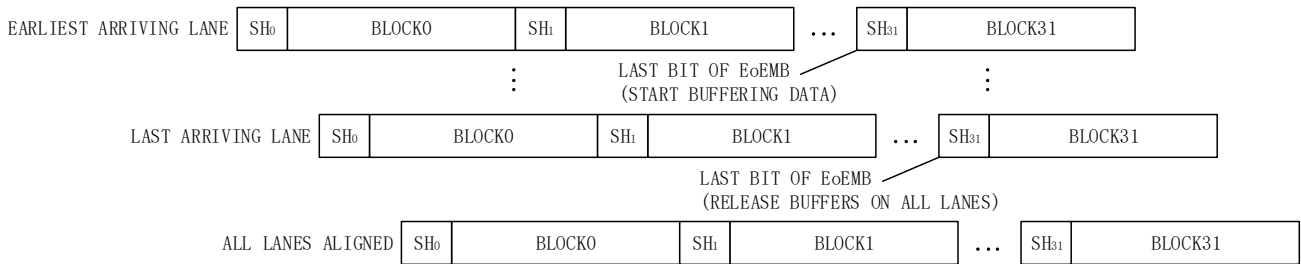


图 42 JESD204C 扩展多块对齐示意图

● 错误监测与再同步

JESD204C同步字选项让用户能够监测或纠正数据传输中可能发生的错误。HWD12B40GA4PBGA899M3支持CRC-12同步字选项和FEC同步字选项，其中，CRC-12同步字仅可实现数据传输过程中的错误监控，而FEC同步字能够检测并纠正错误。有关CRC-12、FEC同步字实现功能的详细信息，请参见JESD204C标准。

请注意，如果接收端检测到传输数据错误过多，则同步丢失，此时接收方自动重新启动同步。

JESD204C会监视同步报头对齐和扩展多块同步的状态，用以告知系统主机。如果需要重新同步，系统主机将power down链路两侧。如果需要重新配置或更改时钟，请在链路下电时执行。在链路上电时会自动进行重新同步。

7.2.3.5 物理层输出

JESD204C引入了两个分类来定义物理接口的特性，表18显示了与每类相关的通道速率，表19显示了C类中的通道类型及相关的加重和均衡特性。HWD12B40GA4PBGA899M3实现了C-M类接口。建议采用8b/10b编码方案的最低数据速率限制为1.5Gbps，采用64b/66b编码方案的最高数据速率限制为25Gbps。

表 18 数据接口类对应的通道数据速率

数据接口类	最小数据速率 (Gbps)	最大数据速率 (Gbps)
B-3	0.3125	3.125
B-6	0.3125	6.375
B-12	6.375	12.5
C	6.375	32

表 19 JESD204C 接口器件类特性

类	相对功耗	发射器FFE (最小值 dB)	接收器CTLE (最小值 dB)	接收器DFE抽头 (最小值)
C-S	低	9.5	6	0
C-M	中	9.5	9	3
C-R	高	9.5	12	14

如图43所示，JESD204B/C的物理层由串行器、FFE和输出驱动三部分组成。物理层实现并行数据到高速差分串行数据的转换。

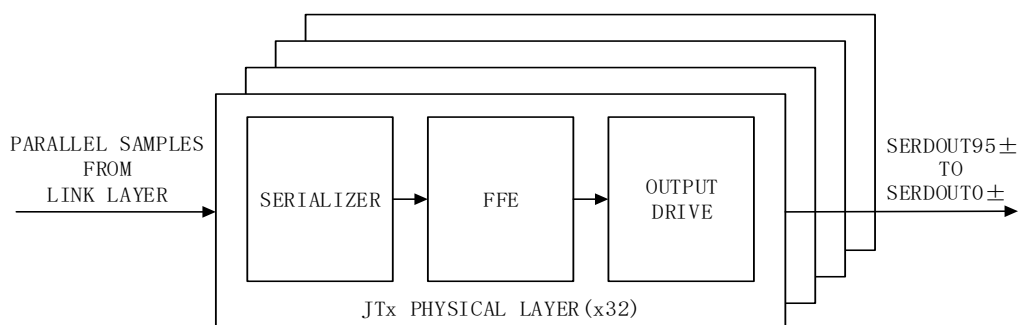


图 43 JESD204B/C 物理层框图

7.2.4 多片同步 (MCS)

HWD12B40GA4PBGA899M3 多芯片同步方案如图 44 所示。

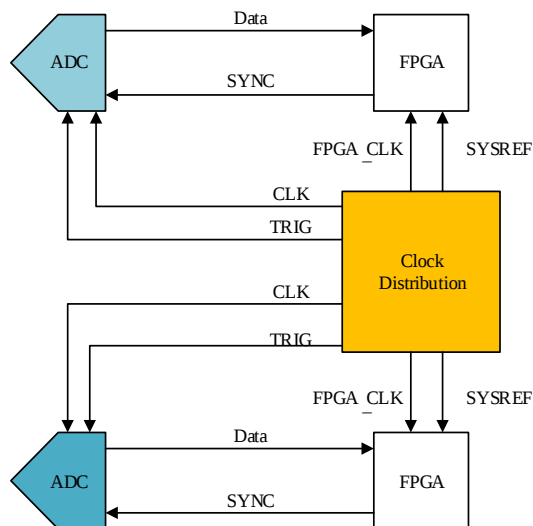


图 44 多芯片同步方案

上图中各个信号的功能如下：

- CLK: ADC 采样高速时钟，6-10GHz，CML 电平。
- TRIG: 外部同步信号，≤100ps 上升沿，lvpecl 接口或者 lvds 接口，rms jitter≤2ps。TRIG 每产生一次上升沿，各个芯片同步一次；TRIG 保持 0 和 1，或者产生下降沿，ADC 状态均不会发生改变；TRIG 产生多次上升沿，各个 ADC 会同步多次，最终结果以最后一次同步为准。

- SYSREF：同步 FPGA 工作状态。
- SYNC：该信号由 FPGA 发出，用于 ADC 内部 204B 协议层的同步，连接 ADC SYNCINB 引脚。

同步方案具体描述如下：

1. TRIG 和 SYSREF 有确定时延关系，以保证确定性时延。

2. CLK 和 TRIG 板级上均走等长线，确保到各个 ADC 芯片的时钟和同步信号尽量同步。在靠近芯片位置，预留 CLK 和 TRIG 信号的测试点。TRIG 为脉冲信号，TRIG 和 CLK 每次上电均要求为确定相位关系，可通过片外延时微调节 TRIG 和 CLK 相对延时关系，也可通过片内延时电路调节 TRIG 和 CLK 相对延时关系，保证 ADC 内部 CLK 能够正确采样 TRIG。

3. 片内延时电路可调整芯片内部 CLK 和 TRIG 的时间延迟。CLK 的调整步进为一个 ADC 采样率周期，调整范围为 4 个 ADC 采样率周期。TRIG 的调整步进为 10ps，调整范围为-80ps 至+70ps。

4. 反复上下电，计算两路 ADC 的延迟差。如果延迟差固定，说明两片同步成功，如果延迟差不固定，则需要继续调整 CLK 和 TRIG 至一合理区间，确保每次上下电，各个芯片之间只需要 1 次 TRIG 触发就能完成同步。

5. 根据信号输入链路测试结果，数字域调节整数采样点延时，对齐采样时刻。

7.2.5 内部校正流程和使用方法

HWD12B40GA4PBGA899M3由80个采样率为FS/80的SubADC交织而成，SubADC通道间存在偏差，需先后进行 Offset校正、Gain Mismatch校正、采样时钟相位误差校正。

7.2.5.1 Offset 校正

发送单音或者宽带信号进行 Offset 校正量计算。如发送单音，则单音频率建议选择工作频段的中间频率。采集 ADC 的输出数据，对每个 SubADC 的数据分别求均值可得到对应的 $\text{Offset}_{\text{SubADC}(i)}$ 。 $\text{Offset}_{\text{SubADC}(i)}$ 为 7bit 的有符号数。通过 SPI 配置 $\text{Offset}_{\text{SubADC}(i)}$ 或者写入 EFUSE 进行固化，在片上进行 Offset 的校正。

7.2.5.2 Gain Mismatch 校正

完成 Offset 校正后，进行 Gain Mismatch 校正。发送单音或者宽带信号进行 Gain Mismatch 校正量计算。如发送单音，则单音频率建议选择工作频段的中间频率。采集 ADC 的输出数据，计算每个 SubADC 的数据的均方根值 $\text{RMS}_{\text{SubADC}(i)}$ 。每个 SubADC 对应的 Gain Mismatch 的校正量可由下式计算得到。

$$\text{Gain}_{\text{SubADC}(i)} = \frac{\max(\text{RMS}_{\text{SubADC}(1)}, \text{RMS}_{\text{SubADC}(2)}, \dots, \text{RMS}_{\text{SubADC}(80)})}{\text{RMS}_{\text{SubADC}(i)}} - 1$$

通过 SPI 配置 $\text{Gain}_{\text{SubADC}(i)}$ 或者写入 EFUSE 进行固化，在片上进行 Gain Mismatch 的校正。

7.2.5.3 采样时钟相位误差校正

为保证高频性能，通道间 skew 在高频输入信号下进行校准。信号输入频率约为 3dB 模拟带宽频率附近，用于校正第一级八个采样率为 FS/8 的子通道间的采样时钟偏差，其中每个子通道由 10 个 SubADC 交织组

成。

分别计算出八个 ADC 实际采样到的信号 fin 的相位 $Phase_i$ ，得到他们相对于第一个 ADC 的相位差 $\Delta Phase_{cal_i} = Phase_i - Phase_1$ 分别为 0, $\Delta Phase_{cal_2}$, $\Delta Phase_{cal_3}$, $\Delta Phase_{cal_4}$, $\Delta Phase_{cal_5}$, $\Delta Phase_{cal_6}$, $\Delta Phase_{cal_7}$, $\Delta Phase_{cal_8}$ 。

分别计算出八个 ADC 理想采样到的信号 fin 的相位 $Phase_{standard_i}$ ，得到他们相对于第一个 ADC 的相位差 $\Delta Phase_{standard_i} = Phase_{standard_i} - Phase_{standard_1}$ 分别为 0, $\Delta Phase_{standard_2}$, $\Delta Phase_{standard_3}$, $\Delta Phase_{standard_4}$, $\Delta Phase_{standard_5}$, $\Delta Phase_{standard_6}$, $\Delta Phase_{standard_7}$, $\Delta Phase_{standard_8}$ 。

分别调节采样率为 $FS/8$ 的八相时钟对应的寄存器，使得采样时钟相位误差 $Phase_error_i = \Delta Phase_{standard_i} - \Delta Phase_{cal_i}$ 接近于 0。由于八相时钟调节存在一定相互影响，因此首先调节 $Phase_error_i$ 最大的通道，使其调节后的误差不是最大后就调节下一个通道，而不是将其误差调节完成后再调节下一个通道。

7.2.6 串行端口接口（SPI）

SPI 接口模块主要实现 ADC 内部寄存器配置、通过指令实现时钟切换、芯片内部状态读取等功能。SPI 可以让用户根据实际应用场景灵活配置寄存器来设置 HWD12B40GA4PBGA899M3。

7.2.6.1 功能概述

HWD12B40GA4PBGA899M3 中 SPI 由 4 个引脚组成：SCLK 引脚，SDO 引脚，SDI 引脚，SCB 引脚，具体含义见下表 20，其中 SCLK（串行时钟）用于同步从 ADC 读出来的数据和写入 ADC 的数据；SDI 为串行数据输入，用于将数据发送至内部 ADC 存储器映射寄存器；SDO 为串行数据输出，从 ADC 寄存器读出数据；SCB（片选信号）是低电平有效控制引脚，它能够使能或者禁用读写周期。

表 20 串行接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDO	串行数据输出。
SDI	串行数据输入。
SCB	片选信号。低电平有效控制信号，用来选通读写周期。

7.2.6.2 时序规格

HWD12B40GA4PBGA899M3 中 SPI 读写时序如图 45 和图 46 所示。

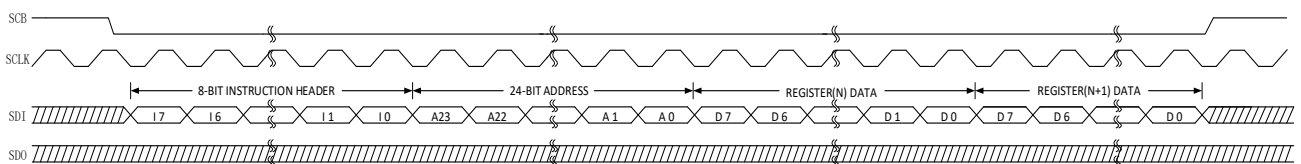


图 45 SPI 寄存器写时序

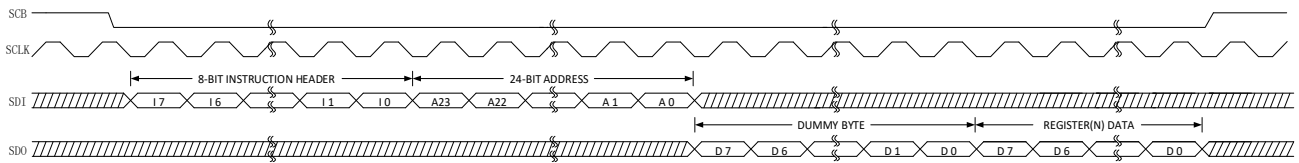


图 46 SPI 寄存器读时序

当 SCB 信号在指令传输阶段无效时，该指令及指令后跟随的数据都将被忽略；当 SCB 信号在第 N-1 个数据传输过程中无效时，第 N-1 个数据将被忽略，如图 47 和图 48 所示。

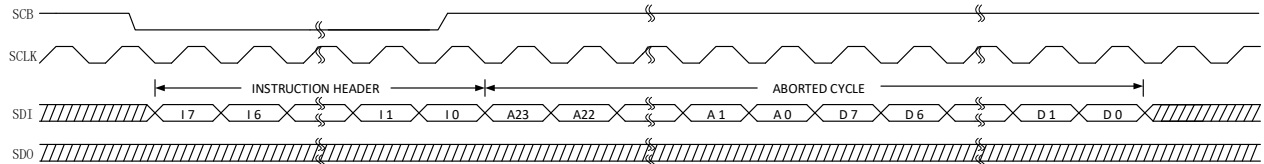


图 47 SCB 信号在指令阶段无效情况

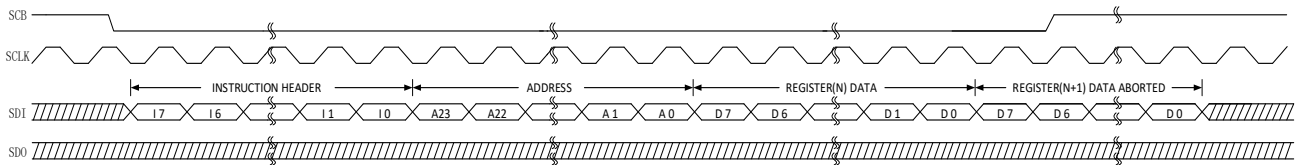


图 48 SCB 信号在数据阶段无效情况

注意：上图 47 和图 48 中的 instruction header 对应的具体信息参见接口指令章节中表格第一列 instruction header 内容。

7.2.6.3 接口指令

HWD12B40GA4PBGA899M3 中 SPI 接口指令列表如下表 21 所示：

表 21 接口指令列表

Instruction Header	Description	Op Code	Address Cycle(s)	Dummy Cycle(s)	Data Cycle(s)
Read-Register	读寄存器指令。	0x90	3	1	1 to ∞
Write-Register	写寄存器指令。	0xAD	3	0	1 to ∞
WREN	写寄存器全局使能，芯片上电后，必须输出此 OP_CODE 才可对寄存器进行写操作。	0x06	0	0	0
WRDI	写寄存器全局使能关闭，需再次输入 WREN 才可打开写寄存器全局使能。	0x04	0	0	0

7.2.6.3.1 Read-Register 指令

当 SPI_CTRL 接收到 Read_register 指令后，继续接收 3 个 byte 的 ADC 寄存器初始地址，接收完三个初始地址后，SPI 接口需要等待一个 dummy byte 之后，SPI 接口将发出 ADC 寄存器数据。读 ADC 寄存器地址将继续累加，并读取 ADC 寄存器值。当 ADC 寄存器地址累加到最大值后，将回到 0 地址循环读取，直到

SPI 接口 SCB 信号回到高电平则结束当前读 ADC 寄存器操作。

读寄存器采用该指令，默认为多字节自动地址+1 读模式；单字节读出时，发送单字节对应地址，接收输出数据后，将 SCB 拉高结束读操作。

7.2.6.3.2 Write-Register 指令

当 SPI_CTRL 接收到 Write-Register 指令后，继续接收 3 个 byte 的写 ADC 寄存器初始地址，接收完三个初始地址后，SPI_CTRL 继续接收数据，并将数据存入响应地址的影子寄存器中，写 ADC 寄存器地址将继续累加，并将接收到的数据存入相应的寄存器的影子寄存器中。当 ADC 寄存器地址累加到最大值后，将回到 0 地址继续写入。直到 SPI 接口 SCB 信号回到高电平则结束当前写入 ADC 寄存器操作。并将本次写入的寄存器同时更新到 ADC 寄存器中。

写寄存器采用该指令，默认为多字节自动地址+1 写入模式；单字节写入时，发送单字节对应地址和数据后，将 SCB 拉高结束写操作。

注意：进行多字节地址连续写入操作时，需要确保对于寄存器表单中未定义的地址不要进行任何写操作。

7.2.6.3.3 WREN 指令

当 SPI_CTRL 接收到 WREN 指令后，SPI_CTRL 进入写使能操作，内部写使能有效信号将被置高，当此指令有效后，所有写相关的指令将可以生效。在系统复位之后或上电复位之后，发送 Write-Register 等指令之前，需要先发送 WREN 使能写操作，否则写操作指令将失效。

7.2.6.3.4 WRDI 指令

当 SPI_CTRL 接收到 WRDI 指令后，SPI_CTRL 进入无效写使能操作，内部写使能信号将被置地，当此指令有效后，所有写相关指令将不会生效，达到写保护功能。如果需要发送 Write-Register 等指令，在发送指令之前需要先发送 WREN 使能写操作，否则写操作指令将被无效。

7.2.7 存储器映射

HWD12B40GA4PBGA899M3 的存储器映射寄存器表单参见下表 22，本章内容将具体介绍寄存器表单信息。

● 读取存储器映射寄存器

存储器映射寄存器的每一行有 8 位，存储器映射大致分为三部分：ADC 模拟寄存器，ADC 算法寄存器，JESD204B/C 寄存器。

存储器映射寄存器表列出了每个十六进制地址及十六进制默认值。MSB 为给定十六进制默认值的起始位。

注意：表 22 中地址栏末尾 X 表示 12 个 204C IP 的调用，每个 IP 的寄存器完全相同，每个 IP 控制 8

条 lane 的配置。X 取值 0x0、0x1、0x2、0x3、0x4、0x5、0x6、0x7、0x8、0x9、0xA、0xB 分别表示读/写 IP0、IP1、IP2、IP3 寄存器，X 取值 0xF 表示以相同值同时写 12 个 IP 寄存器。

● 禁用位置和保留位置

本器件目前并不支持全部地址的读写操作，有效地址中未使用的位应保持默认值不变。当一个地址仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址均禁用，则不应对该地址进行写操作。

● 默认值

HWD12B40GA4PBGA899M3 复位后，关键寄存器将载入默认值，存储器映射寄存器表列出了各寄存器的默认值。如果是软复位操作，关键寄存器的值保持当前状态不变。

表 22 HWD12B40GA4PBGA899M3 寄存器映射表

寄存器名字	地址	默认值	属性	描述
RG_P_SUBADC	0x000005	0x74	R/W	Bit[7]: PRBS 电路使能，默认配置为 0。 =1' b0: 选择 ADC 输出; =1' b1: 选择 PRBS 输出。
test_mode	0x02010X	0x00	R/W	Bit[3:0]: 测试模式产生选择，默认配置为 0。 =4' b0000: 测试模式关闭(正常操作)。=4' b0001: Midscale short。 =4' b0010: Positive full scale。=4' b0011: Negative full scale。 =4' b0100: Alternating checker board。=4' b0101: PN 序列(long)。 =4' b0110: PN 序列(short)。=4' b0111: 1/0 字切换。 =4' b1000: 用户测试模式。=4' b1111: 斜坡输出。
test_mode	0x02011X	0x00	R/W	Bit[3:0]: 默认配置为 0。 =4' b0000: 正常操作(测试模式关闭)。=4' b0001: Alternating checkerboard。 =4' b0010: 1/0 字切换。=4' b0011: 31bit 伪随机数(PN)序列- $x^{31}+x^{28}+1$ 。 =4' b0100: 23bit PN 序列- $x^{23}+x^{18}+1$ 。=4' b0101: 15bit PN 序列- $x^{15}+x^{14}+1$ 。 =4' b0110: 9bit PN 序列- x^9+x^5+1 。=4' b0111: 7bit PN 序列- x^7+x^6+1 。 =4' b1000: 斜坡输出。=4' b1110: 连续/重复用户测试。=4' b1111: 单次用户测试。
tx_div_cfg	0x0242CX	0x00	R/W	Bit[7:5]: tx post divider ratios, 由系统参数决定。 =3' b000: /1; =3' b001: /2; =3' b010: /4; =3' b011: /8; =3' b100: /16。 Bit [4:0]: 保留位。
pll_div_cfg	0x0242DX	0x04	R/W	Bit[7:5]: pll feedback divider ratios, 由系统参数决定。 =3' b000: /40 (默认); =3' b001: /80; =3' b110: /66; =Others: 未使用。 Bit[4:3]: pll pre divider ratios, 由系统参数决定。 =2' b00: /1 (默认); =2' b01: /2; =2' b10: /4; =2' b11: /8。 Bit[2]: pll post divider ratios, 由系统参数决定。 =1' b0: /1; =1' b1: /2 (默认)。 Bit[1:0]: 保留位。
top_cfg	0x0242EX	0x01	R/W	Bit[7]: 204C IP 掉电控制位。 =1' b0: 正常工作; =1' b1: 掉电。 Bit[6:1]: 保留位。 Bit[0]: 204C IP PMA PLL 时钟源控制位。

寄存器名字	地址	默认值	属性	描述
				=1'b0: 来自 ADC 的参考时钟; =1'b1: pad 时钟。
tx_post_tap_cfg0	0x02434X	0x00	R/W	Bit[7:4]: tx post tap level control for lane1。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane0。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。
tx_post_tap_cfg1	0x02435X	0x00	R/W	Bit[7:4]: tx post tap level control for lane3。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane2。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。
tx_post_tap_cfg2	0x02436X	0x00	R/W	Bit[7:4]: tx post tap level control for lane5。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane4。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。
tx_post_tap_cfg3	0x02437X	0x00	R/W	Bit[7:4]: tx post tap level control for lane7。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。 Bit[3:0]: tx post tap level control for lane6。 =4'b0000: 0 dB; =4'b0001: 0.5 dB; =4'b0010: 1.1 dB; =4'b0011: 1.8 dB; =4'b0100: 2.5 dB; =4'b0101: 3.4 dB; =4'b0110: 4.4 dB; =4'b0111: 5.5 dB; =4'b1000: 7.2 dB; =4'b1001: 8.9 dB; =others: 保留值。
tx_pre_tap_cfg0	0x02438X	0x00	R/W	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane1。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane0。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。
tx_pre_tap_cfg1	0x02439X	0x00	R/W	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane3。

寄存器名字	地址	默认值	属性	描述
				=3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane2。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。
tx_pre_tap_cfg2	0x0243AX	0x00	R/W	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane5。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane4。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。
tx_pre_tap_cfg3	0x0243BX	0x00	R/W	Bit[7]: 保留位。 Bit[6:4]: tx pre tap level control for lane7。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。 Bit[3]: 保留位。 Bit[2:0]: tx pre tap level control for lane6。 =3'b000: 0 dB; =3'b001: 0.5 dB; =3'b010: 1 dB; =3'b011: 1.7 dB; =3'b100: 2.4 dB; =3'b101: 3.2 dB; =3'b110: 4.1 dB; =3'b111: 5.2 dB。
SUBCLASS	0x0281CX	0x01	R/W	Bit[7:3]: 保留位。 Bit[2:0]: 操作子类模式（0 或 1）。
E	0x02AD4X	0x03	R/W	Bit[7:0]: 每个扩展多块中多块的数量。如果不支持扩展多块，E=1。合法值是 1-127， 编码为二进制值减 1。

● HWD12B40GA4PBGA899M3 参考时钟配置

ADC 参考时钟可通过寄存器 0x0242EX 的写入数据最低位进行配置，选择是采样时钟 CLK 进行直接分频还是直接外供 REFCLK。Bit[0] = 1'b0: 来自 ADC 采样时钟分频所得的参考时钟；Bit[0]=1'b1: 则为外灌时钟。其中 X 表示配置 PHY 的数量，一般将 X 设置为 F。该寄存器属于 PMA Register 需要对寄存器地址[11:4]位数据乘 4 再进行配置，因此实际配置地址值为 0x024Bb8f，如图 49 所示：

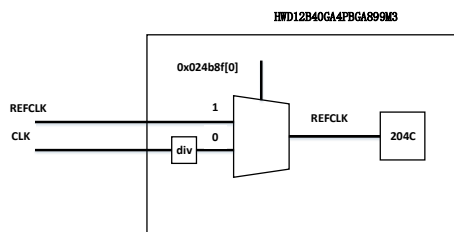


图 49 HWD12B40GA4PBGA899M3 参考时钟配置

8 应用建议

8.1 启动流程

- 1) HWD12B40GA4PBGA899M3 上电没有强制上电顺序要求, 上电前供采样时钟或上电同时提供采样时钟。
- 2) 上电后, 将 RST_EXT 拉低进行复位, 然后再拉高。
- 3) 配置寄存器列表, 主要包含 ADC 基础参数与 JESD204B/C 相关参数。
- 4) 读取寄存器 0x024F00~0x024F0B, 检查 PLL 锁定状态, bit[0]=1 表示锁定, ADC 工作正常。bit[0]=0 表示未锁定, 重复步骤 2~4, 直到 ADC 工作正常。

8.2 应用电路

应用电路设计应符合 HWD12B40GA4PBGA899M3 数据手册中额定参数要求, 推荐参考 HWD12B40GA4PBGA899M3 官方 DEMO 板设计或联系我们的销售人员。在实际应用前, 应对包含 ADC 的系统进行充分的测试, 保证各项指标均在设计范围内, 确保 ADC 按照设计参数进行工作。

8.2.1 电源供应

HWD12B40GA4PBGA899M3 电源部分典型应用电路如图 50 所示。对于多片 HWD12B40GA4PBGA899M3, 推荐复制前级电源模块保证单个 HWD12B40GA4PBGA899M3 电流供应和电源噪声。HWD12B40GA4PBGA899M3 不同电源轨的上电顺序没有严格的约束, 只需要保证 ADC 进行配置之前, 各电源轨满足所需要的额定电压和电流值。

与大多数 ADC 类似, 我们也建议在 PCB 设计和布板上, 使用低 ESR 的电容器作为 ADC 的滤波/去耦电容, 并将它们放置在尽量靠近芯片的电源管脚处, 以实现电源完整性设计。

所有的 GND 管脚尽可能短地接入完整的地平面。

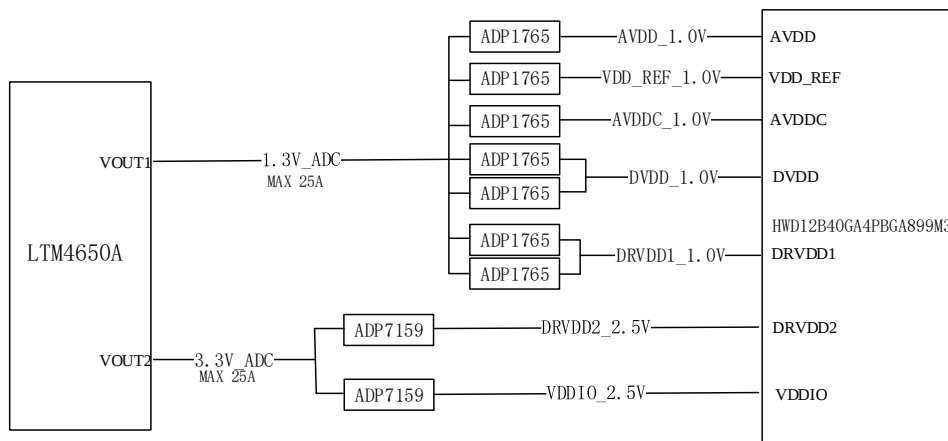


图 50 典型电源供应示意图

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物；
- f) 若可行，相对湿度保持在 50%以上。

10 订货信息

表 23 产品订货信息

序号	产品型号	封装形式	封装材料	器件等级	引脚材料	重量	详细规范
1	HWD12B40GA4PBGA899M3	PBGA899	塑料	N1 级	—	—	—

注1：

- a) N/N1级器件满足GJB 7400 《合格制造厂认证用半导体集成电路通用规范》N/N1级的筛选要求。

注2：产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。