

HWD4VLX25 系列

SRAM 型 FPGA

产品手册

V2.0.0

成都华微电子科技股份有限公司

2026 年 01 月 19 日

版本历史

版次	更改说明	更改人	更改日期	备注
1.0	初始版本	徐元银	20200730	
1.1	增加对 V _{CCAUX} 的上电要求	韩涛	20201104	
1.2	增加应用原理图	夏明刚	20220626	
2.0	1、更新手册模板； 2、增加焊盘推荐、焊接推荐 3、补充 HWD4VLX25-B 详细规范号 4、订货信息删除 HWD4VLX25-10FF668NG	阙小茜	20260119	

目 次

1 概述	1
2 产品特点	1
3 功能框图	2
4 封装信息	4
4.1 HWD4VLX25 封装信息	4
4.2 HWD4VLX25 焊盘推荐	19
4.3 HWD4VLX25 焊接推荐	21
5 绝对最大额定值及推荐工作范围	23
5.1 绝对最大额定值	23
5.2 推荐工作范围	23
6 电特性参数	23
7 功能描述	31
7.1 概述	31
7.2 功能描述	31
8 应用建议	35
8.1 上电时间要求	35
8.2 配置位流大小及配置芯片选择	35
8.3 配置流程及时序	35
8.4 功耗评估	36
8.5 用户设计余量	36
8.6 特殊保留引脚连接建议	37
9 使用注意事项	37
10 订货信息	38

1 概述

HWD4VLX25是成都华微电子HWD4V系列的一款千万门级高性能军用FPGA。该款FPGA核电源电压为1.2V，I/O电源电压为1.5~3.3V，系统时钟频率最高可达400Mz。有24,296个可编程逻辑单元，10,752个Slice；存储资源有分布式RAM 168个，72个内嵌18Kb BRAM；时钟资源包含有32个BUFG，32对全局时钟输入引脚，8个DCM，4个PMCD；内嵌DSP有48个；最大可用I/O数为448个，也可当224对差分I/O使用，封装有两种，引出端数分别为668和363，抗ESD能力为2000V。

它的主要参数如下：

表 1 HWD4VLX25主要参数

产品	可配置逻辑块CLB				数字信号处理DSP Slice	存储器Block RAM		数字时钟管理器DCM	相位匹配时钟分频器PMCD	输入输出接口组I/O bank总数	最大用户输入输出接口I/O数
	阵列 行X列	逻辑单元	Slice数	最大分布式RAM (Kb)		18Kb模块	最大Block RAM (Kb)				
HWD4VLX25	96x28	24, 192	10, 752	168	48	72	1296	8	4	11	448

2 产品特点

HWD4V系列 LX：高性能逻辑应用解决方案

1) 时钟技术

- 数字时钟管理器 (DCM) 块
- 附加的相位匹配时钟分频器 (PMCD)
- 差分全局时钟

2) 信号处理器 DSP

- 18 x 18 位带补数功能的有符号乘法器
- 可选流水线级数
- 内置累加器 （48 位）和加法器 / 减法器

3) Smart RAM 存储器层级

- 分布式 RAM
- 双端口 18 Kb RAM 块
- 可选流水线级数

可选的可编程 FIFO 逻辑将 RAM 信号自动再映射为FIFO 信号

- 高速存储器接口支持 DDR SDRAM、DDR-2 SDRAM、QDR-II 和 RLDRAM-II

4) 可配置用户 IO 功能

- 1.5V 到 3.3V I/O 工作电压
- 内置源同步技术
- 数控阻抗 (DCI) 有源终端
- 细粒度 I/O 组布局 (在一个组中配置)
- 5) 灵活的逻辑资源
- 6) 安全芯片 AES 比特流加密
- 7) 1.2V 核电压
- 8) FC-BGA 倒装片塑料封装, 工作温度范围-55℃~125℃

3 功能框图

该器件是一款高性能的SRAM型FPGA, 包括支持25种接口电平标准的可编程IOB、4输入的LUT、单块容量达18Kbit的BRAM、支持复杂算法的信号处理模块DSP等数字逻辑资源, 以及DCM、PMCD等时钟资源, 在应用中可以根据实际需要选择局部时钟或者全局时钟资源。

其中, 芯片内部有96行×28列共计2688个CLB单元所组成的可编程大型阵列; IO可以支持LVCMOS、LVDS_25等多种电平标准, 并且IOB内部拥有丰富的触发器(DFF)、缓冲器(BUF)等资源供用户使用, 支持三态信号、双倍速率同步动态随机存储单元(DDR)、数控阻抗匹配(DCI)、ISERDES和OSERDES等多种功能; 芯片提供240个可编程通用IO引脚进行编程使用; 共有72个存储容量为18Kbit的BRAM模块, 可以按照需求对存储位宽等参数进行灵活编程, 支持用户多样的存储资源需求; DCM共有8个, 可以支持分频、倍频、移相、全局时钟同步锁定等功能; 还有支持相位匹配分频及延迟的PMCD模块; 可编程互连资源使用各个方向上用于全局互连的长线、六长线、二长线、直接互连线 and 快速互连线以及针对用户设计用于优化总线延时的专用总线机构, 并通过各种路由构件(开关盒和连接盒)实现各个通道、各个逻辑模块以及各个互连轨道之间的连接, 从而能够高效地支持用户逻辑的实现。

从内部可编程功能模块来看, 芯片提供了多功能触发器、锁存器、存储单元、进位链、查找表、多路选择器、异或门等各种门逻辑、具备多种IO电平标准的可编程输入输出模块(IOB)及可编程输入输出逻辑(IOL)、数字信号处理器(DSP48)、具有分频倍频移相等功能的数字时钟管理单元(DCM及PMCD)等基本功能单元, 从而实现计数器、状态机、存储器、乘法器、时钟发生与处理功能单元、逻辑函数发生器等重要逻辑功能电路, 可以支持组合逻辑电路、同步电路与异步电路等类型的电路设计实现。

系统频率最高可达400MHz, 指的是以FPGA芯片内部逻辑单元间的最小延迟时间为依据计算出来的逻辑电路可达到的理论最高速度, 并不代表外部端口特性或用户系统能达到此频率值。经过反复精确的测试, 在设计为两个触发器以最短路径相连的设计即可获得系统的最高频率值。

LVDS差分端口速率不低于800Mbps。

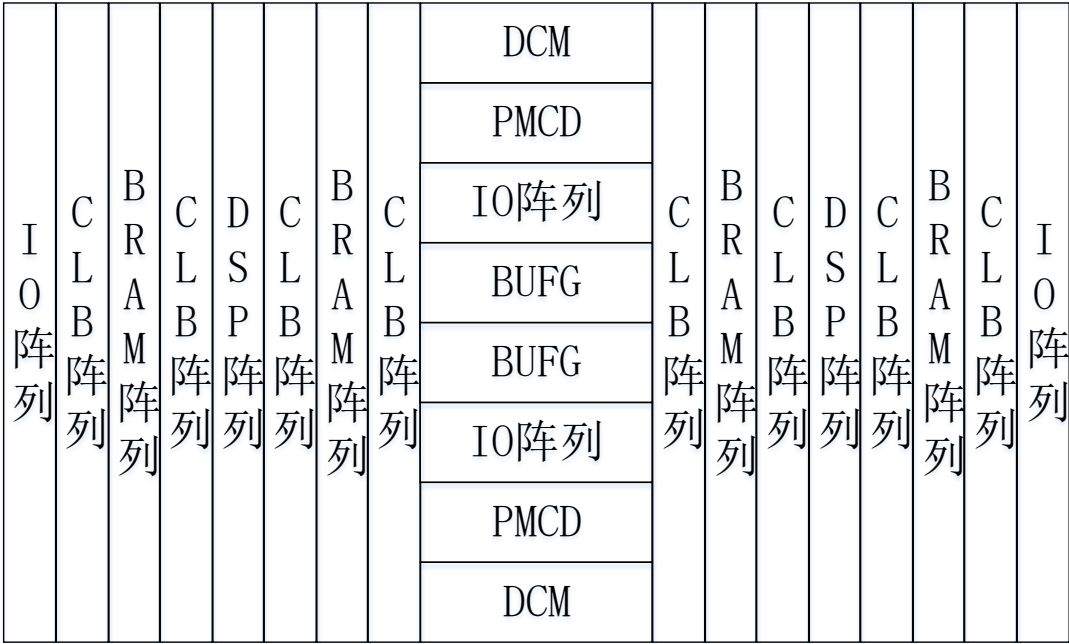


图 1 HWD4V系列FPGA芯片整体功能框图

HWD4VLX25典型应用场景如下图所示。

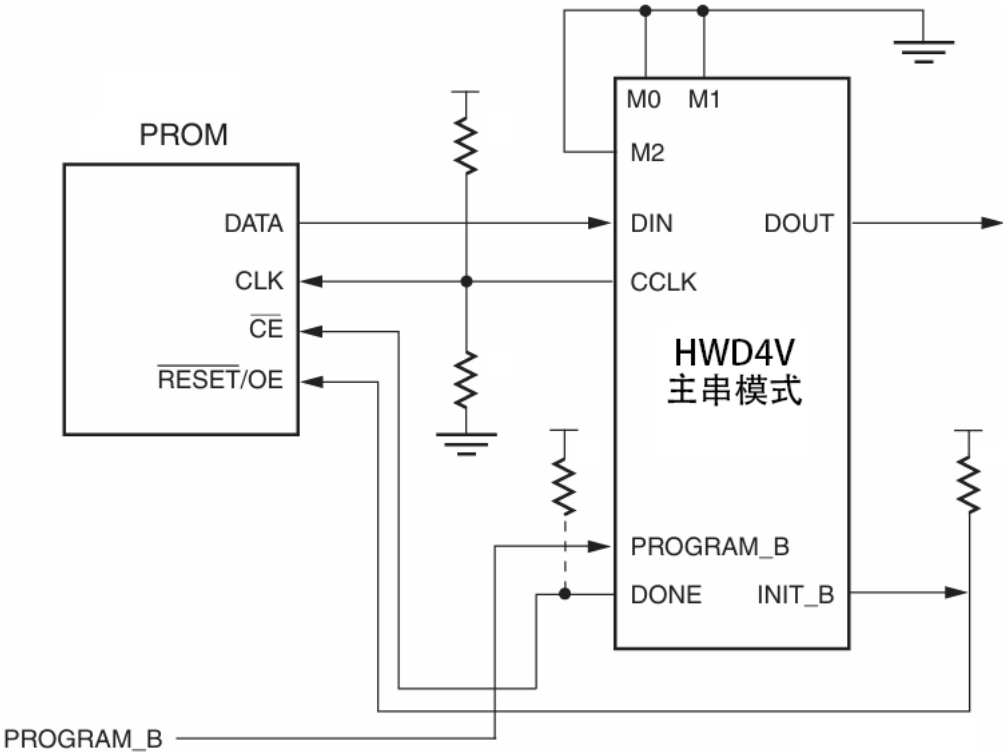
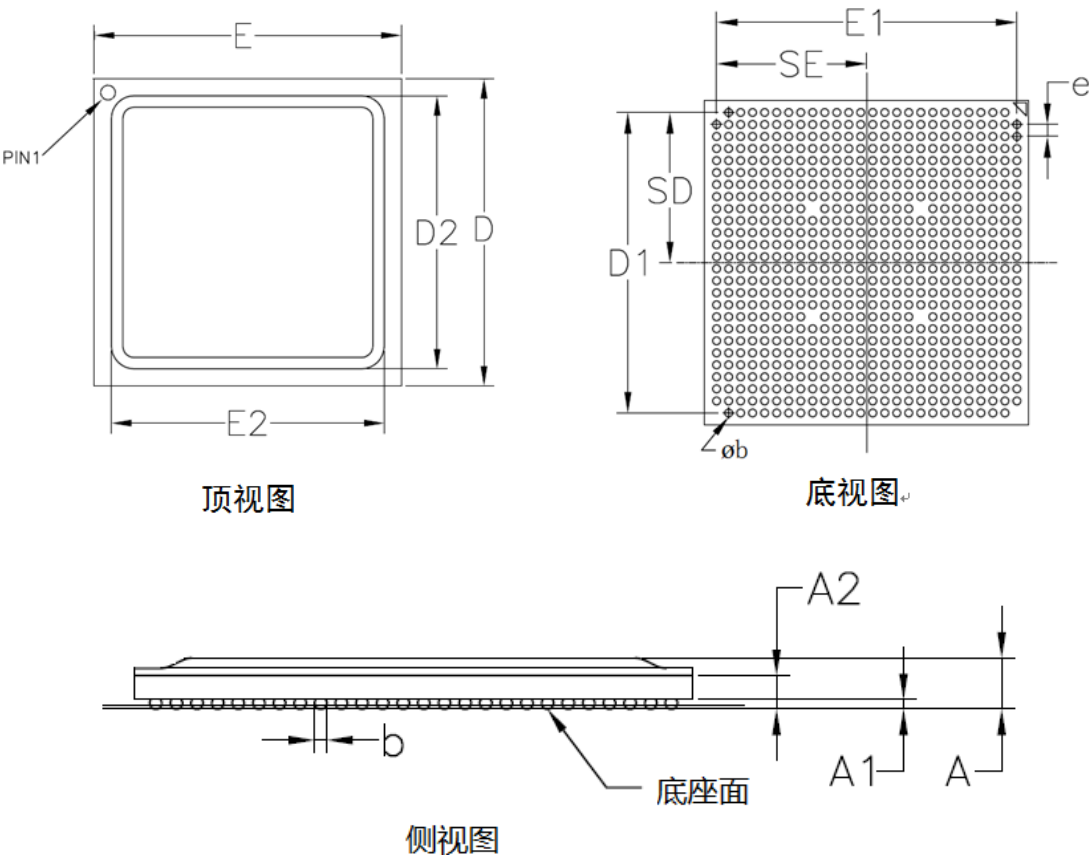


图 2 典型应用场景

4 封装信息

4.1 HWD4VLX25 封装信息

HWD4VLX25采用倒装焊塑封668球栅阵列（FC—BGA668）封装和363球栅阵列（FC—BGA363）。
FC—BGA668外形及引脚排列图如下图所示：



单位：mm

尺寸符号	最 小	公 称	最 大
A	—	—	3.52
A1	0.38	—	0.62
A2	1.43	—	1.87
D	25.00	—	29.00
E	25.00	—	29.00
D1	—	25.00	—
E1	—	25.00	—
D2	—	—	24.00
E2	—	—	24.00
SD	—	12.50	—
SE	—	12.50	—
e	—	1.00	—
øb	0.52	0.60	0.68

图 3 FC—BGA668外形尺寸图

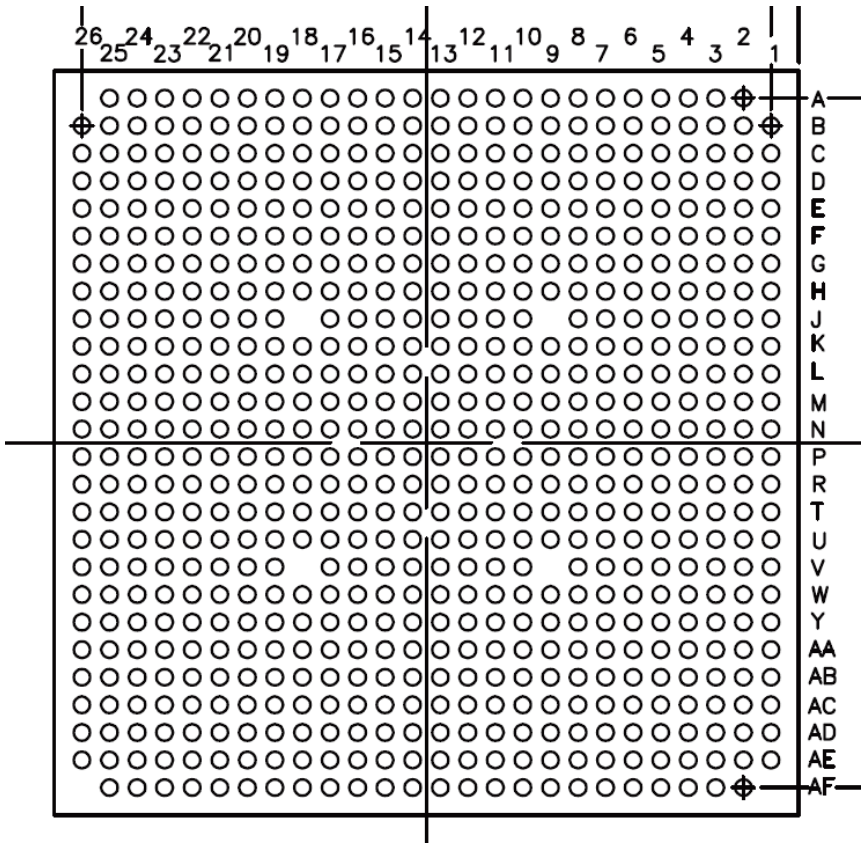


图 4 HWD4VLX25 FC-BGA686 引脚排列图（底视图）

引出端功能描述见下表。

表 2 HWD4VLX25 FC-BGA686引出端功能定义

引脚名称	方向	功能描述
普通用户可配置引脚		
IO_LXXY_#	输入/输出	所有的用户 I/O 引脚都能用作差分信号，并能实现 LVDS、LVDSEXT、ULVDS、BLVDS、LVPECL 或 LDT 等差分电平标准。每个用户 I/O 引脚被命名为“IO_LXXY_#”格式，其中： “IO”表示这是一个用户 IO 引脚； “LXXY”表示组（Bank）上唯一的编号为 XX 的差分对，“Y”取 P 或者 N，分别表示这对差分对的正负极； “#”表示引脚所在的组号（取 0 到 12）
多功能复用用户可配置引脚		
IO_LXXY_ZZZ_#	输入/输出	表示多功能复用 IO，“ZZZ”表示以下一种或多种功能。
多功能 ZZZ 特定含义		
ADCn	输入	ADC1~ADC7 输入引脚保留给将来特殊使用，目前可以作为 I/O 或其它指定功能。
Dn	输入/输出	在 SelectMAP 配置模式下，D0 ~ D31 引脚作为配置数据引脚。除非保留 SelectMAP 端口，不然这些引脚在配置完成后都将作用用户 I/O 端口。
CC	输入	连接到时钟 I/O 的低电容时钟输入引脚，不支持 LVDS 差分输出，在不需作为时钟输入时与普通的用户 I/O 相同。
GC	输入	连接到全局时钟缓冲器的低电容时钟输入引脚，不支持 LVDS 等差分输出，在不需作为时钟输入时与普通的用户 I/O 相同。对于单端时钟输入，仅能使用 P 端（正极）。

引脚名称	方向	功能描述
LC	输入	低电容引脚，不支持 LVDS 等差分输出。
SMn	输入	SM1~SM7 输入引脚保留给将来特殊使用，目前可以作为 I/O 或其它指定功能。
VREF	输入	这些引脚是参考电压输入引脚。如果某个组中的 I/O 不需要参考电压输入，则该组中这些引脚可作为普通用户 I/O。
VRN	输入	给 N 型晶体管提供 DCI 电压参考电阻用。每组中，如果 I/O 被配置了 DCI，此引脚需外接上拉参考电阻。
VRP	输入	给 P 型晶体管提供 DCI 电压参考电阻用。每组中，如果 I/O 被配置了 DCI，此引脚需外接下拉参考电阻。
配置专用引脚		
CCLK_0	输入/输出	配置时钟，主模式下为输出，从模式下为输入。
CS_B_0	输入	在 Select MAP 模式下，这是一个低有效的片选信号。
D_IN_0	输入	在串行配置模式下的单数据输入。
DONE_0	输入/输出（开漏）	DONE 是一个双向端口，带有一个可选的内部上拉电阻。作为一个输出端口，这个引脚指示配置过程的完成。作为输入端口时，低电平 DONE 信号能用来延迟启动时序。
DOUT_BUSY_0	输出	在 SelectMAP 模式下，端口作为 BUSY 输出；在串行配置模式下，端口作为菊花链配置的串行数据输出。
HSWAPEN_0	输入	使能在配置过程中 I/O 上拉。
INIT_B_0	输入/输出（开漏）	为低电平时，表示器件正在执行清空配置存储器的操作。当其被外部拉低时，配置操作将被延迟。在配置过程中，若该引脚输出一个低电平信号，则说明配置数据有错误产生。
M2_0,M1_0,M0_0	输入	配置模式选择。
PROG_B_0	输入	异步全局复位，低电平有效。这个引脚有一个固定的弱上拉电阻。
PWRDWN_B_0	输入（不支持）	低电平有效的掉电引脚（不支持）。用低电平驱动这个引脚能够反过来影响器件功能和配置。 默认状态下 PWRDWN_B 在内部保持上拉到高电平，这种情况下不需要外部上拉。 正常工作时，不能将其连接到 GND。
RDWR_B_0	输入	在 SelectMAP 模式下，作为低电平有效的写使能信号。
TCK_0	输入	边界扫描时钟。
TDI_0	输入	边界扫描数据输入。
TDO_0	输出	边界扫描数据输出。
TMS_0	输入	边界扫描模式选择。
其他引脚		
NC	N/A	悬空
GND	地	接地引脚
VCCINT	电源	1.2V 内核电源
VCCAUX	电源	2.5V 辅助电源
VCCO_0	电源	BANK0 IO 电源
VCCO_1	电源	BANK1 IO 电源
VCCO_2	电源	BANK2 IO 电源
VCCO_3	电源	BANK3 IO 电源
VCCO_4	电源	BANK4 IO 电源
VCCO_5	电源	BANK5 IO 电源
VCCO_6	电源	BANK6 IO 电源
VCCO_7	电源	BANK7 IO 电源
VCCO_8	电源	BANK8 IO 电源

引脚名称	方向	功能描述
VCCO_9	电源	BANK9 IO 电源
VCCO_10	电源	BANK10 IO 电源
VBATT_0	电源	密钥存储器备用电源。

引出端定义见下表。

表 3 BGA686引出端定义表

引出端 序号	符号	引出端 序号	符号	引出端 序号	符号
Y12	TDI	AA16	IO_L3P_D11_LC_2	AD17	IO_L7P_GC_VRN_LC_4
Y14	DOUT_BUSY	AA15	IO_L3N_D10_LC_2	AD16	IO_L7N_GC_VRP_LC_4
Y15	M1	AB13	IO_L4P_D9_LC_2	AD12	IO_L8P_GC_CC_LC_4
W12	TCK	AA13	IO_L4N_D8_VREF_LC_2	AD11	IO_L8N_GC_CC_LC_4
Y13	TDO	AC14	IO_L5P_D7_LC_2	C17	IO_L1P_5
W15	M0	AD14	IO_L5N_D6_LC_2	D17	IO_L1N_5
Y11	TMS	AA12	IO_L6P_D5_LC_2	C20	IO_L2P_5
W13	PWRDWN_B	AA11	IO_L6N_D4_LC_2	B20	IO_L2N_5
W14	M2	AC16	IO_L7P_D3_LC_2	B18	IO_L3P_5
Y16	VBATT	AC15	IO_L7N_D2_LC_2	A18	IO_L3N_5
H12	RDWR_B	AC13	IO_L8P_D1_LC_2	D20	IO_L4P_5
H14	DONE	AD13	IO_L8N_D0_LC_2	D19	IO_L4N_VREF_5
G11	CS_B	B15	IO_L1P_GC_CC_LC_3	E17	IO_L5P_5
G15	INIT	B14	IO_L1N_GC_CC_LC_3	F17	IO_L5N_5
H15	PROG_B	A12	IO_L2P_GC_VRN_LC_3	C21	IO_L6P_5
G12	DIN	A11	IO_L2N_GC_VRP_LC_3	B21	IO_L6N_5
G14	CCLK	C15	IO_L3P_GC_LC_3	C19	IO_L7P_5
G16	HSWAPEN	C14	IO_L3N_GC_LC_3	D18	IO_L7N_5
H13	TDP	B13	IO_L4P_GC_LC_3	A24	IO_L8P_CC_LC_5
G13	TDN	B12	IO_L4N_GC_VREF_LC_3	A23	IO_L8N_CC_LC_5
F14	IO_L1P_D31_LC_1	A16	IO_L5P_GC_LC_3	G18	IO_L9P_CC_LC_5
F13	IO_L1N_D30_LC_1	A15	IO_L5N_GC_LC_3	G17	IO_L9N_CC_LC_5
F12	IO_L2P_D29_LC_1	A10	IO_L6P_GC_LC_3	B24	IO_L10P_5
F11	IO_L2N_D28_LC_1	B10	IO_L6N_GC_LC_3	B23	IO_L10N_5
F16	IO_L3P_D27_LC_1	B17	IO_L7P_GC_LC_3	F18	IO_L11P_5
F15	IO_L3N_D26_LC_1	A17	IO_L7N_GC_LC_3	E18	IO_L11N_5
D14	IO_L4P_D25_LC_1	C13	IO_L8P_GC_LC_3	E21	IO_L12P_5
D13	IO_L4N_D24_VREF_LC_1	C12	IO_L8N_GC_LC_3	D21	IO_L12N_VREF_5
D15	IO_L5P_D23_LC_1	AF12	IO_L1P_GC_LC_4	A20	IO_L13P_5
E14	IO_L5N_D22_LC_1	AE12	IO_L1N_GC_LC_4	A19	IO_L13N_5
C11	IO_L6P_D21_LC_1	AC10	IO_L2P_GC_LC_4	D22	IO_L14P_5
D11	IO_L6N_D20_LC_1	AB10	IO_L2N_GC_LC_4	C22	IO_L14N_5
D16	IO_L7P_D19_LC_1	AB17	IO_L3P_GC_LC_4	A22	IO_L15P_5
C16	IO_L7N_D18_LC_1	AC17	IO_L3N_GC_LC_4	A21	IO_L15N_5
E13	IO_L8P_D17_CC_LC_1	AF11	IO_L4P_GC_LC_4	D24	IO_L16P_5
D12	IO_L8N_D16_CC_LC_1	AF10	IO_L4N_GC_VREF_LC_4	C24	IO_L16N_5
AA14	IO_L1P_D15_CC_LC_2	AE14	IO_L5P_GC_LC_4	G19	IO_L17P_5

引出端 序号	符号	引出端 序号	符号	引出端 序号	符号
AB14	IO_L1N_D14_CC_LC_2	AE13	IO_L5N_GC_LC_4	F19	IO_L17N_5
AC12	IO_L2P_D13_LC_2	AE10	IO_L6P_GC_LC_4	E23	IO_L18P_5
AC11	IO_L2N_D12_LC_2	AD10	IO_L6N_GC_LC_4	E22	IO_L18N_5
F20	IO_L19P_5	E9	IO_L7P_6	F4	IO_L27P_6
E20	IO_L19N_5	F9	IO_L7N_6	F3	IO_L27N_6
C26	IO_L20P_5	B6	IO_L8P_CC_LC_6	G4	IO_L28P_6
C25	IO_L20N_VREF_5	C6	IO_L8N_CC_LC_6	G3	IO_L28N_VREF_6
D23	IO_L21P_5	G10	IO_L9P_CC_LC_6	H6	IO_L29P_6
C23	IO_L21N_5	G9	IO_L9N_CC_LC_6	H5	IO_L29N_6
H20	IO_L22P_5	F8	IO_L10P_6	G2	IO_L30P_6
G20	IO_L22N_5	G8	IO_L10N_6	G1	IO_L30N_6
G22	IO_L23P_VRN_5	B7	IO_L11P_6	H4	IO_L31P_6
G21	IO_L23N_VRP_5	C7	IO_L11N_6	H3	IO_L31N_6
F24	IO_L24P_CC_LC_5	C5	IO_L12P_6	H2	IO_L32P_6
F23	IO_L24N_CC_LC_5	D5	IO_L12N_VREF_6	H1	IO_L32N_6
D26	IO_L25P_CC_LC_5	A9	IO_L13P_6	V21	IO_L1P_7
D25	IO_L25N_CC_LC_5	B9	IO_L13N_6	V22	IO_L1N_7
H22	IO_L26P_5	A3	IO_L14P_6	W25	IO_L2P_7
H21	IO_L26N_5	B3	IO_L14N_6	W26	IO_L2N_7
E25	IO_L27P_5	A4	IO_L15P_6	W21	IO_L3P_7
E24	IO_L27N_5	B4	IO_L15N_6	W22	IO_L3N_7
G24	IO_L28P_5	C4	IO_L16P_6	W23	IO_L4P_7
G23	IO_L28N_VREF_5	D4	IO_L16N_6	W24	IO_L4N_VREF_7
F26	IO_L29P_5	E7	IO_L17P_6	W20	IO_L5P_7
E26	IO_L29N_5	D6	IO_L17N_6	V20	IO_L5N_7
H24	IO_L30P_5	E6	IO_L18P_6	Y25	IO_L6P_7
H23	IO_L30N_5	E5	IO_L18N_6	Y26	IO_L6N_7
G26	IO_L31P_5	F7	IO_L19P_6	AB24	IO_L7P_7
G25	IO_L31N_5	G7	IO_L19N_6	AB25	IO_L7N_7
H26	IO_L32P_5	C2	IO_L20P_6	AA24	IO_L8P_CC_LC_7
H25	IO_L32N_5	C1	IO_L20N_VREF_6	Y24	IO_L8N_CC_LC_7
D10	IO_L1P_6	H8	IO_L21P_6	AC25	IO_L9P_CC_LC_7
C10	IO_L1N_6	H7	IO_L21N_6	AC26	IO_L9N_CC_LC_7
D9	IO_L2P_6	D3	IO_L22P_6	AB26	IO_L10P_7
C8	IO_L2N_6	E4	IO_L22N_6	AA26	IO_L10N_7
A8	IO_L3P_6	G6	IO_L23P_VRN_6	AD25	IO_L11P_7
A7	IO_L3N_6	G5	IO_L23N_VRP_6	AD26	IO_L11N_7
D8	IO_L4P_6	E3	IO_L24P_CC_LC_6	Y22	IO_L12P_7
D7	IO_L4N_VREF_6	E2	IO_L24N_CC_LC_6	Y23	IO_L12N_VREF_7
F10	IO_L5P_6	D2	IO_L25P_CC_LC_6	AC22	IO_L13P_7
E10	IO_L5N_6	D1	IO_L25N_CC_LC_6	AB22	IO_L13N_7
A6	IO_L6P_6	E1	IO_L26P_6	AB23	IO_L14P_7
A5	IO_L6N_6	F1	IO_L26N_6	AA23	IO_L14N_7
AD22	IO_L15P_7	W7	IO_L3P_8	AE7	IO_L23P_VRN_8
AD23	IO_L15N_7	V7	IO_L3N_8	AD7	IO_L23N_VRP_8

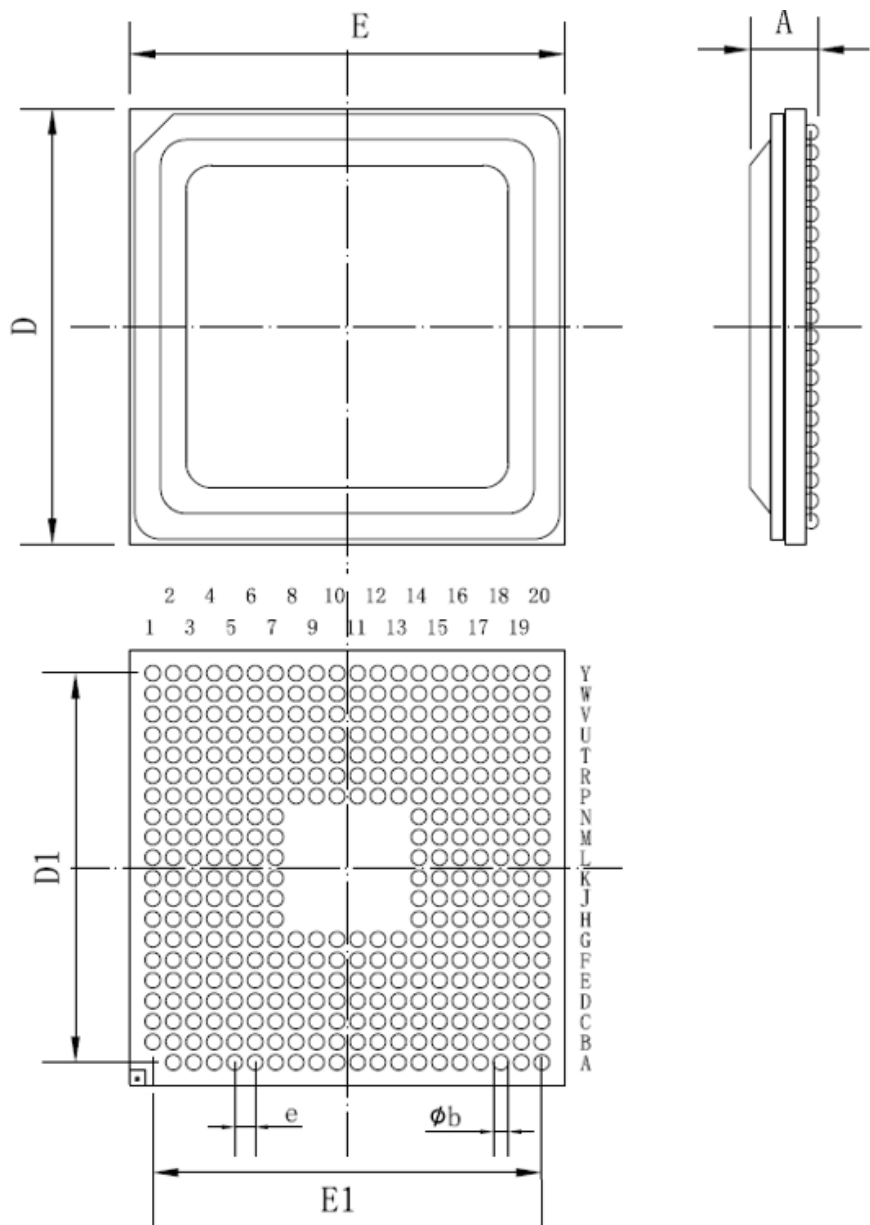
引出端 序号	符号	引出端 序号	符号	引出端 序号	符号
AC23	IO_L16P_7	W4	IO_L4P_8	AC6	IO_L24P_CC_LC_8
AC24	IO_L16N_7	W3	IO_L4N_VREF_8	AB6	IO_L24N_CC_LC_8
AF19	IO_L17P_7	W6	IO_L5P_8	AF8	IO_L25P_CC_LC_8
AF20	IO_L17N_7	W5	IO_L5N_8	AF7	IO_L25N_CC_LC_8
Y19	IO_L18P_7	Y2	IO_L6P_8	AA8	IO_L26P_8
W19	IO_L18N_7	Y1	IO_L6N_8	Y8	IO_L26N_8
AF23	IO_L19P_7	AA4	IO_L7P_8	Y10	IO_L27P_8
AE23	IO_L19N_7	AA3	IO_L7N_8	AA10	IO_L27N_8
Y20	IO_L20P_7	Y4	IO_L8P_CC_LC_8	AC7	IO_L28P_8
Y21	IO_L20N_VREF_7	Y3	IO_L8N_CC_LC_8	AB7	IO_L28N_VREF_8
AA18	IO_L21P_7	Y6	IO_L9P_CC_LC_8	AC9	IO_L29P_8
Y18	IO_L21N_7	Y5	IO_L9N_CC_LC_8	AB9	IO_L29N_8
AF24	IO_L22P_7	AB1	IO_L10P_8	AE6	IO_L30P_8
AE24	IO_L22N_7	AA1	IO_L10N_8	AD6	IO_L30N_8
AE20	IO_L23P_VRN_7	AC4	IO_L11P_8	AF9	IO_L31P_8
AD20	IO_L23N_VRP_7	AB4	IO_L11N_8	AE9	IO_L31N_8
AC21	IO_L24P_CC_LC_7	AB3	IO_L12P_8	AD8	IO_L32P_8
AB21	IO_L24N_CC_LC_7	AB2	IO_L12N_VREF_8	AC8	IO_L32N_8
AD19	IO_L25P_CC_SM7_LC_7	AC5	IO_L13P_8	J21	IO_L1P_9
AC19	IO_L25N_CC_SM7_LC_7	AB5	IO_L13N_8	J20	IO_L1N_9
AA19	IO_L26P_SM6_7	AC2	IO_L14P_8	J23	IO_L2P_9
AA20	IO_L26N_SM6_7	AC1	IO_L14N_8	J22	IO_L2N_9
Y17	IO_L27P_SM5_7	AF3	IO_L15P_8	K22	IO_L3P_9
AA17	IO_L27N_SM5_7	AE3	IO_L15N_8	K21	IO_L3N_9
AB20	IO_L28P_7	AD2	IO_L16P_8	J26	IO_L4P_9
AC20	IO_L28N_VREF_7	AD1	IO_L16N_8	J25	IO_L4N_VREF_9
AC18	IO_L29P_SM4_7	AF4	IO_L17P_8	L19	IO_L5P_9
AB18	IO_L29N_SM4_7	AE4	IO_L17N_8	K20	IO_L5N_9
AF21	IO_L30P_SM3_7	AD3	IO_L18P_8	L21	IO_L6P_9
AF22	IO_L30N_SM3_7	AC3	IO_L18N_8	L20	IO_L6N_9
AF18	IO_L31P_SM2_7	AF6	IO_L19P_8	K24	IO_L7P_9
AE18	IO_L31N_SM2_7	AF5	IO_L19N_8	K23	IO_L7N_9
AE21	IO_L32P_SM1_7	AA7	IO_L20P_8	K26	IO_L8P_CC_LC_9
AD21	IO_L32N_SM1_7	Y7	IO_L20N_VREF_8	K25	IO_L8N_CC_LC_9
W2	IO_L1P_8	AA9	IO_L21P_8	M19	IO_L9P_CC_LC_9
W1	IO_L1N_8	Y9	IO_L21N_8	N19	IO_L9N_CC_LC_9
V6	IO_L2P_8	AD5	IO_L22P_8	L24	IO_L10P_9
V5	IO_L2N_8	AD4	IO_L22N_8	L23	IO_L10N_9
M25	IO_L11P_9	U20	IO_L31P_9	P8	IO_L19P_10
M24	IO_L11N_9	T19	IO_L31N_9	N8	IO_L19N_10
L26	IO_L12P_9	V26	IO_L32P_9	R4	IO_L20P_10
M26	IO_L12N_VREF_9	V25	IO_L32N_9	R3	IO_L20N_VREF_10
M21	IO_L13P_9	J7	IO_L1P_10	P7	IO_L21P_10
M20	IO_L13N_9	J6	IO_L1N_10	P6	IO_L21N_10
M23	IO_L14P_9	J5	IO_L2P_10	R2	IO_L22P_10

引出端 序号	符号	引出端 序号	符号	引出端 序号	符号
M22	IO_L14N_9	J4	IO_L2N_10	R1	IO_L22N_10
N25	IO_L15P_9	K7	IO_L3P_10	R6	IO_L23P_VRN_10
N24	IO_L15N_9	K6	IO_L3N_10	R5	IO_L23N_VRP_10
N23	IO_L16P_9	J2	IO_L4P_10	U1	IO_L24P_CC_LC_10
N22	IO_L16N_9	J1	IO_L4N_VREF_10	T1	IO_L24N_CC_LC_10
N21	IO_L17P_9	L7	IO_L5P_10	R8	IO_L25P_CC_LC_10
N20	IO_L17N_9	L6	IO_L5N_10	R7	IO_L25N_CC_LC_10
P25	IO_L18P_9	K5	IO_L6P_10	T4	IO_L26P_10
P24	IO_L18N_9	K4	IO_L6N_10	T3	IO_L26N_10
P23	IO_L19P_9	K3	IO_L7P_10	T7	IO_L27P_10
P22	IO_L19N_9	K2	IO_L7N_10	T6	IO_L27N_10
R26	IO_L20P_9	L4	IO_L8P_CC_LC_10	U3	IO_L28P_10
R25	IO_L20N_VREF_9	L3	IO_L8N_CC_LC_10	U2	IO_L28N_VREF_10
P20	IO_L21P_9	M8	IO_L9P_CC_LC_10	V4	IO_L29P_10
P19	IO_L21N_9	L8	IO_L9N_CC_LC_10	U4	IO_L29N_10
R24	IO_L22P_9	L1	IO_L10P_10	V2	IO_L30P_10
R23	IO_L22N_9	K1	IO_L10N_10	V1	IO_L30N_10
R22	IO_L23P_VRN_9	M2	IO_L11P_10	T8	IO_L31P_10
R21	IO_L23N_VRP_9	M1	IO_L11N_10	U7	IO_L31N_10
T24	IO_L24P_CC_LC_9	M4	IO_L12P_10	U6	IO_L32P_10
T23	IO_L24N_CC_LC_9	M3	IO_L12N_VREF_10	U5	IO_L32N_10
R20	IO_L25P_CC_LC_9	M6	IO_L13P_10	AF16	VP_SM
R19	IO_L25N_CC_LC_9	M5	IO_L13N_10	AF15	VN_SM
T26	IO_L26P_9	N3	IO_L14P_10	AF17	AVDD_SM
U26	IO_L26N_9	N2	IO_L14N_10	AE16	VREFP_SM
U23	IO_L27P_9	N5	IO_L15P_10	AE15	VREFN_SM
V23	IO_L27N_9	N4	IO_L15N_10	AE17	AVSS_SM
U25	IO_L28P_9	P3	IO_L16P_10	B1	GND
U24	IO_L28N_VREF_9	P2	IO_L16N_10	P1	GND
U22	IO_L29P_9	N7	IO_L17P_10	AE1	GND
U21	IO_L29N_9	M7	IO_L17N_10	A2	GND
T21	IO_L30P_9	P5	IO_L18P_10	B2	GND
T20	IO_L30N_9	P4	IO_L18N_10	AE2	GND
AF2	GND	J14	GND	AF25	GND
C3	GND	K14	GND	B26	GND
J3	GND	L14	GND	N26	GND
V3	GND	M14	GND	AE26	GND
F6	GND	N14	GND	M9	VCCAUX
N6	GND	P14	GND	N9	VCCAUX
AA6	GND	R14	GND	P9	VCCAUX
C9	GND	T14	GND	W10	VCCAUX
AD9	GND	U14	GND	H11	VCCAUX
M10	GND	V14	GND	W11	VCCAUX
N10	GND	AF14	GND	J12	VCCAUX
P10	GND	E15	GND	V15	VCCAUX

引出端 序号	符号	引出端 序号	符号	引出端 序号	符号
R10	GND	K15	GND	H16	VCCAUX
K11	GND	L15	GND	W16	VCCAUX
M11	GND	N15	GND	H17	VCCAUX
N11	GND	P15	GND	N18	VCCAUX
P11	GND	T15	GND	P18	VCCAUX
R11	GND	U15	GND	R18	VCCAUX
U11	GND	AB15	GND	K9	VCCINT
E12	GND	K16	GND	L9	VCCINT
K12	GND	M16	GND	T9	VCCINT
L12	GND	N16	GND	U9	VCCINT
N12	GND	P16	GND	J10	VCCINT
P12	GND	R16	GND	K10	VCCINT
T12	GND	U16	GND	L10	VCCINT
U12	GND	M17	GND	T10	VCCINT
AB12	GND	N17	GND	U10	VCCINT
A13	GND	P17	GND	V10	VCCINT
J13	GND	R17	GND	J11	VCCINT
K13	GND	C18	GND	L11	VCCINT
L13	GND	AD18	GND	T11	VCCINT
M13	GND	F21	GND	V11	VCCINT
N13	GND	P21	GND	M12	VCCINT
P13	GND	AA21	GND	R12	VCCINT
R13	GND	J24	GND	M15	VCCINT
T13	GND	V24	GND	R15	VCCINT
U13	GND	AD24	GND	J16	VCCINT
V13	GND	A25	GND	L16	VCCINT
AF13	GND	B25	GND	T16	VCCINT
A14	GND	AE25	GND	V16	VCCINT
J17	VCCINT	AE19	VCCO_7		
K17	VCCINT	AA22	VCCO_7		
L17	VCCINT	AE22	VCCO_7		
T17	VCCINT	AA25	VCCO_7		
U17	VCCINT	AA2	VCCO_8		
V17	VCCINT	AA5	VCCO_8		
K18	VCCINT	AE5	VCCO_8		
L18	VCCINT	V8	VCCO_8		
T18	VCCINT	W8	VCCO_8		
U18	VCCINT	AB8	VCCO_8		
V12	VCCO_0	AE8	VCCO_8		
J15	VCCO_0	W9	VCCO_8		
E11	VCCO_1	M18	VCCO_9		
E16	VCCO_1	K19	VCCO_9		
AB11	VCCO_2	U19	VCCO_9		
AB16	VCCO_2	L22	VCCO_9		
B11	VCCO_3	T22	VCCO_9		

引出端 序号	符号	引出端 序号	符号	引出端 序号	符号
B16	VCCO_3	L25	VCCO_9		
AE11	VCCO_4	T25	VCCO_9		
AD15	VCCO_4	P26	VCCO_9		
H18	VCCO_5	N1	VCCO_10		
B19	VCCO_5	L2	VCCO_10		
E19	VCCO_5	T2	VCCO_10		
H19	VCCO_5	L5	VCCO_10		
J19	VCCO_5	T5	VCCO_10		
B22	VCCO_5	K8	VCCO_10		
F22	VCCO_5	U8	VCCO_10		
F25	VCCO_5	R9	VCCO_10		
F2	VCCO_6				
B5	VCCO_6				
F5	VCCO_6				
B8	VCCO_6				
E8	VCCO_6				
J8	VCCO_6				
H9	VCCO_6				
H10	VCCO_6				
W17	VCCO_7				
W18	VCCO_7				
V19	VCCO_7				
AB19	VCCO_7				

FC—BGA363外形及引脚排列图如下图所示：



单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	—	—	2.95
D	16.85	—	17.15
E	16.85	—	17.15
b	0.5	—	0.7
e	—	0.8	—
D1	—	15.2	—
E1	—	15.2	—

图 5 FC—BGA363外形尺寸

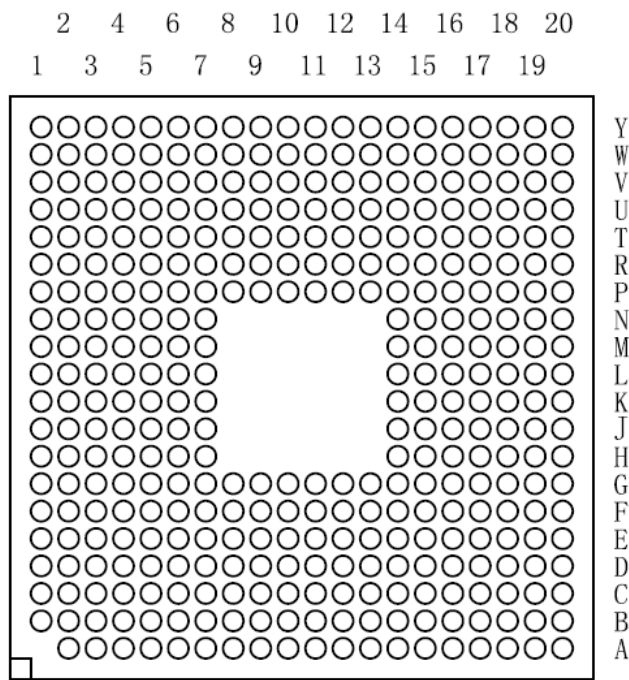


图 6 FC—BGA363引出端排列（底视图）

引出端功能说明见下表。

表 4 FC—BGA363引出端定义表

引脚名称	方 向	描 述
用户 I/O 引脚		
IO_LXXY_#	输入/输出	所有的用户 I/O 引脚都能用作差分信号,并能用作 LVDS、LVDSEXT、ULVDS、BLVDS、LVPECL 或 LDT 这几种差分对。每个用户 I/O 引脚都以”IO_LXXY_#”格式命名。其中:
		IO 表示这是一个用户引脚;
		LXXY 表示 Bank 上唯一的编号为 XX 的差分对, Y 取 P 或者 N, 分别表示这差分对的正负极。
多功能引脚		
IO_LXXY_ZZZ_#		多功能引脚都以”IO_LXXY_ZZZ_#”格式命名,其中 ZZZ 表示以下一个或多个功能描述。
对一个特定的多功能引脚来说, ZZZ 表示以下一个或多个:		
ADCn	输入/输出	ADC1 到 ADC7 输入引脚可用作保留引脚, 也可以用作 I/O 或其它设计功能。
Dn	输入/输出	在 SelectMAP 模式下, D0 到 D31 用作配置数据引脚。除非保留 SelectMAP 端口, 不然这些引脚在配置完成后都将用作用户 I/O 端口。
CC	输入/输出	这些低电容时钟引脚连接到时钟 I/O。这些引脚不支持 LVDS 输出,当时钟不需要时, 它们用作一般用户 I/O。
GC	输入/输出	这些低电容时钟引脚连接到全局时钟 Buffer。这些引脚不支持 LVDS 输出,当时钟不需要时它们用作一般用户 I/O。对一个单端时钟输入, 只能使用 P 端引脚。
LC	输入/输出	这些低电容时钟引脚不支持 LVDS 输出。
SMn	输入/输出	SM1 到 SM7 输入引脚用作保留引脚,也可用作 I/O 或其他设计功能。
VREF	输入/输出	这些引脚是门限电压的输入引脚。当外部门限电压不需要时, 他们

引脚名称	方 向	描 述
		用作用户 I/O 引脚（每组）。
VRN	输入/输出	给 N 型晶体管提供 DCI 电压参考电阻用（每组 1 个）。
VRP	输入/输出	给 P 型晶体管提供 DCI 电压参考电阻用（每组 1 个）。
配置引脚		
CCLK_0	输入/输出	配置时钟引脚。在主模式作为输出端，在从模式作为输入端口。
CS_B_0	输入	在 SelectMAP 模式下,芯片选择信号在低电平有效。
D_IN_0	输入	在一位串行模式下，D_IN 作为单端数据输入。
DONE_0	输入/输出	DONE 是一个双向的信号端口，带有一个可选的内部上拉电阻。作为一个输出端口，这个引脚指示配置过程的完成。作为输入端口时，低电平 DONE 信号能用来延迟启动时序。
DOUT_BUSY_0	输出	在 SelectMAP 模式下，BUSY 控制配置数据载入的速率。 在一位串行模式下，DOUT 端口提供头数据和配置数据给菊花链上的下游的器件。
HSWAPEN	输入	使能在配置过程中 I/O 上拉。
INIT_B_0	双向 (开漏)	当其低电平时，表示器件正在执行清空配置存储器的操作。当其保持为低电平，配置操作将被延迟。在配置过程中，若引脚输出一个低电平信号，则说明配置数据有错误产生。
M0_0,M1_0,M2_0	输入	配置模式选择
PROG_B_0	输入	异步复位逻辑配置，低电平有效的引脚。这个引脚有一个固定的弱上拉电阻。
PWRDWN_B_0	输入(不支持)	低电平有效的掉电引脚（不支持）。用低电平驱动这个引脚能够反过来影响器件操作和配置。 默认状态下 PWRDWN_B 在内部保持上拉至高电平，这种情况不需要外部上拉。该引脚不连接 GND；保持其悬空或拉高至 VCC。
RDWR_B_0	输入	在 SelectMAP 模式下,写使能信号在低电平有效。
TCK_0	输入	边界扫描时钟
TDI_0	输入	边界扫描数据输入
TDO_0	输出	边界扫描数据输出
TMS_0	输入	边界扫描模式选择端口
TDP_0, TDN_0	N/A	温度敏感二极管引脚（阳极:TDP,阴极:TDN）
保留引脚		
AVDD_SM	输入	该引脚保留并且应该连接至 2.5V（如在 PCB 板上连接到 VCCAUX 是可接受的）
AVSS_SM	输入	该引脚保留备用并且应该接 GND。
VN_SM	输入	该引脚保留备用并且应该接 GND。
VP_SM	输入	该引脚保留备用并且应该接 GND。
VREFN_SM	输入	该引脚保留备用并且应该接 GND。
VREFP_SM	输入	该引脚保留备用并且应该接 GND。
AVDD_ADC	输入	该引脚保留并且应该连接至 2.5V（如在 PCB 板上连接到 VCCAUX 是可接受的）
AVSS_ADC	输入	该引脚保留备用并且应该接 GND。
VN_ADC	输入	该引脚保留备用并且应该接 GND。
VP_ADC	输入	该引脚保留备用并且应该接 GND。
VREFN_ADC	输入	该引脚保留备用并且应该接 GND。
VREFP_ADC	输入	该引脚保留备用并且应该接 GND。
RSVD	N/A	保留引脚-不连接
其它引脚		

引脚名称	方 向	描 述
GND	输入	接地引脚
VBATT_#	输入	密钥存储器备用电源，如果不用，该引脚应该约束到 VCC 或 GND。
VCCAUX	输入	为辅助电路提供电源。
VCCINT	输入	为内核逻辑提供电源。
VCCO_#	输入	为输出驱动提供电源（每组）。

表 5 引出端定义表

引出端 序号	符号	引出端 序号	符号	引出端 序号	符号
R9	TDI	J16	IO_L19N_5	R4	IO_L24P_CC_LC_8
T11	DOUT_BUSY	H18	IO_L20P_5	R3	IO_L24N_CC_LC_8
T12	M1	H19	IO_L20N_VREF_5	U3	IO_L25P_CC_LC_8
T9	TCK	K16	IO_L21P_5	U2	IO_L25N_CC_LC_8
R10	TDO	K17	IO_L21N_5	T4	IO_L26P_8
R12	M0	K20	IO_L22P_5	T3	IO_L26N_8
T8	TMS	J19	IO_L22N_5	T6	IO_L27P_8
T10	PWRDWN_B	L16	IO_L23P_VRN_5	U6	IO_L27N_8
R11	M2	L17	IO_L23N_VRP_5	V2	IO_L28P_8
T13	VBATT	K18	IO_L24P_CC_LC_5	V1	IO_L28N_VREF_8
F9	RDWR_B	K19	IO_L24N_CC_LC_5	U5	IO_L29P_8
F11	DONE	M17	IO_L25P_CC_LC_5	U4	IO_L29N_8
E8	CS_B	M18	IO_L25N_CC_LC_5	W3	IO_L30P_8
E12	INIT	M20	IO_L26P_5	W2	IO_L30N_8
F12	PROG_B	L20	IO_L26N_5	Y4	IO_L31P_8
E9	DIN	M15	IO_L27P_5	W4	IO_L31N_8
E11	CCLK	M16	IO_L27N_5	V4	IO_L32P_8
E13	HSWAPEN	M19	IO_L28P_5	V3	IO_L32N_8
F10	TDP	L19	IO_L28N_VREF_5	Y14	NC
E10	TDN	N16	IO_L29P_5	Y15	NC
F15	IO_L1P_D31_LC_1	N17	IO_L29N_5	W16	NC
E15	IO_L1N_D30_LC_1	N18	IO_L30P_5	W14	NC
E6	IO_L2P_D29_LC_1	N19	IO_L30N_5	W15	NC
F6	IO_L2N_D28_LC_1	P16	IO_L31P_5	Y16	NC
D15	IO_L3P_D27_LC_1	P17	IO_L31N_5	B1	GND
E14	IO_L3N_D26_LC_1	P19	IO_L32P_5	W1	GND
E7	IO_L4P_D25_LC_1	P20	IO_L32N_5	Y1	GND
D6	IO_L4N_D24_VREF_LC_1	B6	IO_L1P_6	A2	GND
D13	IO_L5P_D23_LC_1	A6	IO_L1N_6	Y2	GND
C13	IO_L5N_D22_LC_1	A5	IO_L2P_6	G3	GND
C8	IO_L6P_D21_LC_1	B5	IO_L2N_6	P3	GND
D8	IO_L6N_D20_LC_1	C6	IO_L3P_6	C7	GND
D12	IO_L7P_D19_LC_1	C5	IO_L3N_6	H7	GND
C12	IO_L7N_D18_LC_1	B4	IO_L4P_6	J7	GND
C9	IO_L8P_D17_CC_LC_1	C4	IO_L4N_VREF_6	K7	GND
D9	IO_L8N_D16_CC_LC_1	D5	IO_L5P_6	L7	GND

引出端 序号	符号	引出端 序号	符号	引出端 序号	符号
V16	IO_L1P_D15_CC_LC_2	E5	IO_L5N_6	M7	GND
V15	IO_L1N_D14_CC_LC_2	A3	IO_L6P_6	N7	GND
V6	IO_L2P_D13_LC_2	B3	IO_L6N_6	V7	GND
V5	IO_L2N_D12_LC_2	D4	IO_L7P_6	G8	GND
T14	IO_L3P_D11_LC_2	D3	IO_L7N_6	P8	GND
U13	IO_L3N_D10_LC_2	B2	IO_L8P_CC_LC_6	G9	GND
U8	IO_L4P_D9_LC_2	C1	IO_L8N_CC_LC_6	P9	GND
T7	IO_L4N_D8_VREF_LC_2	F3	IO_L9P_CC_LC_6	G10	GND
V13	IO_L5P_D7_LC_2	E3	IO_L9N_CC_LC_6	P10	GND
V12	IO_L5N_D6_LC_2	C3	IO_L10P_6	U10	GND
V9	IO_L6P_D5_LC_2	C2	IO_L10N_6	D11	GND
V8	IO_L6N_D4_LC_2	F5	IO_L11P_6	G11	GND
U12	IO_L7P_D3_LC_2	F4	IO_L11N_6	P11	GND
V11	IO_L7N_D2_LC_2	D2	IO_L12P_6	G12	GND
V10	IO_L8P_D1_LC_2	E2	IO_L12N_VREF_6	P12	GND
U9	IO_L8N_D0_LC_2	G5	IO_L13P_6	G13	GND
B12	IO_L1P_GC_CC_LC_3	G4	IO_L13N_6	P13	GND
A11	IO_L1N_GC_CC_LC_3	E1	IO_L14P_6	C14	GND
A10	IO_L2P_GC_VRN_LC_3	F1	IO_L14N_6	H14	GND
B9	IO_L2N_GC_VRP_LC_3	H5	IO_L15P_6	J14	GND
C11	IO_L3P_GC_LC_3	H4	IO_L15N_6	K14	GND
B11	IO_L3N_GC_LC_3	F2	IO_L16P_6	L14	GND
B10	IO_L4P_GC_LC_3	G2	IO_L16N_6	M14	GND
C10	IO_L4N_GC_VREF_LC_3	J4	IO_L17P_6	N14	GND
B13	IO_L5P_GC_LC_3	J3	IO_L17N_6	V14	GND
A13	IO_L5N_GC_LC_3	H1	IO_L18P_6	G18	GND
A8	IO_L6P_GC_LC_3	G1	IO_L18N_6	P18	GND
B8	IO_L6N_GC_LC_3	J6	IO_L19P_6	A19	GND
B14	IO_L7P_GC_LC_3	J5	IO_L19N_6	Y19	GND
A14	IO_L7N_GC_LC_3	H3	IO_L20P_6	A20	GND
A7	IO_L8P_GC_LC_3	H2	IO_L20N_VREF_6	B20	GND
B7	IO_L8N_GC_LC_3	K5	IO_L21P_6	W20	GND
W13	IO_L1P_GC_LC_4	K4	IO_L21N_6	Y20	GND
W12	IO_L1N_GC_LC_4	K1	IO_L22P_6	H6	VCCAUX
Y5	IO_L2P_GC_LC_4	J2	IO_L22N_6	N6	VCCAUX
W5	IO_L2N_GC_LC_4	L5	IO_L23P_VRN_6	F8	VCCAUX
Y12	IO_L3P_GC_LC_4	L4	IO_L23N_VRP_6	R8	VCCAUX
Y11	IO_L3N_GC_LC_4	K3	IO_L24P_CC_LC_6	F13	VCCAUX
Y6	IO_L4P_GC_LC_4	K2	IO_L24N_CC_LC_6	R13	VCCAUX
W6	IO_L4N_GC_VREF_LC_4	M4	IO_L25P_CC_LC_6	H15	VCCAUX
W11	IO_L5P_GC_LC_4	M3	IO_L25N_CC_LC_6	N15	VCCAUX
W10	IO_L5N_GC_LC_4	M1	IO_L26P_6	G6	VCCINT
Y7	IO_L6P_GC_LC_4	L1	IO_L26N_6	P6	VCCINT
W7	IO_L6N_GC_LC_4	M6	IO_L27P_6	F7	VCCINT
Y10	IO_L7P_GC_VRN_LC_4	M5	IO_L27N_6	G7	VCCINT

引出端 序号	符号	引出端 序号	符号	引出端 序号	符号
Y9	IO_L7N_GC_VRP_LC_4	M2	IO_L28P_6	P7	VCCINT
W9	IO_L8P_GC_CC_LC_4	L2	IO_L28N_VREF_6	R7	VCCINT
W8	IO_L8N_GC_CC_LC_4	N5	IO_L29P_6	F14	VCCINT
B15	IO_L1P_5	N4	IO_L29N_6	G14	VCCINT
A15	IO_L1N_5	N3	IO_L30P_6	P14	VCCINT
A16	IO_L2P_5	N2	IO_L30N_6	R14	VCCINT
B16	IO_L2N_5	P5	IO_L31P_6	G15	VCCINT
C15	IO_L3P_5	P4	IO_L31N_6	P15	VCCINT
C16	IO_L3N_5	P2	IO_L32P_6	D10	VCCO_0
B17	IO_L4P_5	P1	IO_L32N_6	U11	VCCO_0
C17	IO_L4N_VREF_5	R19	IO_L20P_7	D7	VCCO_1
D16	IO_L5P_5	R20	IO_L20N_VREF_7	D14	VCCO_1
E16	IO_L5N_5	R15	IO_L21P_7	U7	VCCO_2
A18	IO_L6P_5	R16	IO_L21N_7	U14	VCCO_2
B18	IO_L6N_5	T19	IO_L23P_VRN_7	A9	VCCO_3
D17	IO_L7P_5	T20	IO_L23N_VRP_7	A12	VCCO_3
D18	IO_L7N_5	R17	IO_L24P_CC_LC_7	Y8	VCCO_4
B19	IO_L8P_CC_LC_5	R18	IO_L24N_CC_LC_7	Y13	VCCO_4
C20	IO_L8N_CC_LC_5	T17	IO_L25P_CC_SM7_LC_7	K15	VCCO_5
F18	IO_L9P_CC_LC_5	T18	IO_L25N_CC_SM7_LC_7	L15	VCCO_5
E18	IO_L9N_CC_LC_5	U18	IO_L26P_SM6_7	A17	VCCO_5
C18	IO_L10P_5	U19	IO_L26N_SM6_7	E17	VCCO_5
C19	IO_L10N_5	T15	IO_L27P_SM5_7	L18	VCCO_5
F16	IO_L11P_5	U15	IO_L27N_SM5_7	D20	VCCO_5
F17	IO_L11N_5	V19	IO_L28P_7	J20	VCCO_5
D19	IO_L12P_5	V20	IO_L28N_VREF_7	N20	VCCO_5
E19	IO_L12N_VREF_5	U16	IO_L29P_SM4_7	D1	VCCO_6
G16	IO_L13P_5	U17	IO_L29N_SM4_7	J1	VCCO_6
G17	IO_L13N_5	W18	IO_L30P_SM3_7	N1	VCCO_6
E20	IO_L14P_5	W19	IO_L30N_SM3_7	L3	VCCO_6
F20	IO_L14N_5	Y17	IO_L31P_SM2_7	A4	VCCO_6
H16	IO_L15P_5	W17	IO_L31N_SM2_7	E4	VCCO_6
H17	IO_L15N_5	V17	IO_L32P_SM1_7	K6	VCCO_6
F19	IO_L16P_5	V18	IO_L32N_SM1_7	L6	VCCO_6
G19	IO_L16N_5	R2	IO_L20P_8	T16	VCCO_7
J17	IO_L17P_5	R1	IO_L20N_VREF_8	Y18	VCCO_7
J18	IO_L17N_5	R6	IO_L21P_8	U20	VCCO_7
H20	IO_L18P_5	R5	IO_L21N_8	U1	VCCO_8
G20	IO_L18N_5	T2	IO_L23P_VRN_8	Y3	VCCO_8
J15	IO_L19P_5	T1	IO_L23N_VRP_8	T5	VCCO_8

4.2 HWD4VLX25 焊盘推荐

HWD4VLX25焊盘推荐如下图所示，用户可根据焊接要求进行调整。

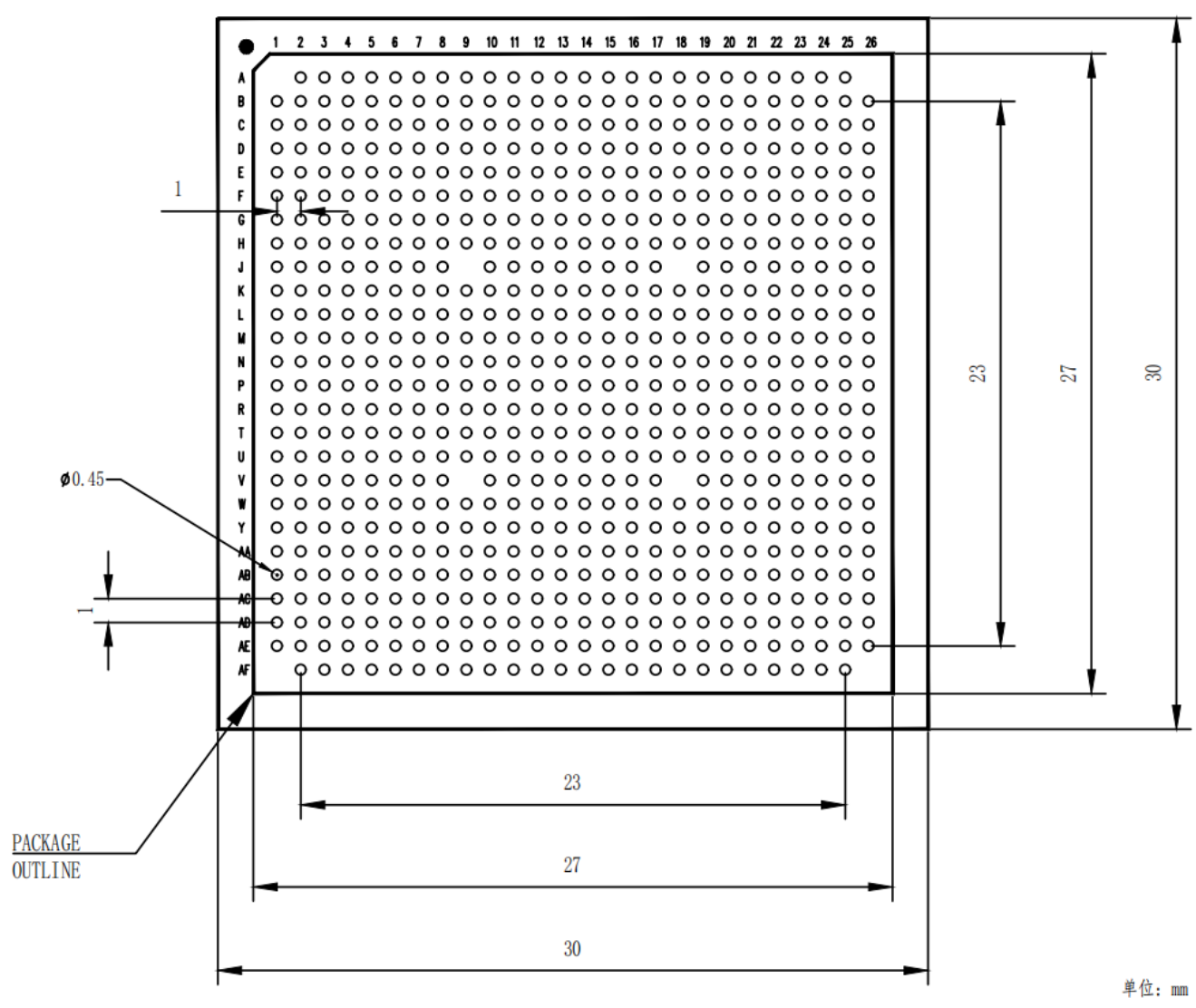
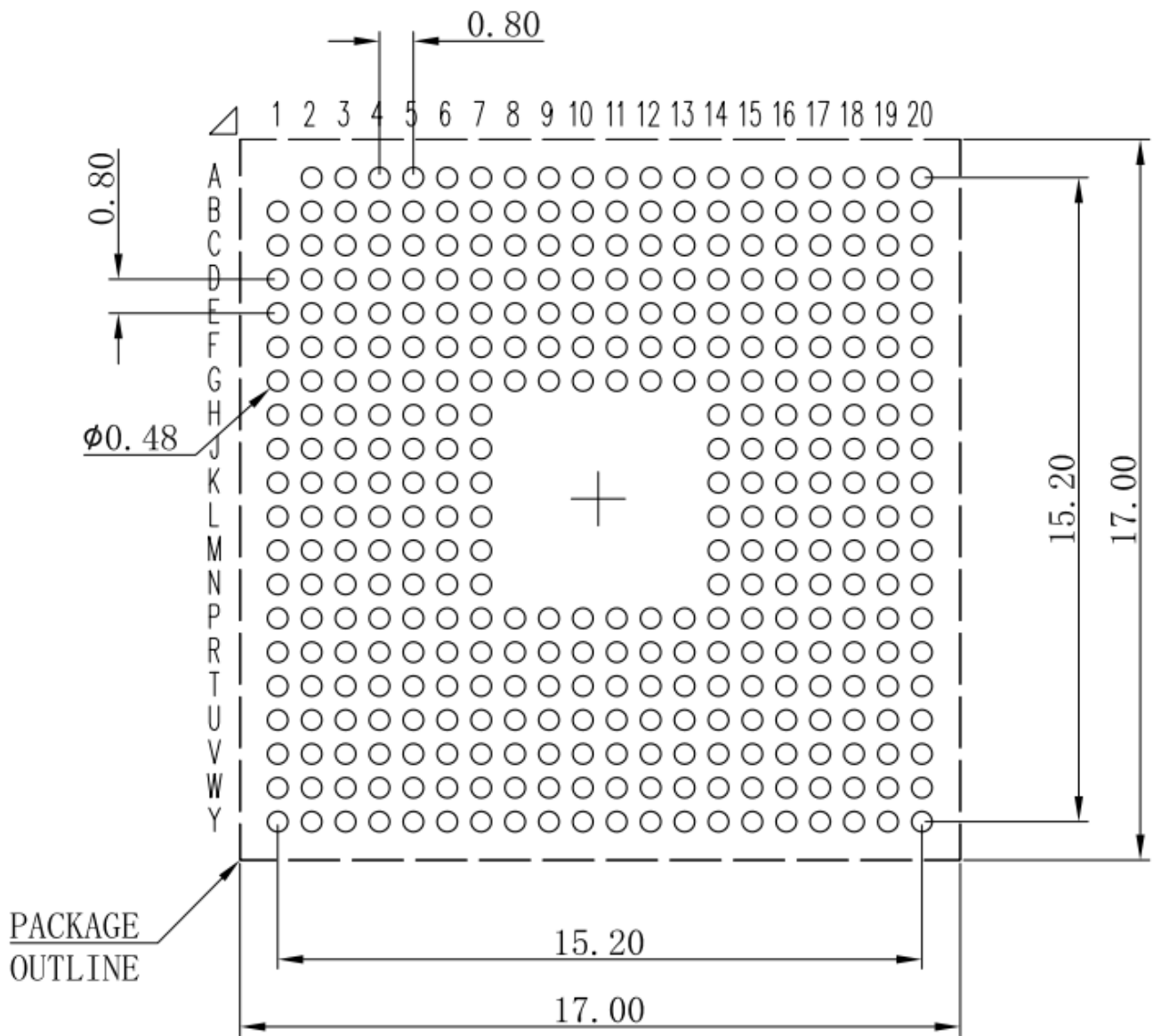


图 7 HWD4VLX25 FC—BGA668封装推荐焊盘图



单位: mm

图 8 HWD4VLX25 FC—BGA363封装推荐焊盘图

4.3 HWD4VLX25 焊接推荐

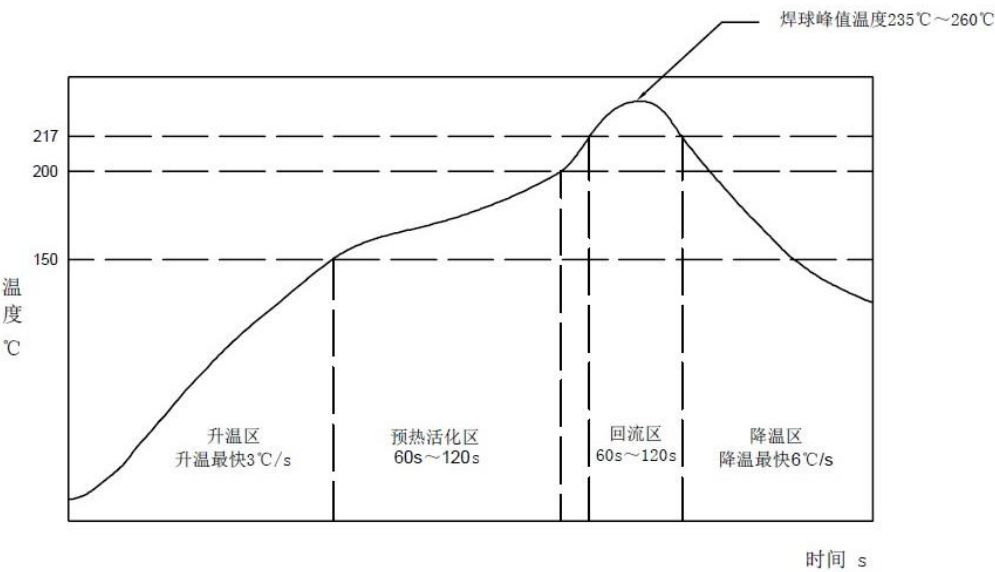


图 9 建议无铅回流曲线

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 150℃~200℃	60s~120s
熔点以上温度保持时间（回流时间）	60s~120s
低于峰值温度 5℃ 以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235℃，典型温度 245℃，不超过 260℃
降温速度	最大 6℃/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338 SAC305
备注	请根据选用的焊膏特性作相应的调整

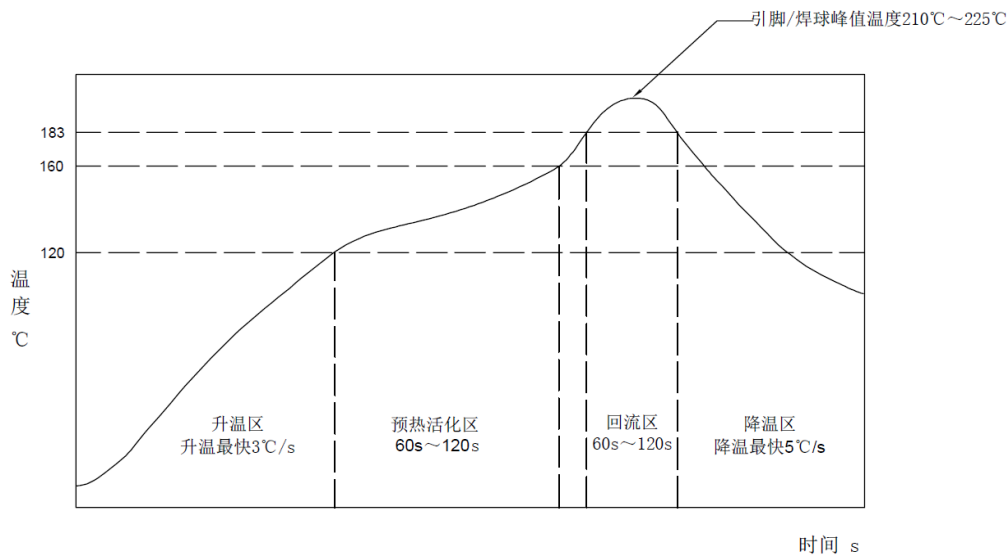


图 10 建议有铅焊料Sn63Pb37回流曲线

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3°C/s
预热温度 120°C ~ 160°C	60s ~ 120s
熔点以上温度保持时间（回流时间）	60s ~ 120s
低于峰值温度 5°C 以内的保持时间	最大 30s
引脚/焊球峰值温度	最低 210°C，典型温度 218°C，不超过 225°C
降温速度	最大 5°C/s
室温到峰值温度时间	最小 3 分钟，典型值 4.5 分钟，不超过 8 分钟
备注	根据选择的焊膏特性作调整

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	内核电源电压 (V_{CCINT})	-0.50V~+1.32V
2	辅助电源电压 (V_{CCAUX})	-0.5V~+3.0V
3	输出驱动电源电压 (V_{CCO})	-0.5V~+3.75V
4	密钥存储器电池备用电源电压 (V_{BATT})	-0.5V~+4.05V
5	输入参考电压 (V_{REF})	-0.3V~+3.75V
6	I/O 输入电压 (所有用户和专用 I/O) (V_{IN})	-0.75V~+4.05V
7	I/O 输入电压 (不超过 100 个用户 I/O 条件下) (V_{IN})	-0.85V~+4.3V
8	2.5V 及以下 I/O 输入电压 (用户和专用 I/O) (V_{IN})	-0.75V~ $V_{CCO}+0.5V$
9	作为三态 3.3V 输出应用的电压 (所有用户和专用 I/O) (V_{TS})	-0.75V~+4.05V
10	作为三态 3.3V 输出应用的电压 (不超过 100 个用户 I/O 条件下) (V_{TS})	-0.85V~+4.3V
11	2.5V 及以下 I/O 输入电压 (用户和专用 I/O) (V_{TS})	-0.75V~ $V_{CCO}+0.5V$
12	贮存温度 (T_{stg})	-65℃~150℃
13	引线耐焊接最高温度 (T_{SOL})	235℃
14	结温 (T_j)	175℃

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	内核电源电压 (V_{CCINT})	1.14V~1.26V;
2	辅助电源电压 (V_{CCAUX})	2.375V~2.625V;
3	输出驱动电源电压 (V_{CCO}) ^{1 2}	1.14V~3.45V;
4	3.3V 输入电压 (V_{IN})	GND-0.20V~3.45V;
5	2.5V 及以下输入电压(V_{IN})	GND-0.20V~ $V_{CCO}+0.2V$;
6	密钥存储器电池备用电源电压(V_{BATT})	1.0V~3.6V;
7	工作温度 (T_A)	-55℃~125℃;
8	数据保持 V_{CCINT} 电压(V_{DRINT})	≥0.9V;

注1: V_{CCO} 跌落到0V时配置数据仍能够保持; V_{CCO} 包括电压范围为1.2V、1.5V、1.8V、2.5V和3.3V; 配置输出电压 V_{CC_CONFIG} 即 V_{CCO_0} ;

注2: V_{BATT} 只有在使用位流加密时才需要添加, 否则将 V_{BATT} 连接到地或者电源 V_{CCAUX} 。

6 电特性参数

该电特性指标为该系列产品能达到的最佳指标, 不同的质量等级及封装形式略有不同, 具体见对应的详细规范。

表 6 电特性

特性	符号	条件 (除非另有规定, $1.14V \leq V_{CCINT} \leq 1.26V$, $2.375V \leq V_{CCAUX} \leq 2.625V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	极限值		单位
			最小	最大	
V_{CCINT} 电源静态电流	I_{CCINTQ}	器件没有配置, 没有输出电流负载, 没有使能上拉电阻, 并且所有 I/O 引脚处于三态或者悬空, $V_{CCINT}=1.26V$, $V_{CCAUX}=2.625V$, $V_{CCO}=3.45V$	—	800	mA
V_{CCO} 电源静态电流	I_{CCOQ}		—	100	mA
V_{CCAUX} 电源静态电流	I_{CCAUXQ}		—	500	mA
数据保持 V_{CCINT} 电压 (低于该电压时, 配置数据可能会丢失)	V_{DRINT}	$V_{CCO}=3.3V$, $V_{CCAUX}=2.5V$, 初始 $V_{CCINT}=1.2V$	0.9	—	V
数据保持 V_{CCAUX} 电压 (低于该电压时, 配置数据可能会丢失)	V_{DRI}	$V_{CCO}=3.3V$, 初始 $V_{CCAUX}=2.5V$, $V_{CCINT}=1.2V$	2.1	—	V
输入或输出漏电流	I_L	每个引脚的输入或输出漏电流, $V_{CCINT}=1.26V$, $V_{CCAUX}=2.625V$, $V_{CCO}=3.45V$	—	10	μA
管脚上拉电流	I_{RPU}	管脚上拉使能, $V_{IN}=0V$, $V_{CCINT}=1.2V$, $V_{CCAUX}=2.5V$, $V_{CCO}=3.3V$	5	200	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCINT}=1.2V$, $V_{CCAUX}=2.5V$, $V_{CCO}=3.0V$	5	125	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCINT}=1.2V$, $V_{CCAUX}=2.5V$, $V_{CCO}=2.5V$	5	120	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCINT}=1.2V$, $V_{CCAUX}=2.5V$, $V_{CCO}=1.8V$	5	60	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCINT}=1.2V$, $V_{CCAUX}=2.5V$, $V_{CCO}=1.5V$	5	40	μA
管脚下拉电流	I_{RPD}	管脚下拉使能, $V_{IN}=V_{CCO}$, $V_{CCINT}=1.2V$, $V_{CCAUX}=2.5V$, $V_{CCO}=3.3V$	5	100	μA
功能测试	CLB	1. 4 输入查找表功能	—	—	—
		2. 全局进位链功能, 两输入全加器进位链功能			
		3. D 触发器 DFF 功能			
		4. 锁存器 LATCH 功能			
		5. 16 位/128 位移位寄存器功能			
		6. 分布式 RAM 功能 (16x1s, 16x1d, 64x1s)			
	IOB	1. D 触发器输入逻辑	—	—	—
		2. 锁存器 LATCH 输入逻辑			
		3. D 触发器输出逻辑			
		4. 锁存器 LATCH 输出逻辑			
		5. D 触发器三态控制逻辑			
		6. 锁存器 LATCH 三态控制逻辑			
	BRAM	1. 不同模式的读写功能 (NO_CHANGE, WRITE_FIRST, READ_FIRST)	—	—	—
		2. 不同宽度深度的读写功能 (512 x 36, 8K x 2, 32K x 1)			
		3. 512x64 ECC 功能			

特性	符号	条件 (除非另有规定, $1.14V \leq V_{CCINT} \leq 1.26V$, $2.375V \leq V_{CCAUX} \leq 2.625V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$)	极限值		单位
			最小	最大	
		4. 异步 FIFO16 及级联功能 (18 x 1K, 36 x 512)			
	DSP	1. 18x18、36x36 乘法器和 A:B 功能 (不带寄存器, 各一级/二级寄存器)	—	—	—
		2. 48 位 3 输入加法器功能 (各一级寄存器)			
		3. DSP 级联功能			
	DCM	1. 延迟锁相环及频率合成器功能 (分频系数抽测, M/D 值整数及非整数)			
		2. DCM 级联			
	PMCD	1. 分频输出功 (1:2, 1:4, 1:8)			
		2. DCM 与 PMCD 的级联			
	配置模块	从并模式下 8bit/32bit 配置功能验证			

IOB的输入/输出电平与输出驱动能力性能指标如下表所示, 分别为单端接口标准的直流性能指标、差分接口标准的直流性能指标。

表 7 IOB单端接口标准输入直流性能指标—输入低电平电压

特性	符号	条件 除非另有规定, $V_{CCINT}=1.2V$, $V_{CCAUX}=2.5V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
输入低电平电压	V_{IL}	LVTTL, $V_{CCO}=3.3V$	-0.2	0.8	V
		LVC MOS33, $V_{CCO}=3.3V$	-0.2	0.8	V
		LVC MOS25, $V_{CCO}=2.5V$	-0.3	0.7	V
		LVC MOS18, $V_{CCO}=1.8V$	-0.3	$0.35 \times V_{CCO}$	V
		LVC MOS15, $V_{CCO}=1.5V$	-0.3	$0.35 \times V_{CCO}$	V
		PCI33_3, $V_{CCO}=3.0V$	-0.2	$0.3 \times V_{CCO}$	V
		PCI66_3, $V_{CCO}=3.0V$	-0.2	$0.3 \times V_{CCO}$	V
		PCI_X, $V_{CCO}=3.0V$	-0.2	$0.35 \times V_{CCO}$	V
		GTLP, $V_{CCO}=1.5V$, $V_{REF}=1.1V$	-0.3	$V_{REF}-0.1$	V
		GTL, $V_{CCO}=1.2V$, $V_{REF}=0.8V$	-0.3	$V_{REF}-0.05$	V
		HSTL_I, $V_{CCO}=1.5V$, $V_{REF}=0.74V$	-0.3	$V_{REF}-0.1$	V
		HSTL_II, $V_{CCO}=1.5V$, $V_{REF}=0.74V$	-0.3	$V_{REF}-0.1$	V
		HSTL_III, $V_{CCO}=1.5V$, $V_{REF}=0.9V$	-0.3	$V_{REF}-0.1$	V
		HSTL_IV, $V_{CCO}=1.5V$, $V_{REF}=0.9V$	-0.3	$V_{REF}-0.1$	V
		HSTL_I_18, $V_{REF}=0.9V$, $V_{CCO}=1.8V$	-0.3	$V_{REF}-0.1$	V
		HSTL_II_18, $V_{REF}=0.9V$, $V_{CCO}=1.8V$	-0.3	$V_{REF}-0.1$	V
		HSTL_III_18, $V_{REF}=1.1V$, $V_{CCO}=1.8V$	-0.3	$V_{REF}-0.1$	V
		HSTL_IV_18, $V_{REF}=1.1V$, $V_{CCO}=1.8V$	-0.3	$V_{REF}-0.1$	V
		SSTL18_I, $V_{REF}=0.9V$, $V_{CCO}=1.8V$	-0.3	$V_{REF}-0.125$	V
		SSTL18_II, $V_{REF}=0.9V$, $V_{CCO}=1.8V$	-0.3	$V_{REF}-0.125$	V
		SSTL2_I, $V_{REF}=1.25V$, $V_{CCO}=2.5V$	-0.3	$V_{REF}-0.15$	V
		SSTL2_II, $V_{REF}=1.25V$, $V_{CCO}=2.5V$	-0.3	$V_{REF}-0.15$	V

表 8 IOB单端接口标准输入直流性能指标——输入高电平电压

特性	符号	条件 除非另有规定, $V_{CCINT}=1.2V$, $V_{CCAUX} = 2.5V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
输入高电平电压	V_{IH}	LVTTL, $V_{CCO}=3.3V$	2	3.45	V
		LVC MOS33, $V_{CCO}=3.3V$	2	3.45	V
		LVC MOS25, $V_{CCO}=2.5V$	1.7	$V_{CCO}+0.3$	V
		LVC MOS18, $V_{CCO}=1.8V$	$0.65 \times V_{CCO}$	$V_{CCO}+0.3$	V
		LVC MOS15, $V_{CCO}=1.5V$	$0.65 \times V_{CCO}$	$V_{CCO}+0.3$	V
		PCI33_3, $V_{CCO}=3.0V$	$0.5 \times V_{CCO}$	V_{CCO}	V
		PCI66_3, $V_{CCO}=3.0V$	$0.5 \times V_{CCO}$	V_{CCO}	V
		PCI_X, $V_{CCO}=3.0V$	$0.5 \times V_{CCO}$	V_{CCO}	V
		GTLP, $V_{CCO}=1.5V$, $V_{REF}=1.1V$	$V_{REF}+0.1$	—	V
		GTL, $V_{CCO}=1.2V$, $V_{REF}=0.8V$	$V_{REF}+0.05$	—	V
		HSTL_I, $V_{CCO}=1.5V$, $V_{REF}=0.74V$	$V_{REF}+0.1$	$V_{CCO}+0.3$	V
		HSTL_II, $V_{REF}=0.74V$, $V_{CCO}=1.5V$	$V_{REF}+0.1$	$V_{CCO}+0.3$	V
		HSTL_III, $V_{CCO}=1.5V$, $V_{REF}=0.9V$	$V_{REF}+0.1$	$V_{CCO}+0.3$	V
		HSTL_IV, $V_{CCO}=1.5V$, $V_{REF}=0.9V$	$V_{REF}+0.1$	$V_{CCO}+0.3$	V
		HSTL_I_18, $V_{REF}=0.9V$, $V_{CCO}=1.8V$	$V_{REF}+0.1$	$V_{CCO}+0.3$	V
		HSTL_II_18, $V_{REF}=0.9V$, $V_{CCO}=1.8V$	$V_{REF}+0.1$	$V_{CCO}+0.3$	V
		HSTL_III_18, $V_{REF}=1.1V$, $V_{CCO}=1.8V$	$V_{REF}+0.1$	$V_{CCO}+0.3$	V
		HSTL_V_18, $V_{REF}=1.1V$, $V_{CCO}=1.8V$	$V_{REF}+0.1$	$V_{CCO}+0.3$	V
		SSTL18_I, $V_{REF}=0.9V$, $V_{CCO}=1.8V$	$V_{REF}+0.125$	$V_{CCO}+0.3$	V
		SSTL18_II, $V_{REF}=0.9V$, $V_{CCO}=1.8V$	$V_{REF}+0.125$	$V_{CCO}+0.3$	V
		SSTL2_I, $V_{REF}=1.25V$, $V_{CCO}=2.5V$	$V_{REF}+0.15$	$V_{CCO}+0.3$	V
		SSTL2_II, $V_{REF}=1.25V$, $V_{CCO}=2.5V$	$V_{REF}+0.15$	$V_{CCO}+0.3$	V

表 9 IOB单端接口标准输出直流性能指标——输出低电平电流

特性	符号	条件 除非另有规定, $V_{CCINT}=1.2V$, $V_{CCAUX} = 2.5V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
输出低电平电流	I_{OL}	LVTTL, $V_{CCO}=3.3V$, $V_{OL}=0.4V$	16	—	mA
		LVC MOS33, $V_{CCO}=3.3V$, $V_{OL}=0.4V$	16	—	mA
		LVC MOS25, $V_{CCO}=2.5V$, $V_{OL}=0.4V$	16	—	mA
		LVC MOS18, $V_{CCO}=1.8V$, $V_{OL}=0.4V$	12	—	mA
		LVC MOS15, $V_{CCO}=1.5V$, $V_{OL}=0.4V$	12	—	mA
		PCI33_3, $V_{CCO}=3.0V$, $V_{OL}=0.1 \times V_{CCO}$	1.5	—	mA
		PCI66_3, $V_{CCO}=3.0V$, $V_{OL}=0.1 \times V_{CCO}$	1.5	—	mA
		PCI_X, $V_{CCO}=3.0V$, $V_{OL}=0.1 \times V_{CCO}$	1.5	—	mA
		GTLP, $V_{CCO}=1.5V$, $V_{OL}=0.6V$	30	—	mA
		GTL, $V_{CCO}=1.2V$, $V_{OL}=0.4V$	26	—	mA
		HSTL_I, $V_{CCO}=1.5V$, $V_{OL}=0.4V$	6	—	mA
		HSTL_II, $V_{CCO}=1.5V$, $V_{OL}=0.4V$	12	—	mA
		HSTL_III, $V_{CCO}=1.5V$, $V_{OL}=0.4V$	20	—	mA
		HSTL_IV, $V_{CCO}=1.5V$, $V_{OL}=0.4V$	38	—	mA
		HSTL_I_18, $V_{CCO}=1.8V$, $V_{OL}=0.4V$	6	—	mA

特性	符号	条件 除非另有规定, $V_{CCINT}=1.2V$, $V_{CCAUX} = 2.5V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
		HSTL_II_18, $V_{CCO}=1.8V$, $V_{OL}=0.4V$	12	—	mA
		HSTL_III_18, $V_{CCO}=1.8V$, $V_{OL}=0.4V$	16	—	mA
		HSTL_IV_18, $V_{CCO}=1.8V$, $V_{OL}=0.4V$	38	—	mA
		SSTL18_I, $V_{CCO}=1.8V$, $V_{OL}=V_{TT}-0.47$, $V_{TT}=0.5 \times V_{CCO}+N$, $N=0.04$	4	—	mA
		SSTL18_II, $V_{CCO}=1.8V$, $V_{OL}=V_{TT}-0.60$, $V_{TT}=0.5 \times V_{CCO}+N$, $N=0.04$	10	—	mA
		SSTL2_I, $V_{CCO}=2.5V$, $V_{OL}=V_{TT}-0.61$, $V_{TT}=0.5 \times V_{CCO}+N$, $N=0.04$	6	—	mA
		SSTL2_II, $V_{CCO}=2.5V$, $V_{OL}=V_{TT}-0.81$, $V_{TT}=0.5 \times V_{CCO}+N$, $N=0.04$	12	—	mA

表 10 IOB单端接口标准输出直流性能指标—输出高电平电流

特性	符号	条件 除非另有规定, $V_{CCINT}=1.2V$, $V_{CCAUX} = 2.5V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
输出 高电 平电 流	I_{OH}	LVTTL, $V_{CCO}=3.3V$, $V_{OH}=2.4V$	—	-16	mA
		LVC MOS33, $V_{CCO}=3.3V$, $V_{OH}=V_{CCO}-0.4$	—	-16	mA
		LVC MOS25, $V_{CCO}=2.5V$, $V_{OH}=V_{CCO}-0.4$	—	-16	mA
		LVC MOS18, $V_{CCO}=1.8V$, $V_{OH}=V_{CCO}-0.45$	—	-12	mA
		LVC MOS15, $V_{CCO}=1.5V$, $V_{OH}=V_{CCO}-0.45$	—	-12	mA
		PCI33_3, $V_{CCO}=3.0V$, $V_{OH}=0.9 \times V_{CCO}$	—	-0.5	mA
		PCI66_3, $V_{CCO}=3.0V$, $V_{OH}=0.9 \times V_{CCO}$	—	-0.5	mA
		PCI_X, $V_{CCO}=3.0V$, $V_{OH}=0.9 \times V_{CCO}$	—	-0.5	mA
		HSTL_I, $V_{CCO}=1.5V$, $V_{OH}=V_{CCO}-0.4V$	—	-6	mA
		HSTL_II, $V_{CCO}=1.5V$, $V_{OH}=V_{CCO}-0.4V$	—	-12	mA
		HSTL_III, $V_{CCO}=1.5V$, $V_{OH}=V_{CCO}-0.4V$	—	-6	mA
		HSTL_IV, $V_{CCO}=1.5V$, $V_{OH}=V_{CCO}-0.4V$	—	-6	mA
		HSTL_I_18, $V_{CCO}=1.8V$, $V_{OH}=V_{CCO}-0.4V$	—	-6	mA
		HSTL_II_18, $V_{CCO}=1.8V$, $V_{OH}=V_{CCO}-0.4V$	—	-12	mA
		HSTL_III_18, $V_{CCO}=1.8V$, $V_{OH}=V_{CCO}-0.4V$	—	-6	mA
		HSTL_IV_18, $V_{CCO}=1.8V$, $V_{OH}=V_{CCO}-0.4V$	—	-6	mA
		SSTL18_I, $V_{CCO}=1.8V$, $V_{OH}=V_{TT}+0.47$, $V_{TT}=0.5 \times V_{CCO}+N$, $N=-0.04$	—	-4	mA
		SSTL18_II, $V_{CCO}=1.8V$, $V_{OH}=V_{TT}+0.60$, $V_{TT}=0.5 \times V_{CCO}+N$, $N=-0.04$	—	-10	mA
		SSTL2_I, $V_{CCO}=2.5V$, $V_{OH}=V_{TT}+0.61$, $V_{TT}=0.5 \times V_{CCO}+N$, $N=-0.04$	—	-6	mA
		SSTL2_II, $V_{CCO}=2.5V$, $V_{OH}=V_{TT}+0.81$, $V_{TT}=0.5 \times V_{CCO}+N$, $N=-0.04$	—	-12	mA

表 11 IOB差分接口标准的直流性能指标

特性	符号	条件 (除非另有规定, $V_{CCINT}=1.2V$, $V_{CCAUX} = 2.5V$, $V_{CCO}=2.5V$, $-55^{\circ}C\leq T_A\leq 125^{\circ}C$)	极限值		单位
			最小	最大	
LDT_25					
输出差模电压	V_{OD}	$R_T=100\Omega$, 跨接于 Q 和 QB 端口	495	750	mV
输出共模电压	V_{OCM}	$R_T=100\Omega$, 跨接于 Q 和 QB 端口	495	715	mV
输入差模电压	V_{ID}	—	200	1000	mV
输入共模电压	V_{ICM}	—	440	780	mV
LVDS_25					
输出高电平电压	V_{OH}	$R_T=100\Omega$, 跨接于 Q 和 QB 端口	—	1.602	V
输出低电平电压	V_{OL}	$R_T=100\Omega$, 跨接于 Q 和 QB 端口	0.898	—	V
输出差模电压	V_{ODIFF}	$R_T=100\Omega$, 跨接于 Q 和 QB 端口	247	550	mV
输出共模电压	V_{OCM}	$R_T=100\Omega$, 跨接于 Q 和 QB 端口	1.1	1.375	V
输入差模电压	V_{IDIFF}	—	100	600	mV
输入共模电压	V_{ICM}	—	0.3	2.2	V
LVDSEXT_25					
输出高电平电压	V_{OH}	$R_T=100\Omega$, 跨接于 Q 和 QB 端口	—	1.785	V
输出低电平电压	V_{OL}	$R_T=100\Omega$, 跨接于 Q 和 QB 端口	0.715	—	V
输出差模电压	V_{ODIFF}	$R_T=100\Omega$, 跨接于 Q 和 QB 端口	380	820	mV
输出共模电压	V_{OCM}	$R_T=100\Omega$, 跨接于 Q 和 QB 端口	1	1.375	V
输入差模电压	V_{IDIFF}	输入共模电压为 1.25V	100	1000	mV
输入共模电压	V_{ICM}	输入差模电压为 +/-350mV	0.3	2.2	V
LVPECL_25					
输出高电平	V_{OH}	驱动 100Ω 差分负载	1.475	1.62	V
输出低电平	V_{OL}	驱动 100Ω 差分负载	0.69	0.88	V
输入共模电压	V_{ICM}	—	0.6	2.2	V
输入差模电压	V_{IDIFF}	—	0.1	1.5	V

器件开关特性按下表 12和表 13的规定。

表 12 时钟频率开关特性参数

特性	符号	条件 除另有规定外, $V_{CCINT}=1.2V$, $V_{CCAUX}=2.5V$, $V_{CCO}=3.3V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
单倍频输出时钟 CLK0,CLK90,CLK180,CLK270 最低 频率	CLKOUT_FREQ_1X_LF_M S_MIN	在最大速度模式下且在 低频模式下	32	—	MHz
单倍频输出时钟 CLK0,CLK90,CLK180,CLK270 最高 频率	CLKOUT_FREQ_1X_LF_M S_MAX	在最大速度模式下且在 低频模式下	—	150	MHz

特性	符号	条件 除另有规定外, $V_{CCINT}=1.2V$, $V_{CCAUX}=2.5V$, $V_{CCO}=3.3V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
两倍频输出时钟 CLK2X,CLK2X180 最低频率	CLKOUT_FREQ_2X_LF_MS_MIN	在最大速度模式下且在低频模式下	64	—	MHz
两倍频输出时钟 CLK2X,CLK2X180 最高频率	CLKOUT_FREQ_2X_LF_MS_MAX	在最大速度模式下且在低频模式下	—	300	MHz
分频输出时钟 CLKDV 最低频率	CLKOUT_FREQ_DV_LF_MS_MIN	在最大速度模式下且在低频模式下	2	—	MHz
分频输出时钟 CLKDV 最高频率	CLKOUT_FREQ_DV_LF_MS_MAX	在最大速度模式下且在低频模式下	—	100	MHz
倍频输出时钟 CLKFX,CLKFX180 最低频率	CLKOUT_FREQ_FX_LF_MS_MIN	在最大速度模式下且在低频模式下	32	—	MHz
倍频输出时钟 CLKFX,CLKFX180 最高频率	CLKOUT_FREQ_FX_LF_MS_MAX	在最大速度模式下且在低频模式下	—	210	MHz
输入时钟 CLKIN 最低频率(使用 DLL 输出) ^{1 3 4 5}	CLKIN_FREQ_DLL_LF_MS_MIN	在最大速度模式下且在低频模式下	32	—	MHz
输入时钟 CLKIN 最高频率(使用 DLL 输出) ^{1 3 4 5}	CLKIN_FREQ_DLL_LF_MS_MAX	在最大速度模式下且在低频模式下	—	150	MHz
输入时钟 CLKIN 最低频率(仅使用 DFS 输出) ^{2 3 4}	CLKIN_FREQ_FX_LF_MS_MIN	在最大速度模式下且在低频模式下	1	—	MHz
输入时钟 CLKIN 最高频率(仅使用 DFS 的输出) ^{2 3 4}	CLKIN_FREQ_FX_LF_MS_MAX	在最大速度模式下且在低频模式下	—	210	MHz
单倍频输出时钟 CLK0,CLK90,CLK180,CLK270 最低频率	CLKOUT_FREQ_1X_HF_MS_MIN	在最大速度模式下且在高频模式下	150	—	MHz
单倍频输出时钟 CLK0,CLK90,CLK180,CLK270 最高频率	CLKOUT_FREQ_1X_HF_MS_MAX	在最大速度模式下且在高频模式下	—	400	MHz
两倍频输出时钟 CLK2X,CLK2X180 最低频率	CLKOUT_FREQ_2X_HF_MS_MIN	在最大速度模式下且在高频模式下	300	—	MHz
两倍频输出时钟 CLK2X, CLK2X180 最高频率	CLKOUT_FREQ_2X_HF_MS_MAX	在最大速度模式下且在高频模式下	—	400	MHz
分频输出时钟 CLKDV 最低频率	CLKOUT_FREQ_DV_HF_MS_MIN	在最大速度模式下且在高频模式下	9.4	—	MHz
分频输出时钟 CLKDV 最高频率	CLKOUT_FREQ_DV_HF_MS_MAX	在最大速度模式下且在高频模式下	—	267	MHz
倍频输出时钟 CLKFX, CLKFX180 最低频率	CLKOUT_FREQ_FX_HF_MS_MIN	在最大速度模式下且在高频模式下	210	—	MHz
倍频输出时钟 CLKFX, CLKFX180 最高频率	CLKOUT_FREQ_FX_HF_MS_MAX	在最大速度模式下且在高频模式下	—	300	MHz
输入时钟 CLKIN 最低频率(使用 DLL 输出) ^{1 3 4 5}	CLKIN_FREQ_DLL_HF_MS_MIN	在最大速度模式下且在高频模式下	150	—	MHz
输入时钟 CLKIN 最高频率(使用 DLL 输出) ^{1 3 4 5}	CLKIN_FREQ_DLL_HF_MS_MAX	在最大速度模式下且在高频模式下	—	400	MHz

特性	符号	条件 除另有规定外, $V_{CCINT}=1.2V$, $V_{CCAUX}=2.5V$, $V_{CCO}=3.3V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
输入时钟 CLKIN 最低频率（仅使用 DFS 输出） ^{2 3 4}	CLKIN_FREQ_FX_HF_MS_MIN	在最大速度模式下且在高频模式下	50	—	MHz
输入时钟 CLKIN 最高频率（仅使用 DFS 的输出） ^{2 3 4}	CLKIN_FREQ_FX_HF_MS_MAX	在最大速度模式下且在高频模式下	—	300	MHz
PMCD 最大输入输出频率	CLKIN_FREQ_PMCD_CLK_A_MAX	—	—	400	MHz
从模式的外部 CCLK 最高频率	F_MAX_SLAVE	—	—	80	MHz

注1: DLL输出”特指如下输出信号: CLK0, CLK90, CLK180, CLK270, CLK2X, CLK2X180和CLKDV。

注2: DFS输出”特指如下输出信号: CLKFX和CLKFX180。

注3: 当DCM使用“CLKIN_DIVIDE_BY_2”属性时, 此参考值将翻倍。

注4: 当DCM使用“CLKIN_DIVIDE_BY_2”属性且输入频率CLKIN大于400M时, CLKIN的占空比必须在 $\pm 5\%$ 以内(45/55到55/45)。

注5: 如果DCM输入时钟停止超过100ms, 必须重启DCM。

注6: 在DCM_RESET期间CLKIN必须存在且稳定。

注7: 停止之后, 一旦输入时钟重新启动且稳定, DCM必须重新复位。

注8: 军品器件DCM不支持MR模式。

表 13 系统同步pin-to-pin开关特性参数

特性	符号	条件 除另有规定外, $V_{CCINT}=1.2V$, $V_{CCAUX}=2.5V$, $V_{CCO}=2.5V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
全局时钟输入到 O 触发器输出延迟, 使用 DCM	$t_{ICKOFDCM}$	LVC MOS25, 12 mA, Fast Slew Rate	—	4.02	ns
全局时钟输入到 O 触发器输出延迟, 不使用 DCM	t_{ICKOF}	LVC MOS25, 12 mA, Fast Slew Rate	—	9.88	ns
I 触发器建立时间, 使用无延迟全局时钟, 使用 DCM	t_{PSDCM}	LVC MOS25	2.00	—	ns
I 触发器保持时间, 使用无延迟全局时钟, 使用 DCM	t_{PHDCM}	LVC MOS25	0.15	—	ns
I 触发器建立时间, 使用全延迟全局时钟, 不使用 DCM	t_{PSFD}	LVC MOS25	4.17	—	ns
I 触发器保持时间, 使用全延迟全局时钟, 不使用 DCM	t_{PHFD}	LVC MOS25	0.95	—	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

7 功能描述

7.1 概述

HWD4V系列 器件是用户可编程的门阵列，具有针对高密度和高性能系统设计优化的各种可配置元件和嵌入式核。

HWD4V系列 器件可实现以下功能：

- I/O 块提供连接封装引脚和内部可配置逻辑的接口。可编程 I/O 块 (IOB) 支持大多数流行的前沿 I/O 标准。IOB针对源同步应用进行了增强。源同步优化包括逐比特去歪斜、数据串行器 / 解串器、时钟分频器以及专用的本地时钟资源。
- 可配置逻辑块 (CLB) 是 FPGA 的基本逻辑元件，提供组合和同步逻辑以及分布式存储器和 SRL16 移位寄存器功能。
- Block RAM 模块提供灵活的 18Kb 真双端口 RAM，这种 RAM 可级联为更大的存储器模块。另外，HWD4V系列Block RAM 包含的可选可编程 FIFO 逻辑可提高器件利用率。
- 可级联的嵌入式 DSP Slice，具有 18 x 18 位专用乘法器、集成加法器和 48 位累加器。
- 数字时钟管理器 (DCM) 块为时钟分配延迟补偿、时钟乘法 / 除法、粗 / 细粒度时钟相移提供自校准全数字解决方案。

通用布线矩阵 (GRM) 在各组件之间提供一个布线开关阵列。每个可编程元件均与一个开关矩阵绑定，以实现通用布线矩阵的多重连接。总体可编程互连是层级式结构，可支持高速设计。

包括布线资源在内的所有可编程元件均由静态存储器单元中的存储值控制。这些值在配置过程中加载到存储器单元中，可重新加载以便更改可编程元件的功能。

7.2 功能描述

7.2.1 输入 / 输出接口模块 (IOB)

IOB 单元模块具有灵活的可编程性，支持以下多种分类功能：

- 可编程单端或差分（如 LVDS）接口标准模式
- 具有可选单倍数据速率（SDR）或双倍数据速率（DDR）寄存器的输入模块
- 具有可选 SDR 或 DDR 寄存器的输出模块
- 双向模块
- 逐位去歪斜电路
- 专用 I/O 和区域时钟资源
- 内置数据串/并转换器

I/O 寄存器采用边沿触发型 D 触发器或电平敏感型锁存器，支持以下多种单端电平接口标准：

- LVTTTL
- LVCMOS（3.3V、2.5V、1.8V 和 1.5V）

- PCI (33 和 66MHz)
- PCI-X
- GTL 和 GTLP
- HSTL 1.5V 和 1.8V (I 类、II 类、III 类和 IV 类)
- SSTL 1.8V 和 2.5V (I 类和 II 类)

通过配置使能 DCI I/O 功能,可以为各个单端接口标准和部分差分接口标准提供片上终端。I/O 单元还支持以下差分型接口标准:

- LDT、LVDS 和 LVDSEXT (仅支持 2.5V)
- BLVDS (总线型 LVDS)
- ULVDS
- 差分型 HSTL 1.5V 和 1.8V (II 类)
- 差分型 SSTL 1.8V 和 2.5V (II 类)

每个差分对使用两个相邻的管脚。2个或4个IOB 块连接一个接入布线资源的开关矩阵。

逐位去歪斜电路使得向 FPGA 内部可编程输入延迟得以实现。逐位去歪斜实现了灵活的精细调节延迟,可以产生一系列信号延迟,这对于在源同步接口中同步信号边沿的调节尤其有用。

在选定区域的用户 I/O (每个 Bank 有 4 个)可以通过对其添加特定的硬连接,被设计用作“具有区域时钟输入能力”的 I/O。这些区域时钟输入端口分布在限定的区域内,以尽量减小各 IOB 之间的时钟歪斜。区域 I/O 时钟是对全局时钟资源的补充。

每个 I/O 增加了数据串/并转换功能,用于支持使用源同步接口的应用。在输入路径上包含了一个具有时间分频器的串并转换器,而输出路径则包含一个并串转换器。

7.2.2 可配置逻辑块 (CLB)

CLB (Configurable Logic Block) 资源由 4 个 Slice 组成。每个 Slice 包含:

- 两个函数生成器 (F 和 G)
- 两个寄存器
- 算术逻辑门
- 大型多路复用器
- 快速超前进位链

函数生成器 F 和 G 可配置成 4 输入查找表(LUT)。CLB 中两个 Slice 的 LUT可以被配置成 16 位寄存器或 16 位分布式 RAM。另外,两个寄存器可配置成边沿触发的 D 型触发器或电平敏感锁存器。每个 CLB 内部具有快速互连,并且与通用布线资源接口的开关矩阵相连。

7.2.3 存储器块 (Block RAM)

存储器块 Block RAM 资源是 18 Kb 双端口 RAM 块，根据深度和宽度配置不同，可在 16K×1 到 512×36 之间编程。每个端口都完全同步并独立，提供三种“边写边读”模式。Block RAM 可以级联，以实现大型嵌入式存储模块。还支持后台流水线寄存器、时钟控制电路、内置 FIFO 和字节写使能等功能。

7.2.4 数字信号处理器（DSP）

DSP Slice 包含一个 18×18 位带补码功能的有符号乘法器、加法器逻辑和一个 48 位累加器。每个乘法器或累加器都能独立使用。这些模块的设计目的是为了在 FPGA 中实现高效和高速的 DSP 应用。

7.2.5 全局时钟

数字时钟管理器（DCM）和全局时钟多路复用缓冲器为高速时钟网络设计提供了完善的解决方案。为了生成无歪斜的内部或外部时钟，可将每个 DCM 都用于消除时钟网络分布延迟。DCM 还提供输出时钟的 90°、180°和 270°相移。细粒度相移以数分之一时钟周期的增量提供更高分辨率的相位调整。灵活的频率综合提供等于输入时钟频率分数或整数倍的时钟输出频率。

注：军品器件DCM不支持MR模式。

HWD4VLX25 内部具有 32 个全局时钟 MUX 缓冲器。时钟树可设计为差分式。差分时钟可帮助减少抖动和占空比失真。

7.2.6 布线资源

HWD4V系列 所有可编程模块都使用相同的互连方案以及相同的全局布线矩阵接入方式。时序模型共享，可大幅提高高速设计性能的可预测性。

7.2.7 边界扫描

边界扫描指令和相关的数据寄存器支持访问和配置 HWD4V系列 器件的标准方法，符合 IEEE 1149.1 和 1532 标准。

7.2.8 配置

HWD4V系列 器件的配置方法是用下列模式之一将比特流载入内部配置存储器：

- 串行从模式
- 串行主模式
- SelectMAP 从模式
- SelectMAP 主模式
- 边界扫描模式 (IEEE-1532)

本产品支持可选 256 位 AES 加密（具备软件比特流加密），以保护知识产权。

配置数据文件：

设计工具可以生成多种格式的配置文件，如下表所示。

表 14 HWD4V系列FPGA配置文件格式

文件后缀	字节交换	软件工具	描述
.bit	不交换	BitGen（默认生成）	二进制配置数据文件，包括头信息（不需要下载到FPGA）。使用 iMPACT 工具，借助编程线缆，配置器件。
.rbt	不交换	BitGen（设置-b 时生成）	与.bit 文件等价的 ASCII 码文件，包含文本头标以及 ASCII 码 1s 和 0s。
.bin	不交换	BitGen（设置-g binary:yes 时生成）	二进制配置数据文件，没有头信息。与.bit 类似。用于常规配置（比如微处理器），或者用于配置第三方 PROM。
.mcs .exo .tek	交换	PROMGen 或 iMPACT	ASCII 码 PROM 文件格式，除了配置数据，还包含地址和校验和信息。主要用于器件编程和 iMPACT。
.hex	用户指定	PROMGen 或 iMPACT	ASCII 码 PROM 文件格式，只包含配置数据。主要用于常规配置。

字节交换：

.mcs、.exo和.tek格式的PROM文件，都进行了字节交换。.hex格式文件，可以字节交换，也可以不交换，由用户选择。比特流文件(.bit、.rbt、.bin)从不做字节交换。

.hex格式文件只包含配置数据，其他PROM文件格式包含地址和校验和信息，不需要发送到FPGA。地址和校验和信息提供给第三方器件编程使用，不会编程进PROM。下图展示了字节如何交换。

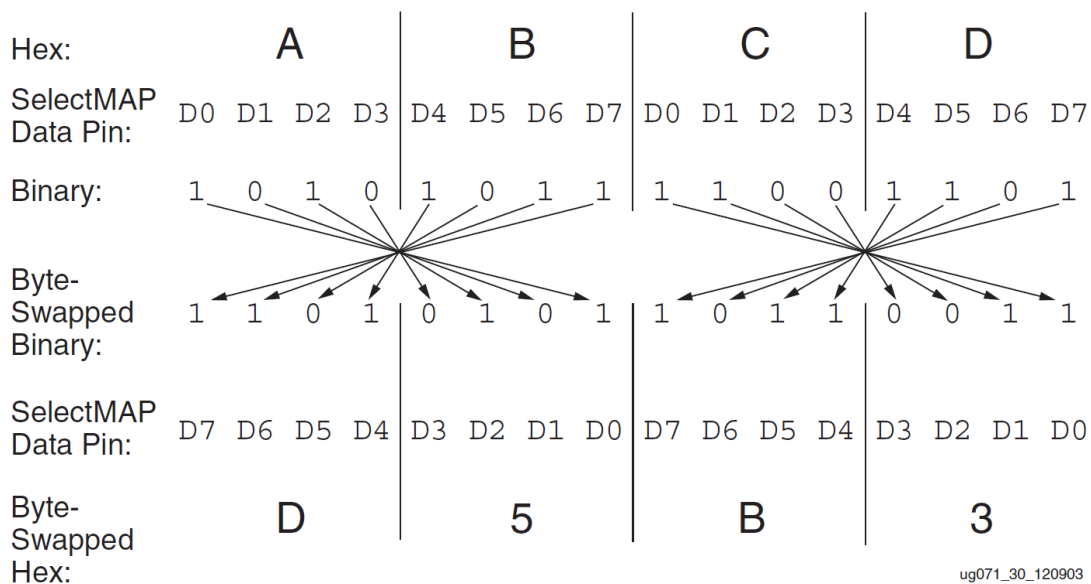


图 11 联动SelectMAP配置

不管是哪种组合方式（交换或者不交换），每个字节的最高有效位，送到D0引脚：使用字节交换的数据，送到D0的是最右边一位。使用字节交换的数据，送到D0的是最左边一位。数据是否需要字节交换，是由具体应用决定，并且只在SelectMAP配置中使用。没有字节交换的数据，用作从串下载。

8 应用建议

8.1 上电时间要求

表 15 上电时间要求

符号	描述	上电时间	单位
t _{VCCINT}	内核电源电压上电时间	0.20 至50.0	ms
t _{VCCAUX}	辅助电源电压上电时间	0.20 至50.0	ms
t _{VCCO}	输出驱动电源电压上电时间	0.20 至50.0	ms

VCCINT、VCCAUX 和 VCCO 这三组电源的上升时间需要处于 200μs 到50ms 之间，并且要求电源单调平滑爬升，没有回钩和台阶。这三组电源没有强制的上电顺序要求，推荐按 VCCINT->VCCAUX->VCCO 顺序上电。

8.2 配置位流大小及配置芯片选择

表 16 位流及配置片选择

型号	位流大小(bit)	配置芯片推荐型号
HWD4VLX25	7,819,904	HWD16P 或 HWD32P
HWD4VSX55	22,749,184	HWD32P
HWD4VLX200	51,367,808	HWD32P+HWD32P

8.3 配置流程及时序

8.3.1 配置流程

HWD4V FPGA 的配置流程如下图所示。1：器件上电，上电顺序按照8.1章节的要求进行上电。2：清除配置寄存器。3：模式管脚采样，FPGA 采样其硬件管脚 M2:M0 的配置模式。4：同步。5：器件 ID 检查。6：加载配置数据。7：CRC 检查。8：启动序列。

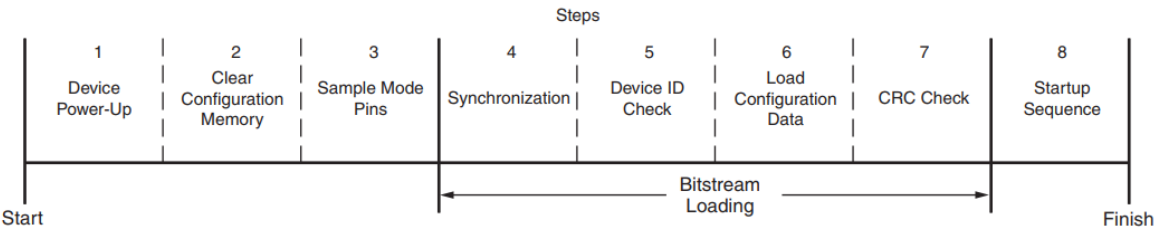


图 12 配置流程

8.3.2 配置时序

串行配置时序如下图所示。

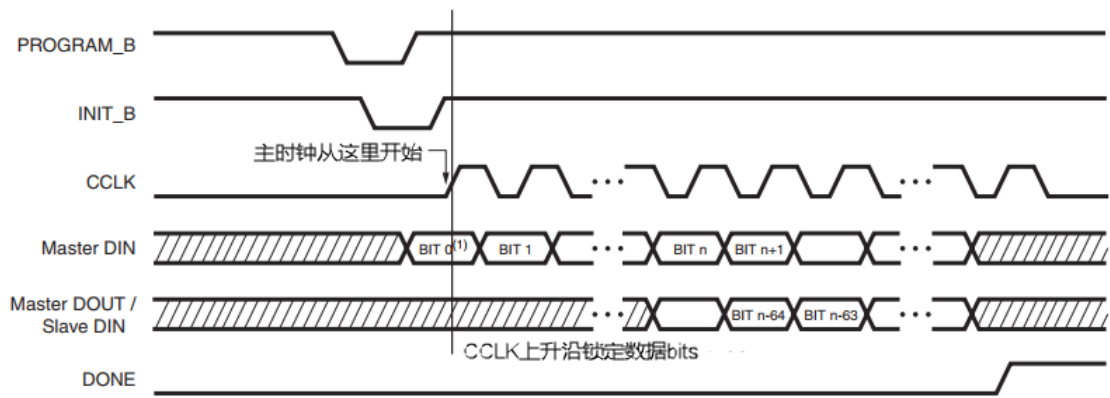


图 13 串行配置时序图

8bit 并行配置时序如下图所示。

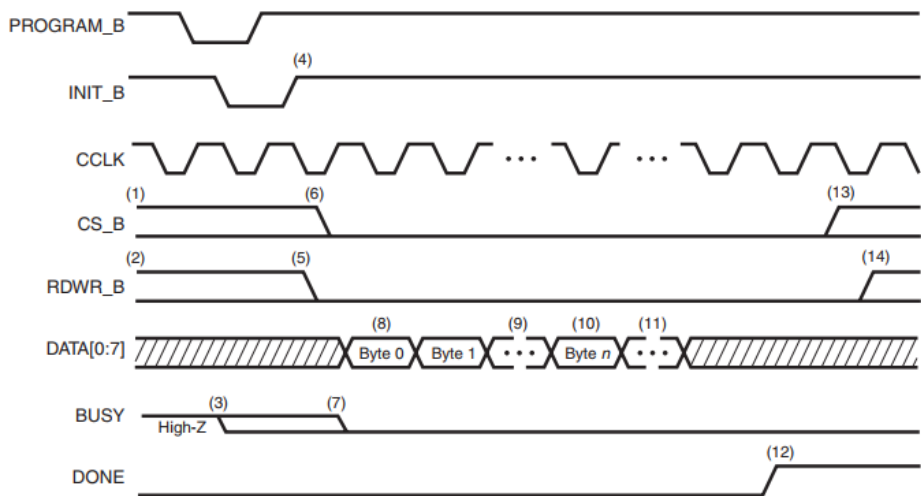


图 14 并行配置时序图

8.4 功耗评估

8.4.1 静态功耗：

请查阅电特性参数表。

8.4.2 动态的功耗分析：

FPGA 的动态功耗与内部电路的运行速度成正比，与翻转点（有电容效应的物理节点）的数量成正比。

若设计程序已经开发好，则一般都是使用 XPower Analyzer 做功耗分析，这样也可以得到较准确的分析结果。

在用户前期还没有完整代码的时候，只能由用户评估未来的代码概貌采用 XPE 工具进行功耗分析：内部最高频率多少，有多少触发器，这些触发器都分别以什么频率翻转，用户获得诸如此类问题的答案，是在没有代码的情况下进行粗略功耗评估的前提条件。

8.5 用户设计余量

为保证用户逻辑设计可以在国产化芯片产品可靠地正常工作， 建议用户在设计过程中预留不少于10% 时钟速度的设计裕度，例如用户逻辑设计预期要工作在 100MHz（时钟周期为10ns）时钟速度下，则建议用户在进行时序约束和布局布线后仿真时将时钟速度设置为110MHz（时钟周期为 10ns x 90% = 9ns）。

8.6 特殊保留引脚连接建议

用户使用时建议将AVDD_SM连接到VCCAUX，AVSS_SM、VREFP_SM、VREFN_SM、VP_SM、VN_SM 引脚接GND使用。

SF363封装：

引脚描述	封装引脚	备注
VREFP_SM	W14	连接到地
VREFN_SM	W15	连接到地
AVDD_SM	W16	连接到 2.5V（共享 VCCAUX 的电源分布网络）
VP_SM	Y14	连接到地
VN_SM	Y15	连接到地
AVSS_SM	Y16	连接到地

FC-BGA668封装：

引脚描述	封装引脚	备注
VREFN_SM	AE15	连接到地
VREFP_SM	AE16	连接到地
AVDD_SM	AF17	连接到 2.5V（共享 VCCAUX 的电源分布网络）
VN_SM	AF15	连接到地
VP_SM	AF16	连接到地
AVSS_SM	AE17	连接到地

9 使用注意事项

- 器件必须采取防静电措施进行操作。
- 该器件操作注意事项如下：
- 器件应在防静电的工作台上操作；
- 试验设备和器具应接地；
- 不能触摸器件引线；
- 器件应存放在导电材料制成的容器中；
- MOS区域内避免使用能引起静电的塑料、橡胶或丝织物。

10 订货信息

表 17 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	引脚材料	重量（g）	详细规范
1	HWD4VLX25-10FF668	FC-BGA668	塑料	军温级	SAC305	6.51	Q/HWD 20398-2018
2	HWD4VLX25-10FF668N	FC-BGA668	塑料	N1 级	SAC305	6.51	Q/HWD 20323-2017
3	HWD4VLX25-A	FC-FBGA363	塑料	军温级	Pb37Sn63	2.17	Q/HWD 20438-2019
4	HWD4VLX25-B	FC-BGA363	塑料	N1 级	Pb37Sn63	2.17	Q/HWD 50041-2021

注1:

- a) N/N1级器件满足GJB 7400A 《合格制造厂认证用半导体集成电路通用规范》N/N1级的筛选要求
- b) 军温级器件满足Q/HWD40020-2018 《华微军温级产品通用规范》的筛选要求，其工作环境温度范围应为-55℃～+125℃。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。