



HWD18V04 系列高速 PROM

产品手册

成都华微电子科技股份有限公司

Chengdu Sino Microelectronics Technology Co., Ltd

成都代徵



版本历史

序号	版次	更改说明	更改单号	更改人	更改日期	备注
1	1.0	初始发行版本	NA	侯柯君	2019/11/24	
2	2.0	1、改为系列产品手册； 2、增加产品订货信息； 3、优化格式 4、公司名称改为“股份有限公司” 5、完善 CQFP44 封装外形尺寸图（增加 Lp 值）	NA	涂屹昆	2021.11.25	
3	2.1	修正 CQFP44 封装的外形尺寸与详细规范一致	NA	涂屹昆	2021.12.7	

目 录

1 产品用途及应用范围	1
2 标准.....	2
2.1 总规范	2
2.2 检测试验机构及检测试验报告编号	2
3 产品特点	3
3.1 产品功能	3
3.2 产品外形、结构、装配使用等特点	3
3.2.1 产品结构.....	3
3.2.2 产品特点.....	4
3.3 产品材料和工艺	5
3.3.1 工艺结构.....	5
3.3.2 引线材料和涂覆.....	5
4 外形图和实物图片	6
4.1 产品外形图	6
4.2 产品实物图	7
5 引出端排列方式	9
6 性能指标	11
6.1 绝对最大额定值	11
6.2 推荐工作条件	11
6.3 电特性	11
7 典型应用线路图	13
7.1 HWD18V04 配置 FPGA 连接.....	13
7.2 FPGA 主串模式概要	13
7.3 级联配置概要	14
7.4 初始化 FPGA 配置	14
7.5 选择配置模式	15
7.6 8MB 模式的使用方法.....	22
7.7 配置存储要求	22
8 操作规程及注意事项	23
9 产品订货信息	24
10 研制生产单位	25
11 附录.....	26
11.1 CSMT JTAG PROGRAMMER 使用手册	26
11.2 MCS2SVF 软件使用说明.....	30

1 产品用途及应用范围

HWD18V04 系列华微公司推出的军品级 3.3V 可重写 PROM，内存大小为 4Mbit，其通常模式下为 4Mbits 容量，通过专用指令可扩展为 8Mbits 使用，兼容 IEEE1532 在系统编程标准，可利用 JTAG 端口在系统编程。可以在系统工作环境中编程配置 Flash。在全温系统范围工作要求下，以可靠的非易失性方式来存储大量的 FPGA 配置数据流。

当 FPGA 在主串行模式（Master Serial mode）下工作时，FPGA 提供一个时钟 CCLK(configurationclock)驱动 HWD18V04MCQFP44，CCLK 上升沿后的一小段时间后，PROM 的 D0 管脚上（该管脚与 FPGA 上的 Din 相连）的数据是有效的，FPGA 产生适当的时钟脉冲来完成配置；当 FPGA 在从串行模式(Slave Serial mode)下工作时，PROM 和 FPGA 的时钟都由外部提供。

当 FPGA 在 SelectMAP mode(Slave)模式下工作时，外部的晶振产生时钟，从而驱动 PROM 和 FPGA 工作。在时钟上升沿时，PROM 的 D[7: 0]的数据是有效的，在接下来的时钟上升沿，数据将被锁存进 FPGA。

通过 CEO 端输出驱动第二个 PROM 的 CE 端，我们可支持多个 PROM 一起使用，从而增加存储容量，这些 PROM 的时钟和数据均连接在一起，并且这些 PROM 能够和其他类型的 PROM 保持协调。

2 标准

2.1 总规范

GB/T7092-1993	半导体集成电路外形尺寸
GB/T17574-1998	半导体器件集成电路
GJB548 B-2005	微电子器件试验方法和程序
GJB597B-2012	半导体集成电路通用规范
GJB7400-2011	合格制造厂认证用半导体集成电路通用规范

2.2 检测试验机构及检测试验报告编号

产品型号	检测机构	报告编号
HWD18V04MCQFP44	JY 电子元器件广州检测中心	MEA191411
HWD18V04ETQFP44	成都华微检测工程部	SX211136

3 产品特点

3.1 产品功能

该器件是一款高性能的 PROM 芯片，具备先进的在系统编程和测试能力。其通常模式下为 4Mbits 容量，通过专用指令可扩展为 8Mbits 使用，兼容 IEEE1532 在系统编程标准，可利用 JTAG 端口在系统编程。同时该芯片具有加密、配置串并行输出功能。芯片最高工作频率达 33MHz。替代产品信息如下：

本公司产品	替代产品	替代产品公司	替代产品国别
HWD18V04	XQ18V04	Xilinx	美国

3.2 产品外形、结构、装配使用等特点

3.2.1 产品结构

HWD18V04MCQFP44 整体架构如下图所示：

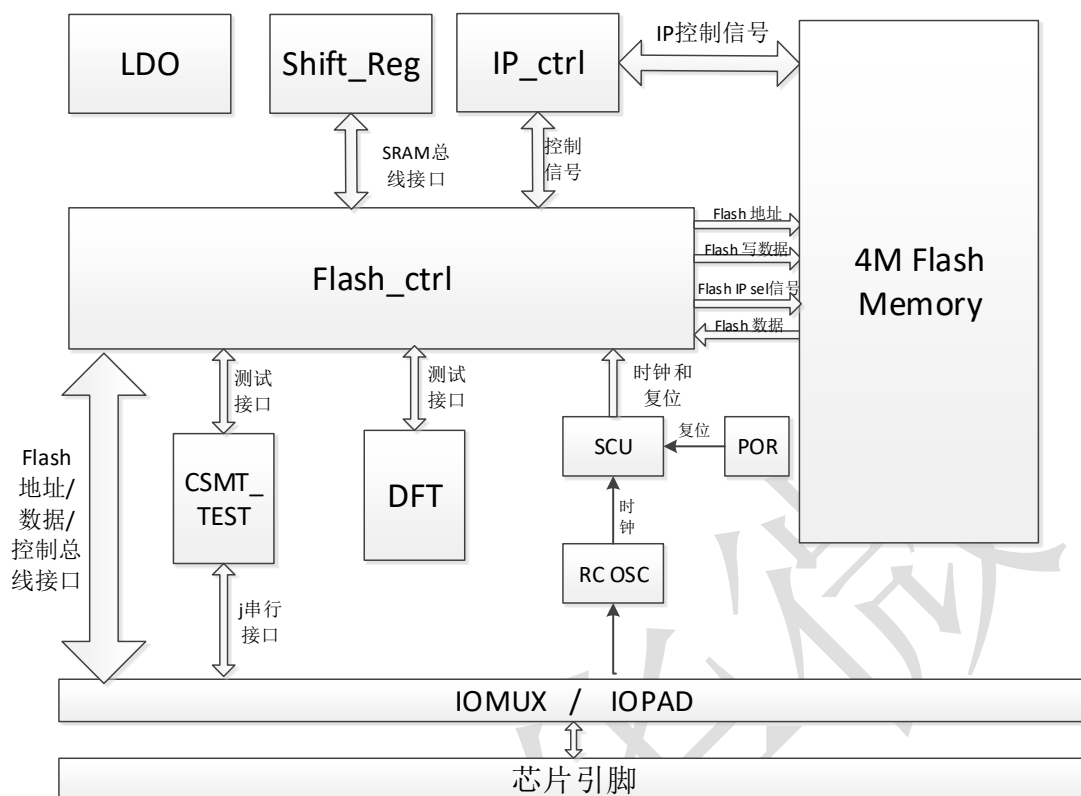


图 1 功能模块图

3.2.2 产品特点

- 正常工作温度范围：-55℃ ~ +125℃
- 低供电可编程存储器 CMOS 能够有效抑制静态噪声干扰
- FPGAs 正常工作电源电压为 3.3V
- 提供 10,000 次可编程/擦除能力
- 符合 IEEE Std 1149.1 边界扫描 (JTAG) 标准
- 两种配置模式：
- 慢/快串行配置模式，频率最高达到 20 Mhz
- 并行配置模式在 20 Mhz 时数据传输速度达到 160Mbps
- I/O 电压耐压最大为 5V，同时允许 3.3V 和 2.5V 的信号输入与输出
- 输出电压具有 3.3V 和 2.5V 的驱动能力
- 芯片的封装为 CQFP-44
- 支持 Xilinx ISE 软件（8Mb 模式下需要结合使用成都华微自研软件）

3.3 产品材料和工艺

3.3.1 工艺结构

该电路为 90nm, CMOS 工艺, 电路规模数为 40 万门数。

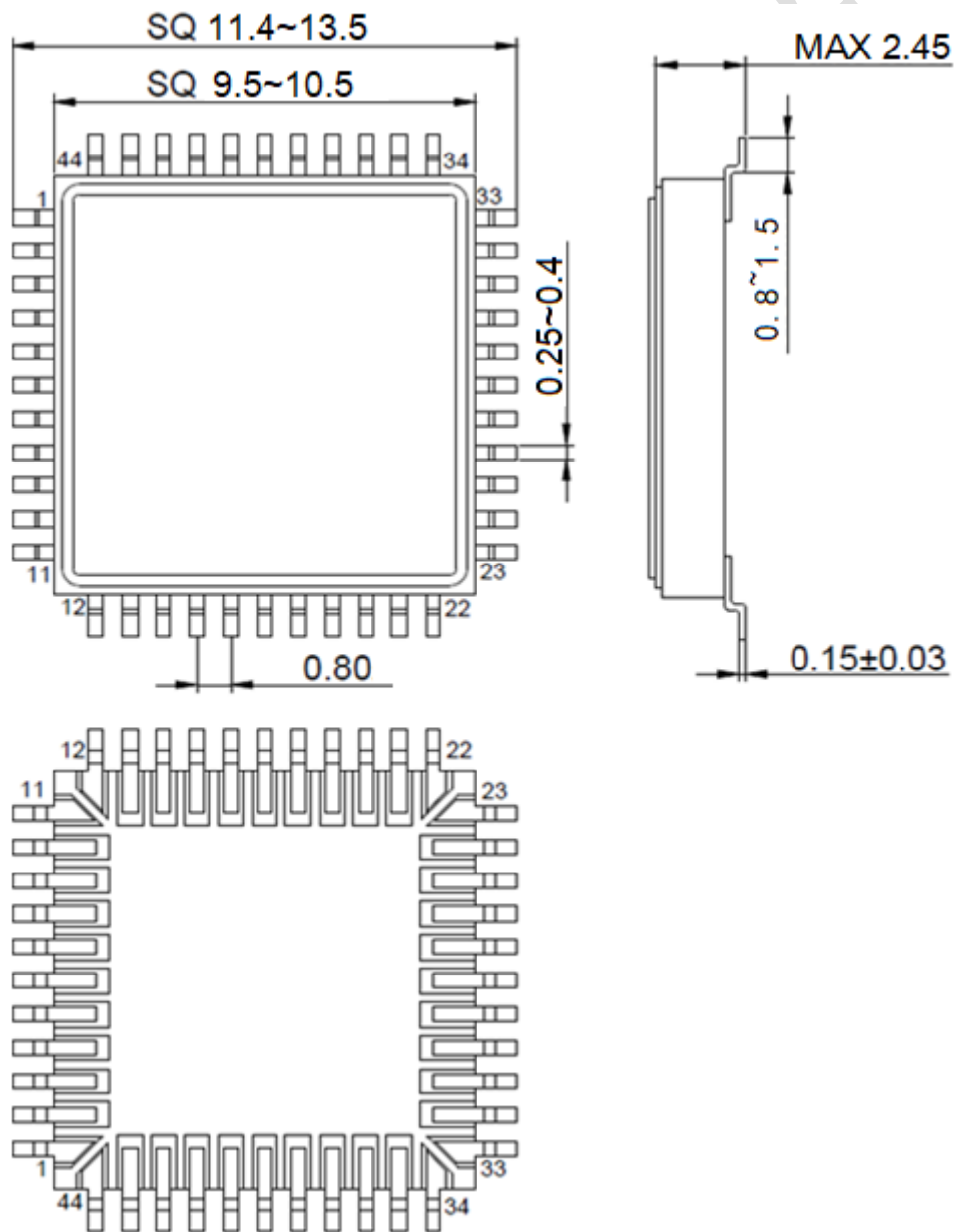
3.3.2 引线材料和涂覆

引线材料应按 GJB 597B-2012 中 3.5.7 的规定。引线材料为可伐合金, 镀镍镀金。

4 外形图和实物图片

4.1 产品外形图

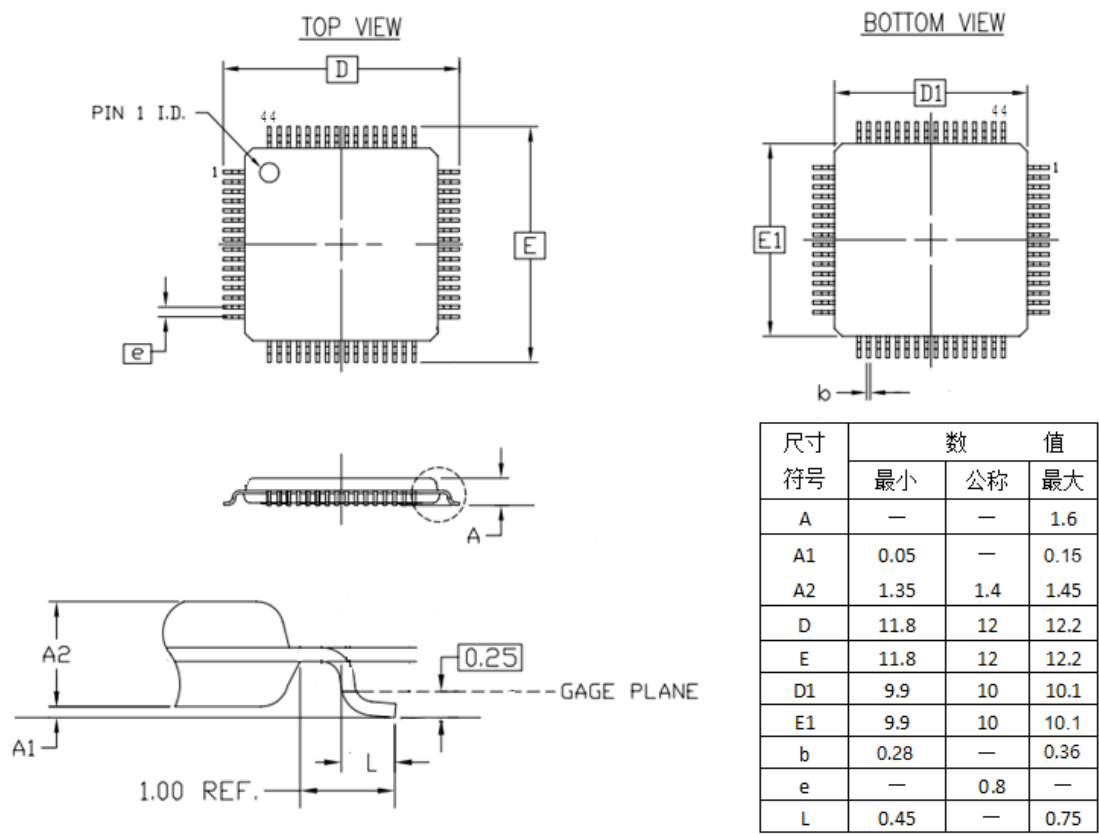
CQFP44 封装外形尺寸参照 GB/T 7092-1993 的规定，外形如下所示。



单位为毫米

图 2 CQFP44 外形尺寸图

TQFP44 封装外形尺寸参照 GB/T 7092-1993 的规定，外形如下所示。



单位为毫米

图 3 TQFP44 外形尺寸图

4.2 产品实物图



图 4 HWD18V04MCQFP44 实物图

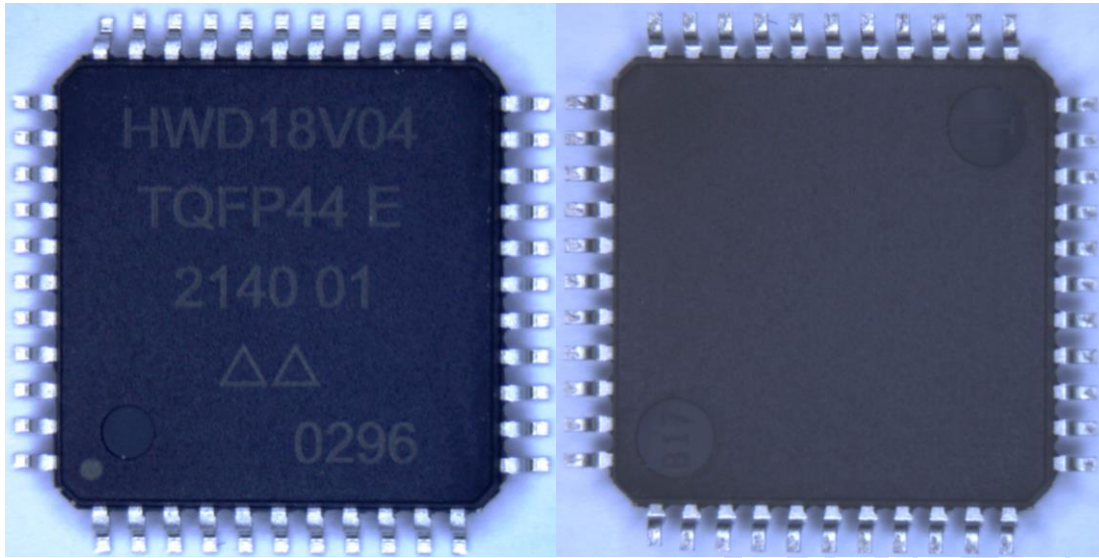


图 5 HWD18V04ETQFP44 实物图

5 引出端排列方式

引出端排列应按图 4（俯视）的规定。

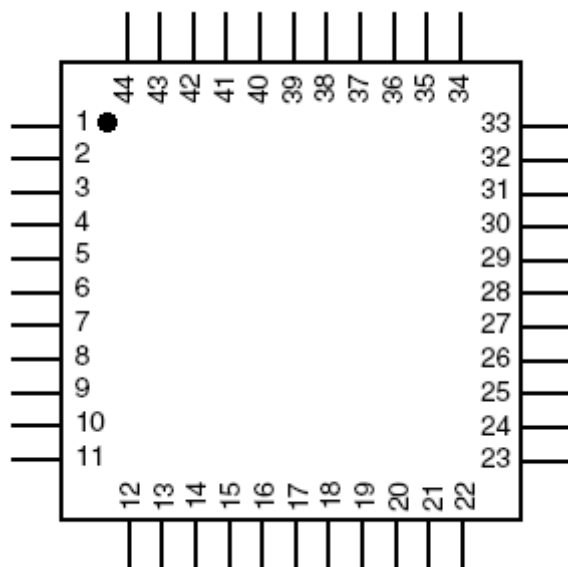


图 6 封装引脚排列俯视图

表 1 封装管脚定义

引出端序号	符号	功 能	引出端序号	符号	功 能
1	NC	悬空管脚	23	NC	悬空管脚
2	NC	悬空管脚	24	NC	悬空管脚
3	TID	JTAG 测试数据输入	25	D5	并行数据输出 D5 位
4	NC	悬空管脚	26	V _{CCO}	IO 电源
5	TMS	JTAG 测试模式	27	D3	并行数据输出 D3 位
6	GND	地	28	GND	地
7	TCK	JTAG 测试时钟	29	D1	并行数据输出 D1 位
8	V _{CCO}	IO 电源	30	NC	悬空管脚
9	D4	并行数据输出 D4 位	31	TDO	JTAG 测试数据输出
10	/CF	配置信号	32	NC	悬空管脚
11	NC	悬空管脚	33	NC	悬空管脚
12	NC	悬空管脚	34	NC	悬空管脚

引出端序号	符号	功 能	引出端序号	符号	功 能
13	OE/RE SET	输出使能信号 / 复位信号	35	V _{CCINT}	内部逻辑电源
14	D6	并行数据输出 D 位	36	V _{CCO}	IO 电源
15	/CE	使能信号	37	NC	悬空管脚
16	V _{CCO}	IO 电源	38	V _{CCINT}	内部逻辑电源
17	V _{CCINT}	内部逻辑电源	39	NC	悬空管脚
18	GND	地	40	D0	数据输出 D0 位
19	D7	并行数据输出 D7 位	41	GND	地
20	NC	悬空管脚	42	D2	并行数据输出 D2 位
21	/CEO	芯片使能输出信号	43	CLK	时钟信号
22	NC	悬空管脚	44	NC	悬空管脚

6 性能指标

6.1 绝对最大额定值

电源电压.....	-0.5V~4.0V
对地直流输入电压 (V_{IN})	-0.5V~3.6V
对地三态输出电压 (V_{TS})	-0.5V~3.6V
功耗 (P_D)	100mW
储存温度 (T_{stg})	-65℃~+150℃
最大焊接温度 (T_h)	300℃ (10s)
结温 (T_J)	175℃

6.2 推荐工作条件

电源电压 (V_{CCINT}/V_{CCO})	3.0V~3.6V
低电平输入电压 (V_{IL})	0V~0.8V
高电平输入电压 (V_{IH})	2.0V~ V_{CCO}
工作环境温度 (T_A)	-55℃~125℃

6.3 电特性

除另有规定外，电特性应按表 3 规定，并适用于全工作温度范围-55℃
 $\leq T_A \leq 125^\circ\text{C}$ ，参考 GB/T 17574-1998 进行测试。

表 2 电特性

特 性	符号	条 件 除另有规定外 $V_{CCINT}=V_{CCO}=3.3V$ $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
输出高电平电压	V_{OH}	$I_{OH}=-4.0mA$	2.5	—	V
输出低电平电压	V_{OL}	$I_{OL}=4mA$	—	0.45	V
最大输出驱动电流	I_{OL}	—	4	—	mA
输入高电平电压	V_{IH}		2.0	—	V
输入低电平电压	V_{IL}		—	0.8	V
输入漏电流	I_I	$V_{IN}=GND$ 或 V_{CCO}	-20	+20	μA
输出高阻漏电流	I_{OZ}	$V_{IN}=GND$ 或 V_{CCO}	-20	+20	μA
电源电流	I_{CC}	不带负载, $f=1MHz$	—	25	mA
OE/RESET_到数据输出延迟	t_{OE}	$f=1MHz$	—	20	ns
CE_到数据输出延迟	t_{CE}	$f=1MHz$	—	20	ns
CLK_到数据输出延迟	t_{CO}	$f=1MHz$	—	30	ns
最高工作频率	f_C		33	—	MHz
功能测试		电源电压=3.3V, 按编制的测试程序进行功能测试。	—		

7 典型应用线路图

7.1 HWD18V04 配置 FPGA 连接

- HWD18V04 的 DATA 输出驱动主 FPGA 芯片的 Din 端；
- 主 FPGA CCLK 的输出驱动 HWD18V04 在 CLK 端(在主串与主并模式下)；
- 在菊花链模式下，HWD18V04 的 CEO 输出驱动下一个 HWD18V04 的 CE 端；
- HWD18V04 的 RESET 输入端最好被主 FPGA 芯片的 INIT 端驱动。这个连接保证了 HWD 18V04 的内部地址计数器在任何情形下的配置之前复位，甚至在一个因 Vcc 毛刺而引发前面描述的情况。
- 如果主 FPGA 芯片的 DONE 端不是被恒定接地的情况，那么菊花链中的第一个 HWD 18V04（或者仅有的一个 HWD18V04）的 CE 输入端可由主 FPGA 芯片的 DONE 输出端驱动。HWD18V04 的 CE 端也可被恒置为低电平，这样的操作方法会使数据输出一直有效并会产生一个不必要的、最大为 20mA 的电流。
- 在串行配置模式下，D1-D7 管脚会处于高阻状态，此时 D1-D7 可以被悬空。
- SelectMap 模式类似于从并行配置模式。数据的频率是每一个 CCLK 发送一个 BYTE 的数据，而不是每一个 CCLK 发送一个 BIT 的数据。具体参照 FPGA 的数据表的特殊配置要求。

7.2 FPGA 主串模式概要

FPGA 的可配置逻辑模块（CLB）的 I/O、逻辑功能块、以及它们的相互连结由配置程序确定。板块在上电过程中自动完成程序的载入，也可依靠指令——

FPGA 的三个模式引脚的状态来决定。在主串模式下，FPGA 自动地从外部存储器中装载配置数据。HWD18V04 设计成直接与 FPGA 的主串模式兼容的。

在启动或重配置时，只要当 FPGA 的三个模式选择引脚都为低电平时（M0=0,M1=0,M2=0），FPGA 进入主串模式。数据从 HWD18V04 的一根数据线上被串行地读出。HWD18V04 和 FPGA 是靠配置过程中产生的时钟信号 CCLK 的上升沿来同步的。

主串模式提供了一个简单的配置接口。只有一条串行数据线和两条控制线来对 FPGA 进行配置。在每个有效 CCLK 上升沿处内部地址和位计数器计数，数据在计数器的控制下从 HWD18V04 中串行地读出。

如果 FPGA 上的用户可编程双向 Din 引脚仅被用来做配置用（在通常操作中它必须被保持在一个固定的电平上），FPGA 通过芯片内部的缺省的上拉电阻来自动的解决这个问题。

7.3 级联配置概要

当用串行或并行对多个 FPGA 进行配置，或者单个 FPGA 需要较大的配置数据量时，级联 PROM 可以提供更大的存储空间。可以用前一片 PROM 的 CEO 驱动后一片 PROM 的 CE 管脚来对多个 HWD18V04 进行级联。所有级联的 HWD18V04 的时钟与数据管脚都会被连在一起。当第一片 PROM 的最后一个数据输出之后，在下一个时钟 PROM 会把 CEO 管脚置为低电平，并把数据管脚驱动为高阻态，然后第二片 PROM 的 CE 管脚变为低电平，从而配置数据输出。

当配置完成之后，OE/RESET 变低电平或 CE 变为高电平都会使所有级联 PROM 的地址复位。

7.4 初始化 FPGA 配置

HWD18V04 包含了一个可通过 JTAG 指令控制的 CF 管脚，HWD18V04 可通过 CF 端向 FPGF 发送可从新配置大约 500ns 的低脉冲，可以复位 FPGA 并重新开始配置 FPGA。HWD18V04 的 CF 引脚必须连接 FPGA 的 PROGRAM 引脚才能使用此功能。

7.5 选择配置模式

HWD18V04 可选择串行和并行配置模式，改变配置模式通过改变芯片中的控制寄存器来实现，在运用时可以通过 Xilinx iMPACT 软件改变配置模式（串行或并行），该 FPGA 默认为串行模式。

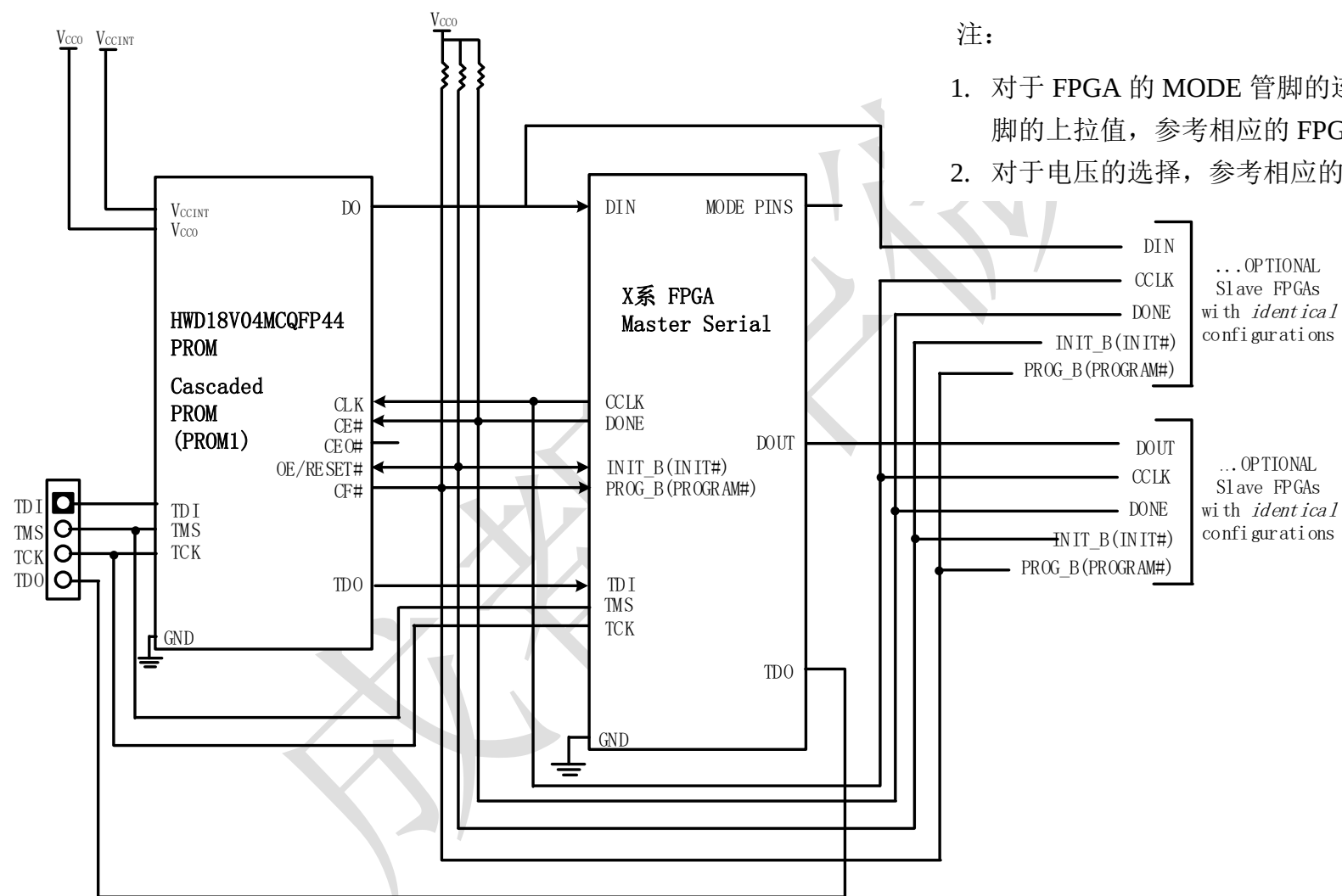


图 7 主串模式

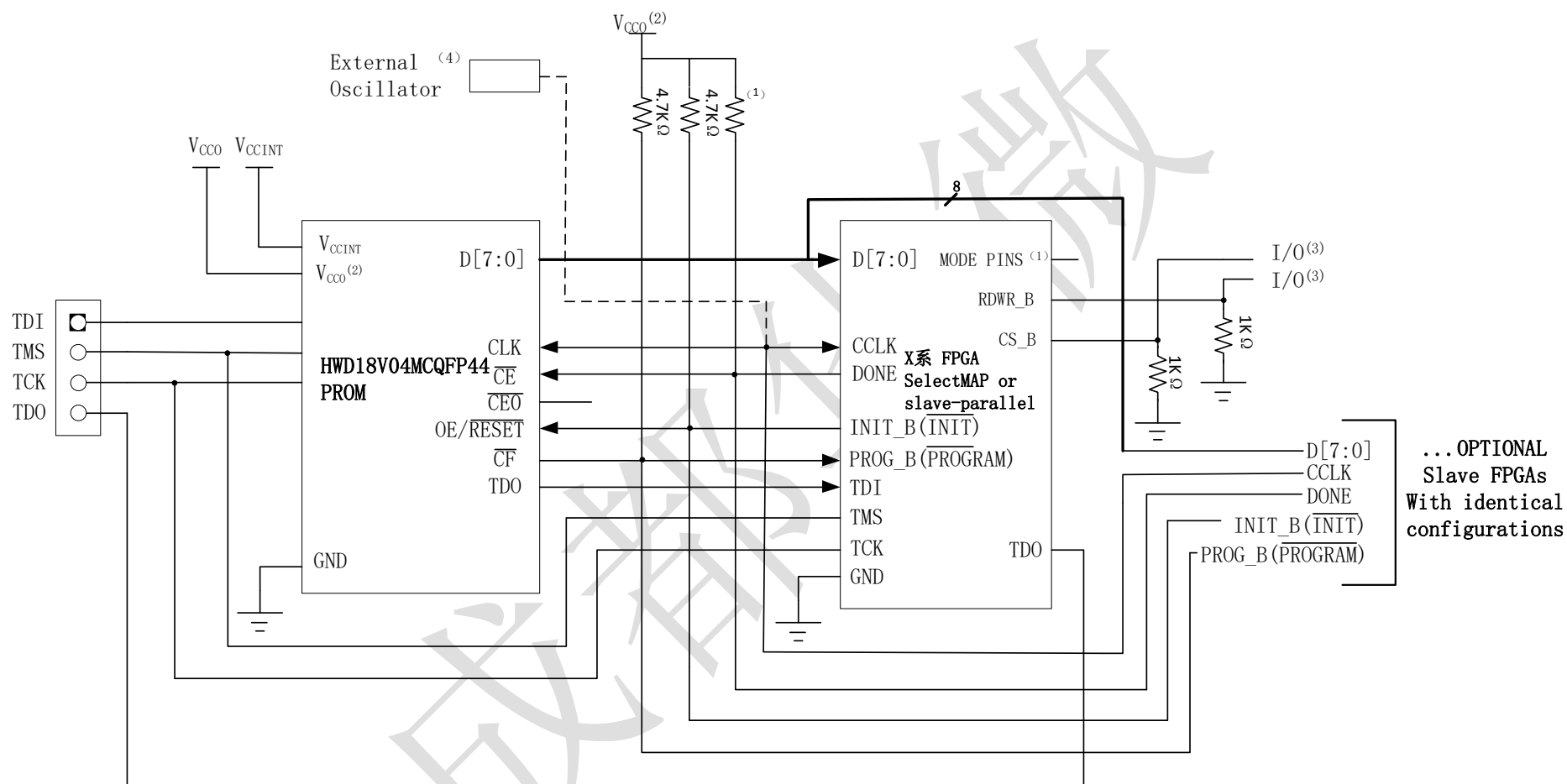


图 8 主/从 SelectMAP 或并模式

注:

1. 对于 FPGA 的 MODE 管脚的连接和 DONE 管脚的上拉值, 参考相应的 FPGA 手册。
2. 对于电压的选择, 参考相应的数据手册。
3. CS_B (or CS) and RDWR_B (or WRITE) 引脚必须要被驱动为低电平, 或者被下拉。
4. 对于 Virtex/Virtex-E 的 SelectMAP 配置模式, Virtex-II/Virtex-II Pro 的从 SelectMAP 配置模式, 以及 Spartan-II/Spartan-IIE 的 从并配置模式, 需要外部晶振

注：

- 1. 对于 FPGA 的 MODE 管脚的连接和 DONE 管脚的上拉值，参考相应的 FPGA 手册。
- 2. 对于电压的选择，参考相应的数据手册。

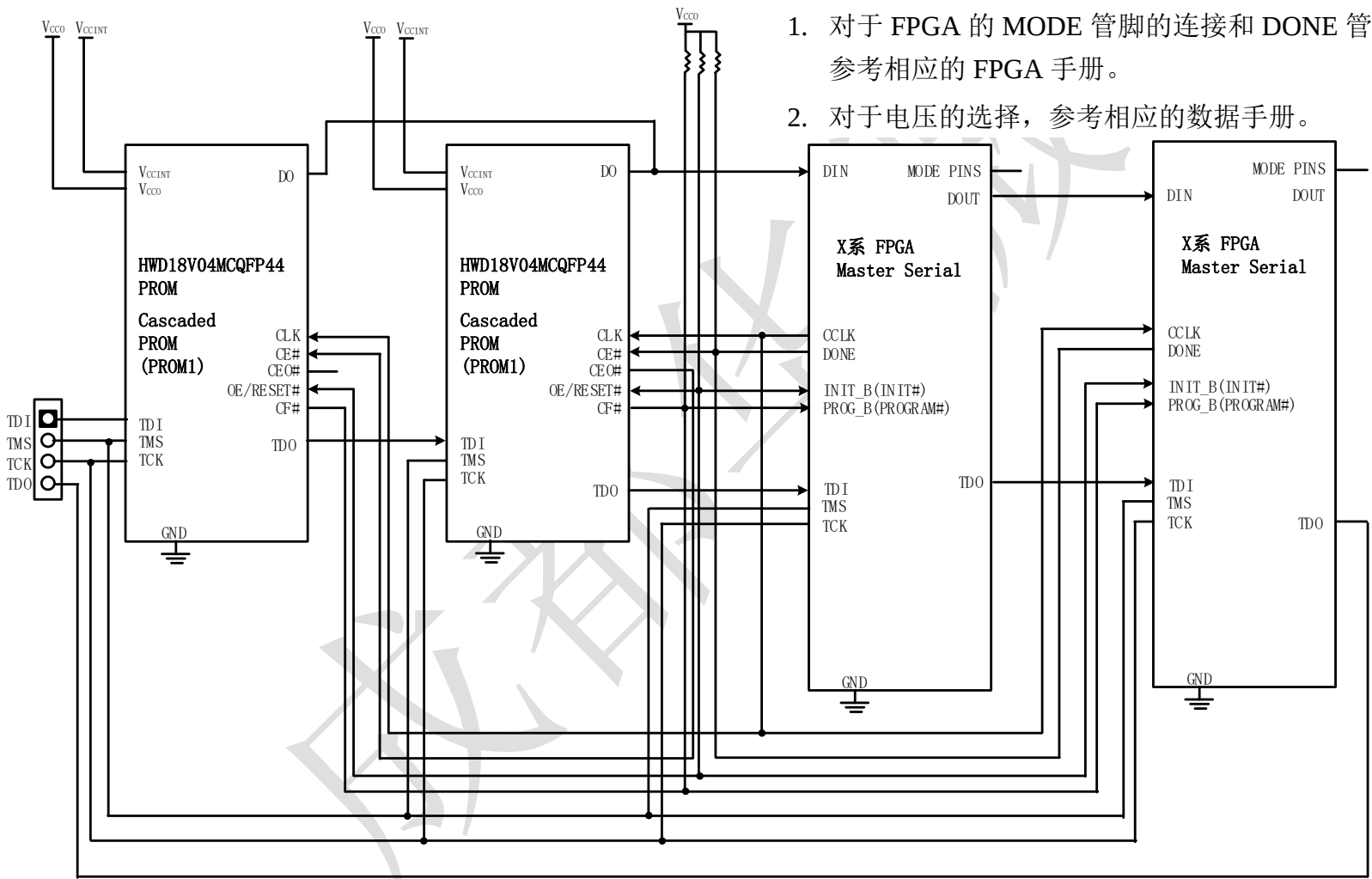


图 9 主/从串模式配置多个器件

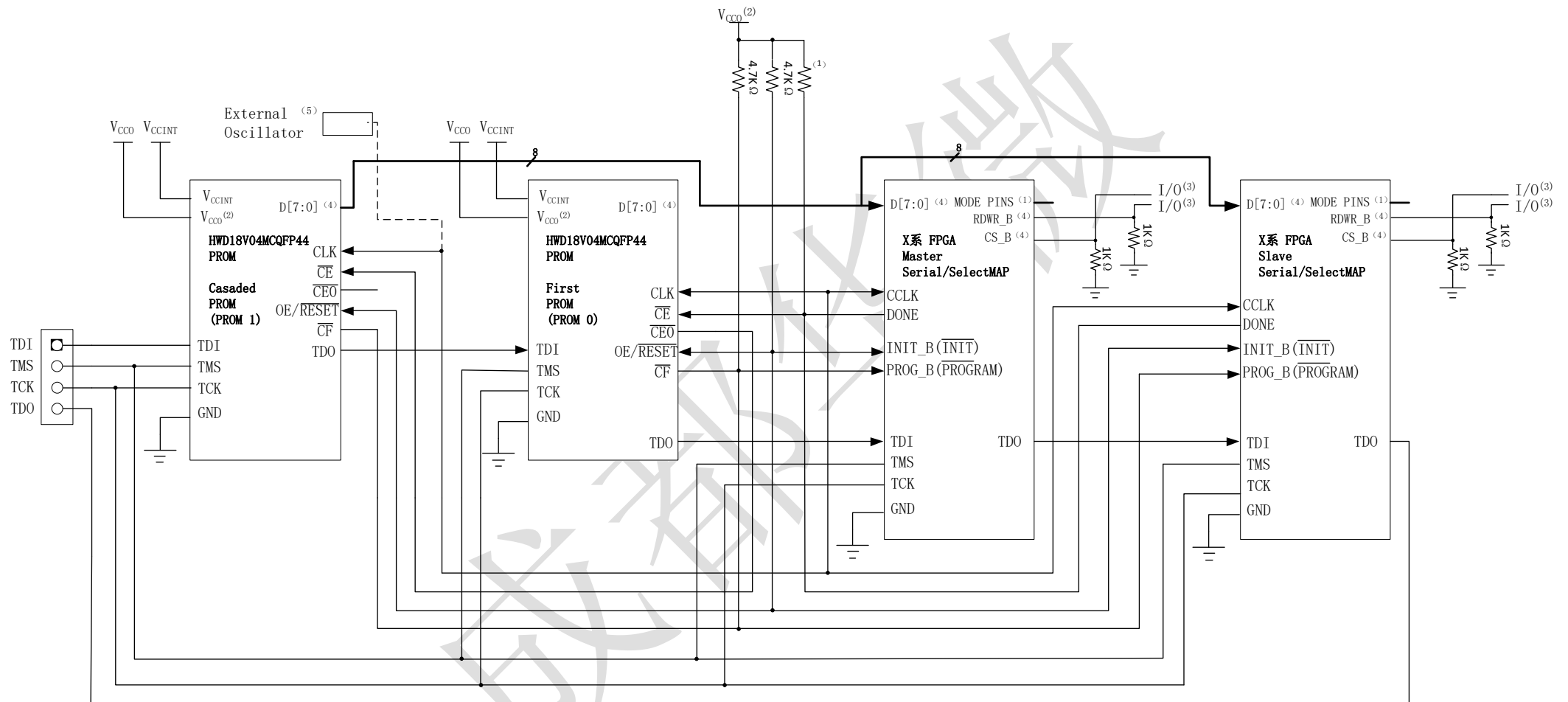


图 10 用主/从串，主/从 SelectMAP 或主/从并等同一种配置方式配置多个器件

注：

1. 对于 FPGA 的 MODE 管脚的连接和 DONE 管脚的上拉值，参考相应的 FPGA 手册。
2. 对于电压的选择，参考相应的数据手册。
3. 对于 SelectMAP 模式，CS_B (or CS) and RDWR_B (or WRITE)必须要被驱动为低电平，或者被下拉。
4. 串行模式不需要 D[7:1], CS_B 与 RDWR_B 等管脚连接。
5. 当 CLK 没有被 FPGA 在主模式下提供时，需要外部的晶振。

7.6 8Mb 模式的使用方法

8Mb 模式需要通过 JTAG 端下发指令将芯片设置为 8Mb 的存储容量。

同时需要结合成都华微自研的软件和 ISE 的使用，完成对 Flash 的操作，详细操作参考“mcs2svf 软件使用说明”和“CSMT JTAG programmer 使用手册.doc”。

7.7 配置存储要求

表 3 FPGA 配置存储要求

FPGA 器件	配置比特数	4Mb 模式	8Mb 模式
HWD2V1000	3,752,736	1	1
HWD2V3000	9,594,656	3	2
HWD2V6000	19,759,904	5	3

表 4 HWD18V04MCQFP44 存储能力

器件	配置比特数（4Mb）	配置比特数（8Mb）
HWD18V04	4,194,304	8,388,608

8 操作规程及注意事项

对芯片的输入输出操作时序按照芯片的使用说明书定义，本节主要针对焊接、调试过程注意事项。

运输过程都采用了防静电包装，但在焊接前后到调试完成板子装配到机箱整个过程如不注意，也会造成经典的损伤，使得集成电路的可靠性下降。因此需要注意以下几点：

（1）开启包装要在防静电的场所，特别是天冷、干燥的季节，操作人员有意识的释放身体的静电。相信很多人在干燥寒冷的时候有被门把手打到的情况，此时静电可以上万伏，一般的集成电路是承受不乐的。如何释放静电？有条件的可以吹粒子风，佩戴防静电手腕等，没有条件的可以通过触摸接了地的计算机机箱来释放。

（2）焊接人员要在防静电台面上操作，即使带了防静电手腕，拿芯片不要触摸引脚，更不允许无意接触衣物、普通塑料等易产生静电的物品，包装芯片一定要用专用的防静电袋。电烙铁要求防静电。

（3）调试人员在测试调节过程中注意衣物等高静电物品不要接触印制板和元器件，手拿印制板时尽量拿边缘。

（4）测试设备和芯片供电不共地要十分小心，累计的电位差可能会产生放电。

9 产品订货信息

产品型号	封装形式	引线材料	封装类型	尺寸（mm）	重量	详细规范号	质量等级
HWD18V04MCQFP44	CQFP44	镀金	气密性封装	13*13*2.15	≤0.85g	Q/HWD 20435-2019	GJB597B-2012 B 级
HWD18V04ETQFP44	TQFP44	镀锡	非气密性封装	12*12*1.6	≤0.4g	Q/HWD 50158-2021	成都华微企业标准 军温级

10 研制生产单位

研制生产单位：成都华微电子科技股份有限公司

邮政编码：610041

通讯地址：成都市高新区益州大道中段 1800 号天府软件园 G1 号楼 22 层

联系电话：028-85177737-8206

网 址：www.csmc.com

11 附录

11.1 CSMT JTAG Programmer 使用手册

一、安装使用注意事项

硬件

本软件目前仅支持并口下载电缆。使用时，并口下载电缆一端接在 PC 机的并口（一般是 LPT1 口）上，一端与相应芯片上的 JTAG 编程脚相连，具体连接方式请参考电缆说明。

1. 安装环境

操作系统：Windows 2000 及以上版本。

安装、使用时必须具有系统管理员权限。

运行 CSMT_JTAGProgrammer_setup.exe，按照提示选择合适的路径以完成安装。

2. 支持器件

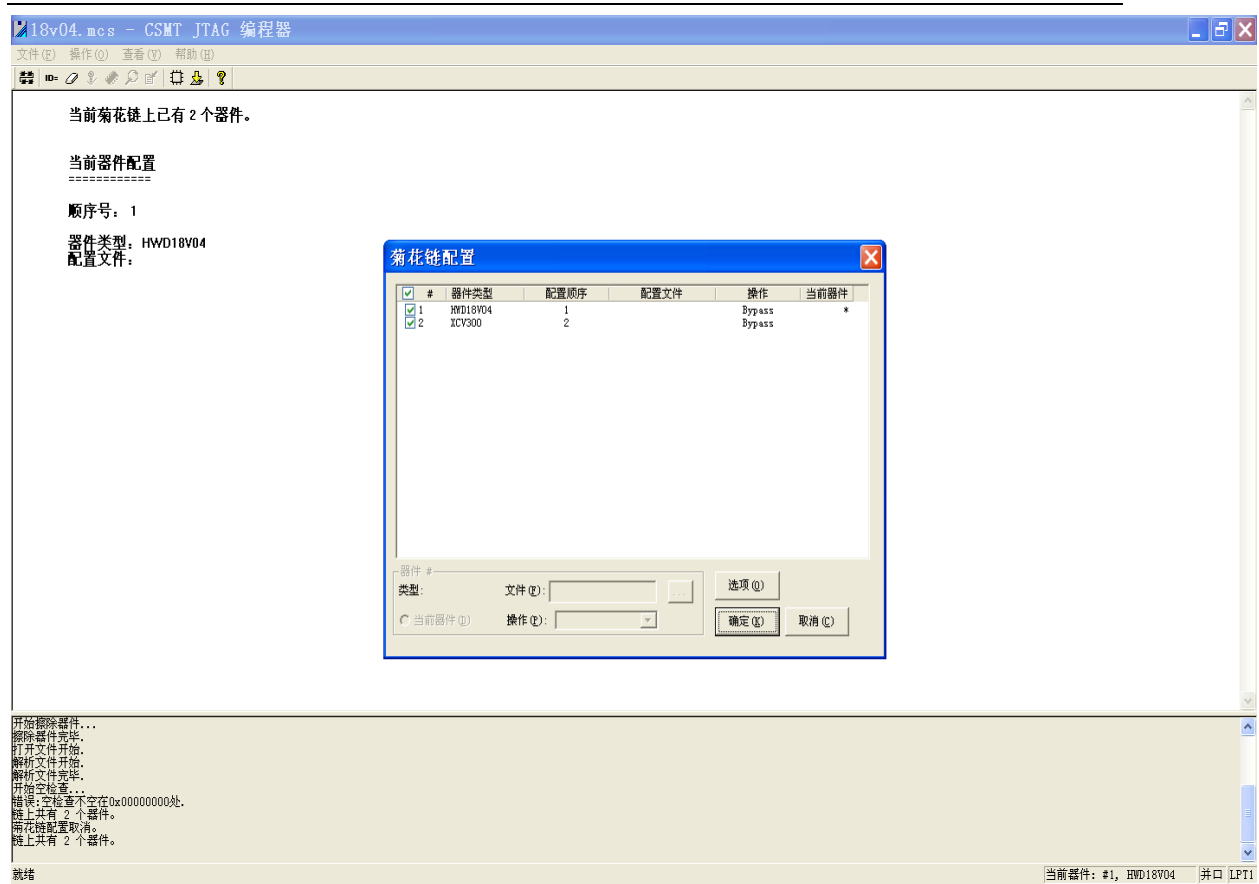
HWD1400 系列 CPLD——请使用 CPLD 版编程软件

HWD18V04 E2PROM——请使用 HWD18V04 级联专用版

支持 Xilinx Virtex 系列 FPGA 级联显示（可以识别该系列 FPGA 并读取 Device ID 和 User ID，暂不支持直接编程）

二、启动

启动软件后的界面如下图所示：



附录图 1 软件的启动画面

三、使用指南

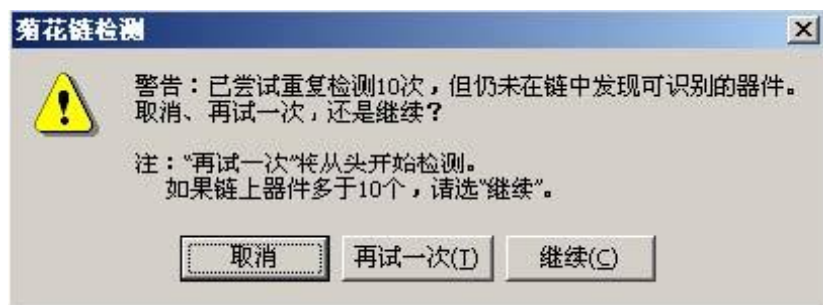
1. 启动

启动后，程序将自动检查菊花链。菊花链检查时，当发生如下情况时，将弹出“菊花链检测警告消息框”（如图 2 所示）：

器件未上电；

链上没有可识别器件；

器件数目超过程序默认值（10 个）。



附录图 2 菊花链检查警告消息

如果菊花链检查通过，那么将弹出“菊花链配置对话框”对菊花链进行配置。
如下图所示：



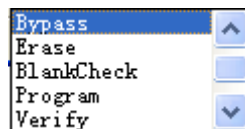
附录图 3 菊花链配置对话框

2. 擦除、编程

此软件支持 MCS 配置文件格式。

配置 Flash 器件，点击选择文件按钮  时，弹出文件选择框，用户指定 MCS 文件。

选择如下操作：Bypass、Erase、Blankcheck、Program、Verify，如图 4 所示。（注：现软件只能执行 Bypass、Erase、Program）



附录图 4 操作的下拉菜单

选项：单击“选项”按钮将弹出“编程选项对话框”。图 5 是设置加密位、串并转换位等选项。



附录图 5 HWD18V04 编程选项对话框

擦除：选中菜单命令【操作→擦除】或单击按钮来执行擦除操作。

编程：选中菜单命令：【操作→编程】或单击按钮来执行编程操作。在执行编程操作时会弹出“编程选项对话框”（如图 5 所示）。编程完成会弹出图 6 所示对话框。



附录图 6 HWD18V04 编程完成

3. 工具栏参考：

 初始化菊花链

 读当前器件的厂商 ID

 块擦除

 编程

 配置菊花链

11.2 mcs2svf 软件使用说明

mcs2svf 版软件在 HWD18V04 的 8M 编程版基础上开发，在菜单栏的操作选项内增加 MCS 转 SVF 栏。

1. MCS 转 SVF 无需连接下载电缆和器件都可使用。
2. 级联调整：在安装目录下找到配置文件 cascade.cfg 修改之后生成的级联信息。
3. 支持一个单独 4M 的 MCS 数据生成 SVF（单独载入文件 1 后点击生成），或两个 4M 的 MCS 生成一个 8M 的 SVF 数据文件（文件 1 和文件 2 都载入后点击生成）。
4. 可生成含串行或并行编程模式的 SVF 文件。