



HWD32P 型 FPGA 配套存储器

产品手册

Ver3.2

成都华微电子科技股份有限公司

版本历史

版次	更改说明	更改单号	更改人	更改日期	备注
V1.00	初始发行版本	NA	阙小茜	2015/3/3	
V2.00	添加 FBGA 产品资料修改订货信息	NA	阙小茜	2016/5/3	
V3.00	完善封装外形尺寸信息及电源供电顺序要求	NA	阙小茜	2019/3/25	
V3.1	1) “HWD32P 应用” 章节中数据保存时间由 10 年改为 20 年并增加了室温下的条件； 2) 公司名称改为“股份有限公司”。	NA	阙小茜	2021/12/21	
V3.2	FBGA48 封装尺寸 A 值增加最小值数据	NA	涂屹昆	2022/01/09	

产品概述

成都华微电子科技有限公司的 HWD32P，存储容量为 32Mbits，支持主串、从串、主并和从并的 FPGA 配置模式。pin to pin 兼容 Xilinx XCF32PVO48C 配置芯片。

特点如下：

- 在线可编程 PROM 可对 Xilinx 及兼容 FPGAs 进行配置
- 最新低功耗 CMOS NOR flash 结构
- 支持大于 20,000 次可编程/擦除循环
- 满足军品温度等级-55° C 至+125 ° C
- 支持 IEEE 1149.1/1532 协议
- JTAG 命令可初始化 FPGA 配置
- 支持多片级联存储较长的比特流
- 支持 JTAG 边界扫描的专用 I/O 电压（VCCJ）
- 核心电压为 1.8V，I/O 电源电压为 3.3V/2.5V/1.8V
- 设计版本技术允许存储和访问最多四个配置版本
- 硬件数据解压缩支持 Xilinx 最新的压缩技术

原理框图

HWD32P 工作平台框图如下图 1 所示：

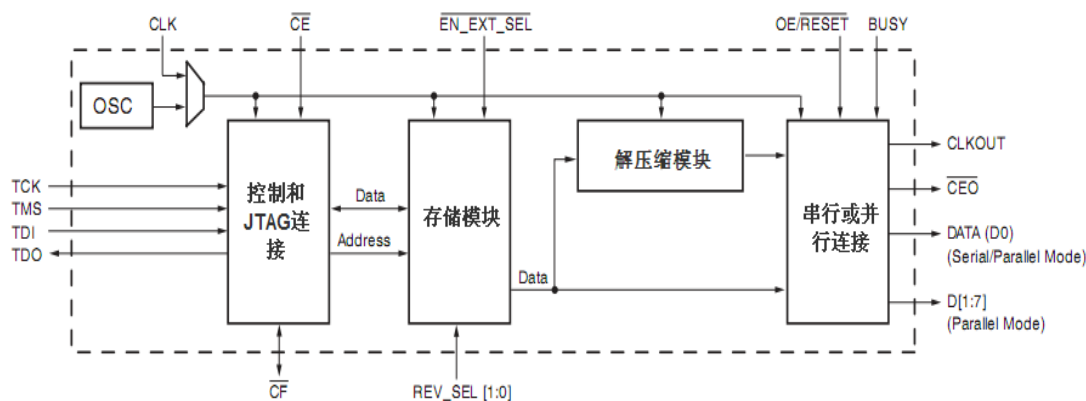


图 1 HWD32P 结构图

电特性

产品电特性参数详见详细规范。

功能描述

HWD32P 是一款存储容量为 32Mbits，兼容 Xilinx 的 ISE 软件，支持主串、从串、主并和从并的四种 FPGA 配置模式的 FPGA 配置存储器。

● JTAG

HWD32P Flash RPOMs 平台支持 IEEE 1149.1 边界扫描标准和 IEEE 1532 在线配置标准。测试访问接口（TAP）和寄存器用以支持边界扫描指令和可选的特殊 IEEE 1149.1 标准指令。此外 PROM TAP 的连接，使在线可编程（ISP）、配置、擦除和验证操作更方便。表 3 列出了 Flash PROM 平台所必需和可选的边界扫描指令。可以根据 IEEE 1149.1 标准规格说明书完成边界扫描结构和所需要的可选指令。

表 3 HWD32P 边界扫描指令

边界扫描指令	HWD32P IR[15:0]	指令描述
必选指令		
BYPASS	FFFF	使能 BYPASS
SAMPLE/PRELOAD	0001	使能边界扫描 SAMPLE/PRELOAD 操作
EXTEST	0000	使能边界扫描 EXTEST 操作
可选指令		
CLAMP	00FA	使能边界扫描 CLAMP 操作
HIGHZ	00FC	同时置所有输出为高阻态
IDCODE	00FE	使能移出 32 位 IDCODE
USERCODE	00FD	使能移出 32 位 USERCODE
Flash RPOM 特殊指令		
CONFIG	00EE	通过 $\overline{CF}$ 为低初始化 FPGA

在 BYPASS 指令有效时，BYPASS 寄存器为直接由 TDI 至 TDO 串联的一位寄存器。在 CAPTURE-DR 状态下，BYPASS 寄存器在每个 TCK 上升沿下载为

逻辑 0。

边界扫描寄存器可用于控制和观察端口在 EXTEST, SAMPLE/PRELOAD 和 CLAMP 指令期间的状态。Flash PROM 的每个输出端口都有两个用于边界扫描的寄存器,而每个输入端口只有一个寄存器。双向端口则有三个边界扫描寄存器。每个输出端口, TDI 最近的寄存器会控制和观察输出状态, 第二靠近 TDO 的寄存器控制和观察输出端口的高阻使能态。对于每个输入端口, 一个单独寄存器控制和观察端口的输入状态。双向端口包含三位, 第一位输入位, 其次为输出位, 最后为输出使能位。输出使能位最靠近 TDO。所有连接器件端口的边界扫描位和顺序在后面 I/O 中将介绍。在边界扫描寄存器中, 边界扫描单元 0 是边界扫描寄存器的最低位 (LSB), 是离 TDO 最近的寄存器。

■ TAP

Flash PROM 系列能同时执行在线可编程和一个单独 4 线测试访问接口 (TAP) 的 IEEE1149.1 边界扫描测试 (JTAG)。这种简单化系统允许标准的自动测试设备去同时执行两种功能。Flash PROM TAP 平台的 AC 特性如下介绍。

■ TAP 控制器

下图为 HWD32P 的 16 位状态控制机。四个 TAP 端口控制着数据被扫描移入各种寄存器, 在每个 TCK 的上升沿, 由 TMS 决定状态的转移时序。这里主要存在两个主要的时序关系: 一个为将数据移入数据寄存器, 另一个为将指令移入指令寄存器。

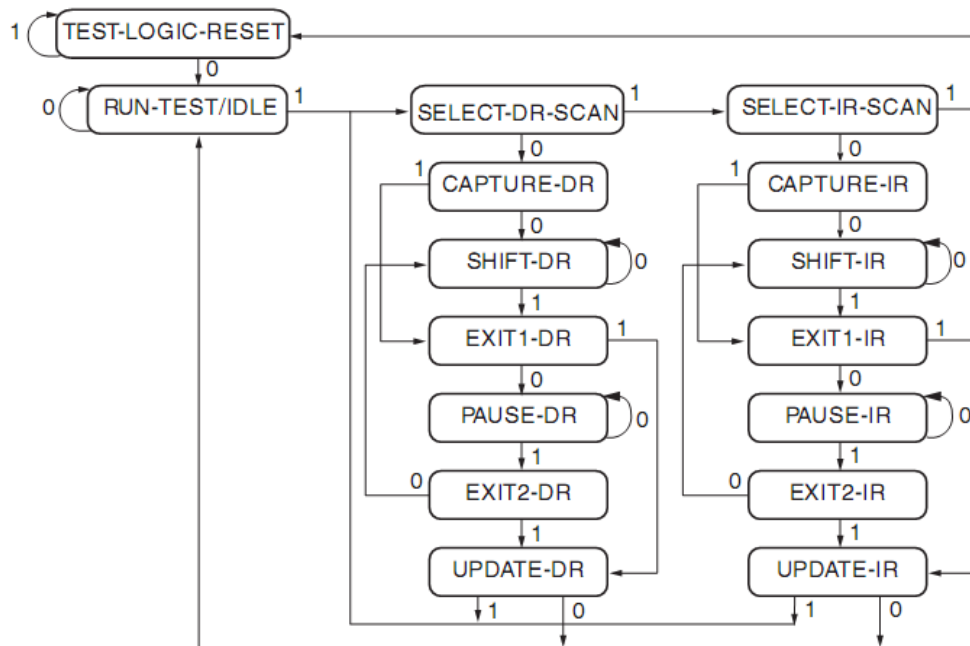


图 2 16 位状态机

■ IDCODE 寄存器

IDCODE 是被固定的，用于厂商识别和特殊器件的地址标识。IDCODE 寄存器有 32 位宽度。可以通过使用 IDCODE 指令移出、检查 IDCODE 移位寄存器。

表 4 HWD32P 的 IDCODES

器件	IDCODE(hex)
HWD32P	f5059093

● 内部晶振

HWD32P 有一个可用于驱动 CLKOUT 和 FPGA 配置连接的内部可选晶振。当编程 PROM 时，内部晶振可以有效，可以被设置为默认或较低的工作频率。

● CLKOUT

HWD32P 有一个使能 CLKOUT 信号的可编程选项，CLKOUT 信号是一个能使配置连接上的数据有序排列的同步时钟源。在 PROM 编程期间，选择 CLKOUT 信号可能来自 CLK 输入端口或者内部振荡器。数据在 CLKOUT 的上升沿有效输出。

在编程期间，CLKOUT 信号被激活，CE_变低，OE/RESET_为高。在 CE_上升沿跳变时，如果 OE/RESET_为高，PROM 的最终计数还没有达到，则 CLKOUT 在无效前的八个时钟仍然保持激活状态。当 CLKOUT 无效时，CLKOUT 端口被置为高阻状态或可能被外部上拉为“1”固定态。

当级联 Flash PROM 平台的 CLKOUT 有效时，完成第一个 PROM 数据传输后，第一级 PROM 的 CLKOUT 输出高阻，同时驱动 CEO_使能级联中的下一级 PROM。下一级 PROM 的 CE_信号有效后，它的 CLKOUT 信号正常输出。

● 解压缩

32Mbit HWD32P Flash PROM 平台内置了一个兼容 Xilinx 最新压缩技术的硬件数据解压模块。Flash PROM 压缩文件是由 iMPACT 软件压缩的 FPGA 比特流。只有从串和从并配置模式支持压缩比特流配置 FPGA。

在 PROM 编程期间，设置解压项是否有效，当解压缩项有效时，PROM 在驱动时钟和数据至 FPGA 的配置连接处之前将数据解压；PROM 的时钟输出端口（CLKOUT）必须驱动目标 FPGA 器件的配置时钟（CCLK）。PROM 的 CLK 输入或内部振荡器都可作为 CLKOUT 时钟源。在配置链中，任何连接 PROM 的 FPGA 必须为从串或从并配置模式。解压缩不支持多片级联。

当解压项有效时，CLKOUT 信号时钟作为驱动 FPAG 的配置时钟（CCLK），其输出频率低于非解压缩时的频率。当解压数据没有准备好时，CLKOUT 信号将为高阻态或被上拉为“1”状态。当解压缩有效时，BUSY 输入会自动为无效。

● 设计版本

设计版本技术允许用户在一个单独的 PROM 或多个 PROM 级联设计中存储多达四个设计版本。HWD32P 在串行/并行以及解压缩模式中，都支持设计版本技术。在使用 iMPACT 软件时，会创建存有版本信息的可编程 PROM 文档(.cfi)，这在 iMPACT 软件编程中，需要使用.cfi 文件使设计版本有效。

一个单独的设计版本需要 1~n 个 8Mbit 的存储模块。如果一个单独的设计版本含有低于 8Mbit 的数据，则剩下的空间将全被置为 1。一个大的设计版本使用多个 8Mbit 存储模块，最后一个 8Mbit 的存储模块剩余空间将全被置 1。因为对于每个版本都需要至少 8Mbit 的空间，所以一个 32Mbit 的 PROM 最多只有四个的独立设计版本：

一个版本： 32Mb 的数据；

两个版本：一个 8Mb 和一个 24Mb 的数据，两个 16Mb 的数据；

三个版本：两个 8Mb 和一个 16Mb 的数据；

四个版本：四个 8Mb 的数据；

更大的设计版本可以通过使用多个级联的 PROM。图 3 和图 4 为多个存储版本的基本实例。设计版本在使用 iMPACT 生成 mcs 文件时设置。

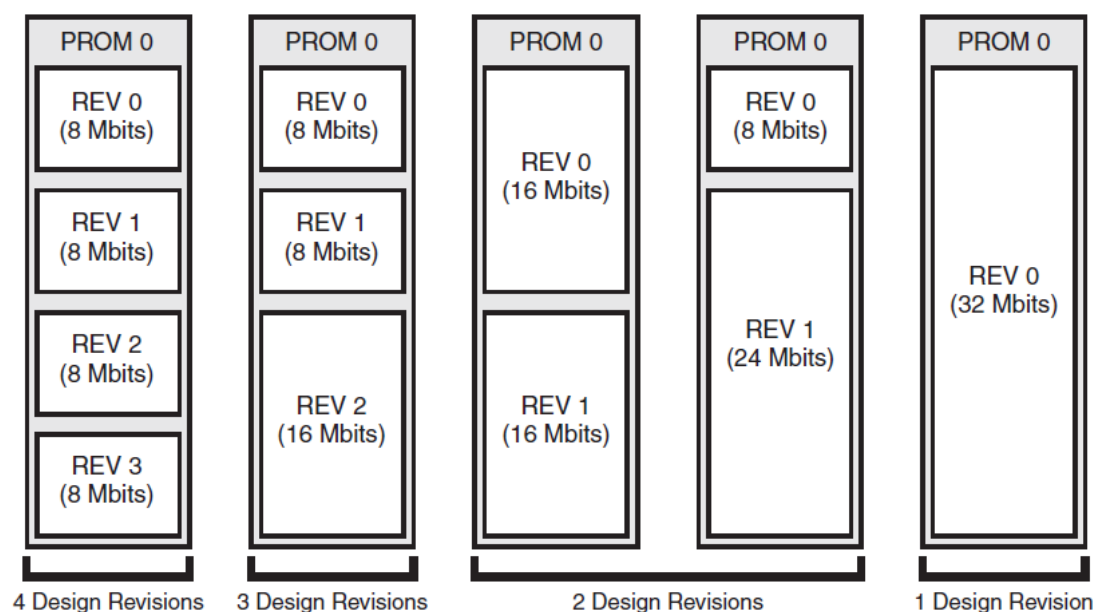


图 3 单片 HWD32P 版本存储示例

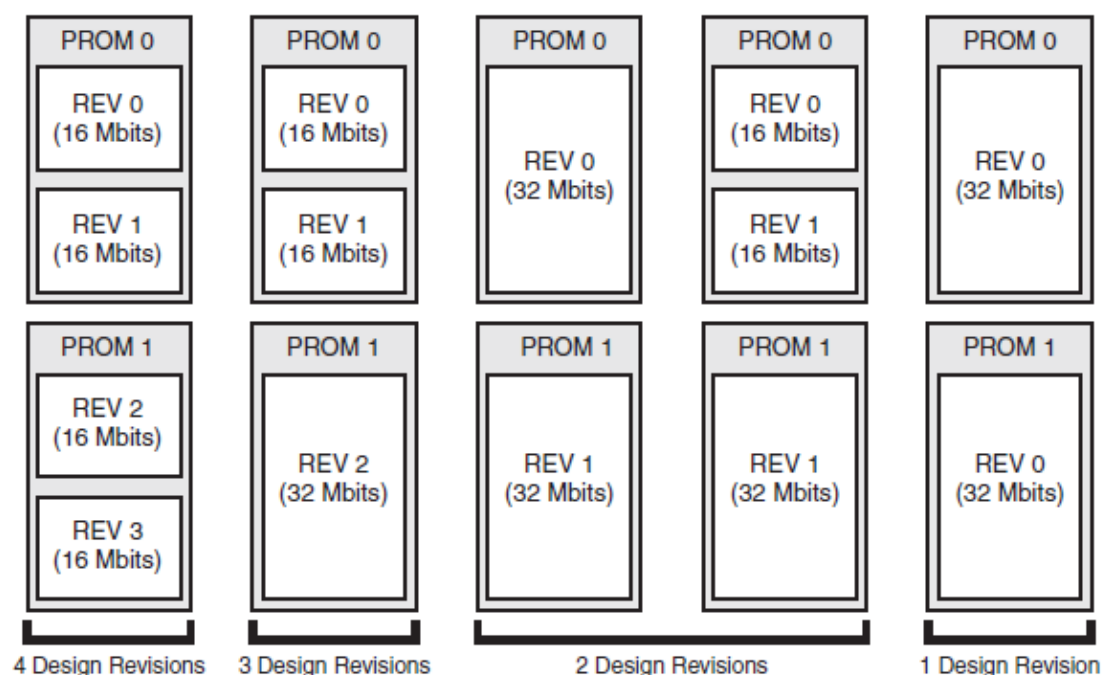


图 4 两片 HWD32P 版本存储示例

在 PROM 文件产生期间，每个设计版本被置为如下值：

- Revision 0 = ‘00’
- Revision 1 = ‘01’
- Revision 2 = ‘10’
- Revision 3 = ‘11’

含有设计版本的 Flash PROM 平台被编程完成后，可以通过外部的 REV_SEL[1:0]或内部可编程设计版本控制位，去选择一个独立的设计版本。EN_EXT_SEL_端口决定着外部端口或内部可编程控制位去选择设计版本。当 EN_EXT_SEL_为低时，设计版本由外部端口 REV_SEL[1:0]选择决定，当 EN_EXT_SEL_为高时，设计版本由内部可编程控制位选择决定。在上电期间，设计版本选择输入（端口或控制位）为内部采样。当上电后，发生如下情况时，设计版本选择输入将再次被采样：

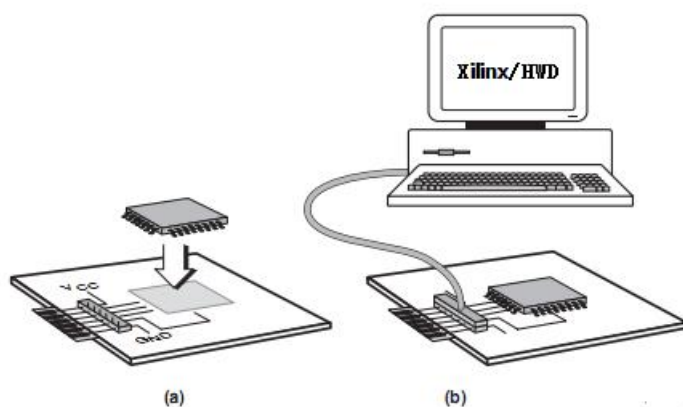
- CE_产生上升沿
- OE/RESET_产生下降沿（CE_为低时）
- 用 JTAG CONFIG 指令重新配置时

则 FPGA 配置连接处将出现被选择的设计版本内的配置数据。

HWD32P 应用

● JTAG 编程应用

在线可编程 PROM 通过标准的 JTAG 协议端口（如下图所示）可以被单独编程或两个、多个级联环一起被编程。在线可编程提供了一个快速有效的设计循环，消除不必要的封装操作和器件插槽。设计数据通过 Xilinx iMPACT 软件和 Xilinx 下载电缆、一个三方 JTAG 开发系统、一个兼容 JTAG 的测试板或一个仿真 JTAG 指令序列的微处理器，能有序的传入器件。iMPACT 软件同样能输出任何支持串行向量（svf）工具的 svf 文件格式，包括自动测试设备。在线可编程期间，CEO_输出为高，其他所有输出都被固定在高阻态或被箝位于某一电平。在线可编程将完全支持所推荐的电压和温度变化。



(a) 焊接器件到 PCB (b) 使用可编程下载电缆

图 5 JTAG 在线可编程操作

HWD32P 在线可编程产品保证大于 20,000 次的编程/擦除循环，不小于 20 年的数据保持时间（室温下）。在这个有效限制内，每个器件的所有功能、工作状态和数据参数都可以参考此参数手册。

HWD32P 在线可编程 Flash PROM 器件平台融合了最新的数据安全特征，从而防止 FPGA 数据被未授权的 JTAG 读取或 JTAG 的疏忽写入。表 5 列出了对 HWD32P PROM 的安全有效设置。

表 5 HWD32P 版本数据安全设置

读保护	写保护	防读/验证	防编程	防擦除
重置（默认）	重置（默认）	-	-	-
重置（默认）	设置有效	-	√	√
设置有效	重置（默认）	√	-	-
设置有效	设置有效	√	√	√

注：√表示有效，-表示无效

用户可以设计读保护安全位去防止内部编程模板被 JTAG 读取或复制，读保护不妨碍写操作。HWD32P PROM 的读保护安全位能单独的对设计版本进行设置，要重置读保护位，需要擦除部分的设计版本。

HWD32P PROM 器件也允许对一个特殊设计版本进行写保护或作为 PROM 的可选设置。写保护可以防止一个疏忽的 JTAG 指令而修改/擦除被保护锁住的区域。读写保护位，必须通过擦除操作来消除。

● 配置输出应用

■ 主串模式

在主串模式下，FPGA 会根据内部产生的时钟 CCLK，自动同步的从外部按位串行下载比特流进行配置。在上电或重新配置时，FPGA 的模式选择端口应选择主串配置模式。FPGA 配置时，只需要有串联数据线、时钟线和两个控制线（INIT 和 DONE）。随着 CCLK 每个有效上升沿变化而增加的 PROM 内部地址计数器，配置数据从一条单独的数据线（DIN）有序的被读出。在 FPGA 内部时钟信号 CCLK 每个上升沿之前的一小段时间，串行比特流数据必须在 FPGA 的 DIN 输入端口被建立。

默认情况下，FPGA 内部产生一个低频的 CCLK 输出时钟，如需对 CCLK 频率进行设置更改，在 bit 数据流生成时进行设置。

主串模式下，FPGA 与 PROM 的连接：

- PROM 的 DATA 输出端与 FPGA 的 DIN 端连接
- PROM 的 CLK 与主 FPGA CCLK 端连接
- PROM 级联时，CEO_连接下一片 PROM 的 CE_端

- PROM 的 OE/RESET_管脚须与 FPGA 的 INIT_B 管脚连接，确保重配置时，PROM 的地址计数正确
- PROM 的 CE_与 FPGA 的 DONE 连接，级联时，只有第一片 PROM 的 CE_与目标 FPGA 器件 DONE 连接。当配置完成后，CE_被 FPGA 的 DONE 驱动为高，PROM 进入休眠模式，减小系统功耗。
- PROM 的 CF_端与 FPGA 的 PROG_B 连接，HWD32P 的 CF_不与 FPGA 的 PROG_B 连接时，必须上拉为高。

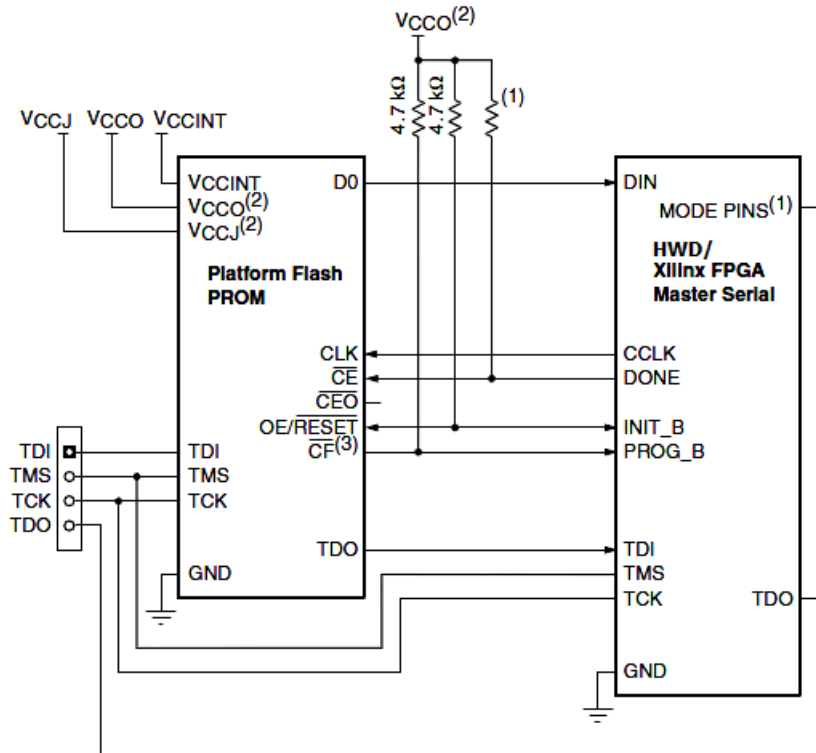


图 6 HWD32P 主串配置模式应用

注：

1. 不支持数据解压缩。
2. 模式选择管脚连接和 DONE 管脚上拉电阻值，请参考相关 FPGA 数据手册。
3. 电源电压的兼容，请参考相应的数据手册。
4. HWD32P 的 CF_为双向端口。在 HWD32P 中，如果 CF_没有与 PROG_B 相连接，则 CF_必须通过 4.7KΩ 的上拉电阻接至 V_{CCO}。

■ 主并模式

在主并模式下，FPGA 会根据内部产生的时钟 CCLK，自动同步的从外部按位并行(8 位)下载比特流进行配置，使用 BUSY 信号控制数据流。在上电或重新配置时，FPGA 的模式选择端口会选择主并配置模式。FPGA 配置时，需要并行数据线、时钟线和两个控制线（INIT 和 DONE）。另外 FPGA 的片选，WRITE 和 BUSY 三个端口必须被正确连接。随着 CCLK 每个有效上升沿变化而增加的 PROM 内部地址计数器，配置数据从 D0-D7 有序的被读出。在 FPGA 内部时钟信号 CCLK 每个上升沿之前的一小段时间，并行比特流数据必须在 FPGA 的 D0-D7 输入端口被建立。如果 BUSY 被置为高，配置数据必须被保持，直到 BUSY 被置为低。FPGA 的片选（CS_或 CS_B）和写（WRITE_或 RDWR_B）信号必须被使能为低。

默认情况下，FPGA 内部产生一个低频的 CCLK 输出时钟，如需对 CCLK 频率进行设置更改，在 bit 数据流生成时进行设置。

主并模式下，FPGA 与 PROM 的连接：

- PROM 的 DATA 输出端与 FPGA 的 DIN 端连接
- PROM 的 CLK 与主 FPGA CCLK 端连接
- PROM 级联时，CEO_连接下一片 PROM 的 CE_端
- PROM 的 OE/RESET_管脚须与 FPGA 的 INIT_B 管脚连接，确保重配置时，PROM 的地址计数正确
- PROM 的 CE_与 FPGA 的 DONE 连接，级联时，只有第一片 PROM 的 CE_与目标 FPGA 器件 DONE 连接。当配置完成后，CE_被 FPGA 的 DONE 驱动为高，PROM 进入 STANBY 模式，减小系统功耗。
- 对于高频并行配置，PROM 的 BUSY 与 FPGA 的 BUSY 连接，确保 PROM 输出的下一字节数据被延迟直到 FPGA 准备好接收下一字节配置数据。
- PROM 的 CF_端与 FPGA 的 PROG_B 连接，HWD32P 的 CF_不与 FPGA 的 PROG_B 连接时，必须上拉为高。

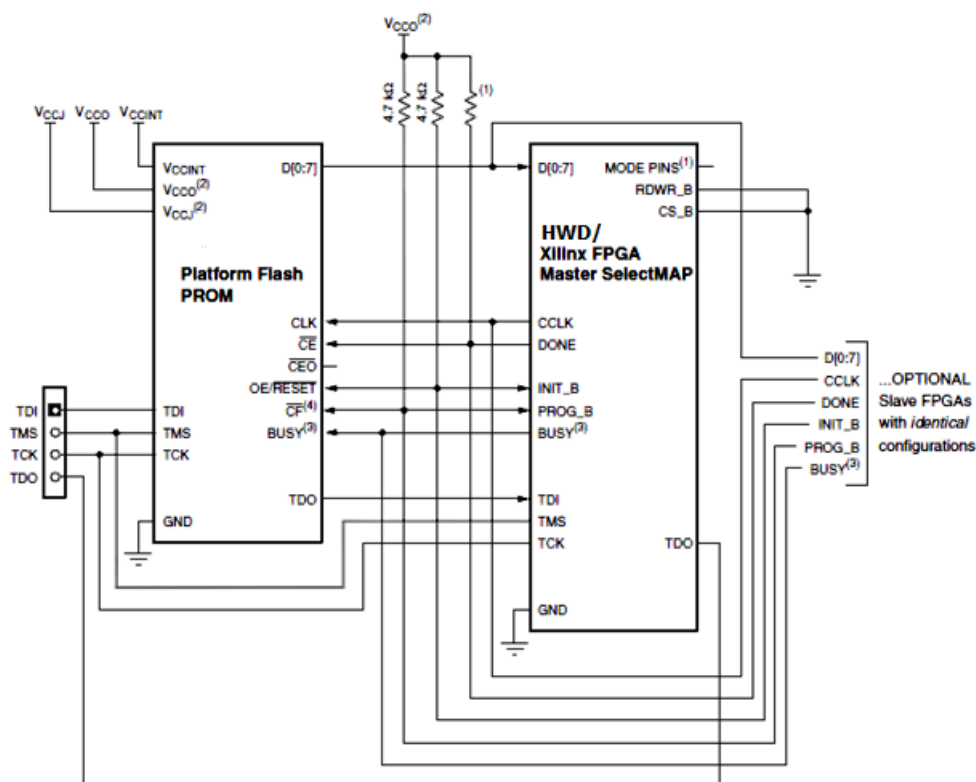


图 7 HWD32P 主并配置模式应用

注:

- 1、 不支持数据解压缩。
- 2、 模式选择管脚连接和 DONE 管脚上拉电阻值，请参考相关 FPGA 数据手册。
- 3、 电源电压的兼容，请参考相应的数据手册。
- 4、 CS_B（或 CS_）和 RDWR_B（或 WRITE_）必须外部驱动为低或下拉。
- 5、 BUSY 信号只有在并行模式下才连接，具体要求请参考相应 FPGA 数据手册。
- 6、 HWD32P 的 CF_为双向端口。在 HWD32P 中，如果 CF_没有与 PROG_B 相连接，则 CF_必须通过 4.7KΩ 的上拉电阻接至 Vcco。

■ 从串模式

在从串模式下，FPGA 会根据外部提供的时钟，自动同步的从外部按位串行下载配置比特流。在上电或重新配置时，FPGA 的模式选择端口会选择从串配置模式。FPGA 配置时，只需要有串联数据线、时钟线和两个控制线（INIT 和 DONE）。随着 CCLK 每个有效上升沿的变化，PROM 内部地址计数器增加，配置数据从一条单独的数据线（DIN）有序的被读出。在外部时钟信号 CCLK 每个上升沿之前的一小段时间，串行比特流数据必须在 FPGA 的 DIN 输入端口被建立。

从串模式下，FPGA 与 PROM 的连接：

- PROM 的 DATA 输出端与 FPGA 的 DIN 端连接
- PROM 的 CLKOUT 或外部时钟源驱动 FPGA CCLK 端
- PROM 级联时，CEO_连接下一片 PROM 的 CE_端
- PROM 的 OE/RESET_管脚须与 FPGA 的 INIT_B 管脚连接，确保重配置时，PROM 的地址计数正确
- PROM 的 CE_与 FPGA 的 DONE 连接，级联时，只有第一片 PROM 的 CE_与目标 FPGA 器件 DONE 连接。当配置完成后，CE_被 FPGA 的 DONE 驱动为高，PROM 进入 STANBY 模式，减小系统功耗。
- PROM 的 CF_端与 FPGA 的 PROG_B 连接，HWD32P 的 CF_不与 FPGA 的 PROG_B 连接时，必须上拉为高。

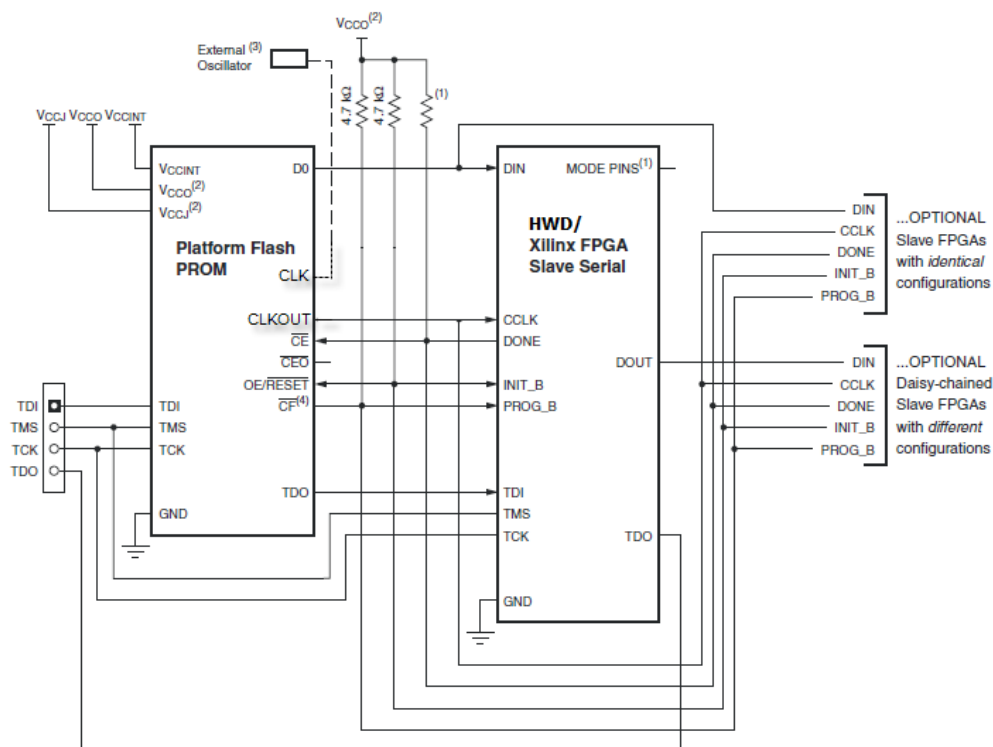


图 8 HWD32P 从串配置模式应用

注:

- 1、 模式选择管脚连接和 DONE 管脚上拉电阻值，请参考相关 FPGA 数据手册。
- 2、 电源电压的兼容，请参考相应的数据手册。
- 3、 在从串模式，配置时钟由外部时钟晶振或 PROM 内部振荡器提供，FPGA 的 CCLK 端必须与 PROM 的 CLKOUT 相连，CLKOUT 通过 4.7K Ω 的上拉电阻接至 V_{CCO} 。
- 4、 HWD32P 的 CF_为双向端口。在 HWD32P 中，如果 CF_没有与 PROG_B 相连接，则 CF_必须通过 4.7K Ω 的上拉电阻接至 V_{CCO}。
- 5、 数据解压缩时，CLKOUT 输出频率为时钟源频率的 1/2。

■ 从并模式

在从并模式下，FPGA 会根据内部产生的时钟 CCLK，自动同步的从外部按位并行(8 位)下载比特流进行配置，使用 BUSY 信号控制数据流。在上电或重新配置时，FPGA 的模式选择端口会选择从并配置模式。FPGA 配置时，需要并行数据线、时钟线和两个控制线（INIT 和 DONE）。另外 FPGA 的片选，WRITE 和 BUSY 三个端口必须被正确连接。随着 CCLK 每个有效上升沿变化而增加的 PROM 内部地址计数器，配置数据从 D0-D7 有序的被读出。在 FPGA 内部时钟信号 CCLK 每个上升沿之前的一小段时间，并行比特流数据必须在 FPGA 的 D0-D7 输入端口被建立。如果 BUSY 被置为高，配置数据必须被保持，直到 BUSY 被置为低。FPGA 的片选（CS_或 CS_B）和写（WRITE_或 RDWR_B）信号必须被使能为低。

从并模式下，FPGA 与 PROM 的连接：

- PROM 的 DATA 输出端与 FPGA 的 DIN 端连接
- PROM 的 CLK 与主 FPGA CCLK 端连接
- PROM 级联时，CEO_连接下一片 PROM 的 CE_端
- PROM 的 OE/RESET_管脚须与 FPGA 的 INIT_B 管脚连接，确保重配置时，PROM 的地址计数正确
- PROM 的 CE_与 FPGA 的 DONE 连接，级联时，只有第一片 PROM 的 CE_与目标 FPGA 器件 DONE 连接。当配置完成后，CE_被 FPGA 的 DONE 驱动为高，PROM 进入 STANBY 模式，减小系统功耗。
- 对于高频并行配置，PROM 的 BUSY 与 FPGA 的 BUSY 连接，确保 PROM 输出的下一数据被延迟直到 FPGA 准备好接收下一字节配置数据。
- PROM 的 CF_端与 FPGA 的 PROG_B 连接，HWD32P 的 CF_不与 FPGA 的 PROG_B 连接时，必须上拉为高。

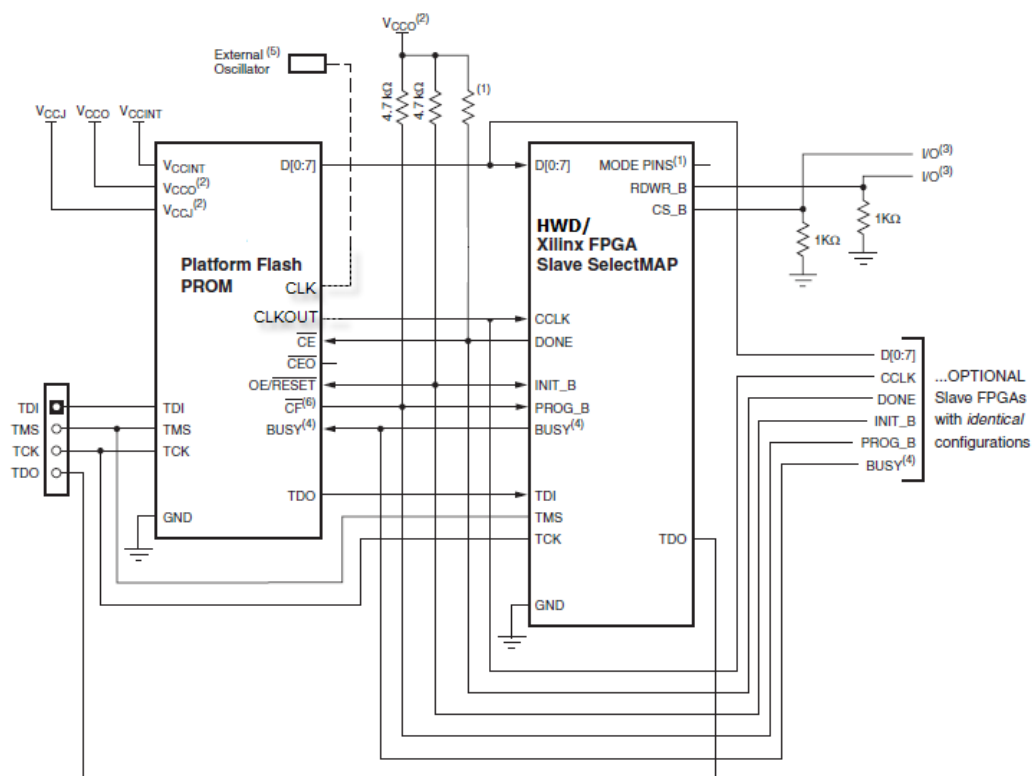


图 9 HWD32P 从并配置模式应用

注:

- 1、模式选择管脚连接和 DONE 管脚上拉电阻值, 请参考相关 FPGA 数据手册。
- 2、电源电压的兼容, 请参考相应的数据手册。
- 3、CS_B (或 CS_) 和 RDWR_B (或 WRITE_) 必须外部驱动为低或下拉。
- 4、BUSY 信号只有在并行模式下才连接, 具体要求请参考相应 FPGA 数据手册。
- 5、在从串模式, 配置时钟由外部时钟晶振或 PROM 内部振荡器提供, FPGA 的 CCLK 端必须与 PROM 的 CLKOUT 相连, CLKOUT 通过 4.7KΩ 的上拉电阻接至 V_{CCO}。
- 6、HWD32P 的 CF₆ 为双向端口。在 HWD32P 中, 如果 CF₆ 没有与 PROG_B 相连接, 则 CF₆ 必须通过 4.7KΩ 的上拉电阻接至 V_{CCO}。
- 7、数据解压缩时, CLKOUT 输出频率为时钟源频率的 1/2。

■ 级联模式

当在串行链中配置多个 FPGAs，并行链中配置多个 FPGAs，或者配置需要一个较大比特流的 FPGA 时，级联 PROM 提供了额外的存储量。可以通过上一个 PROM 器件的 CEO_输出去驱动下个器件 PROM 的 CE_输入多个 Flash PROM 的连接。在链中，所有 Flash PROM 的时钟信号和数据输出都是互连在一起的。当第一个 PROM 的最后数据被读出后，则第一个 PROM 的 CEO_输出为低，其它的输出端口为一个高阻态。第二个 PROM 识别到 CE_的输入为低，则立即使其输出有效。

配置完成后，如果 PROM 的 OE/RESET_为低或 CE_为高，则所有级联的 PROM 地址计数器都被重置。

当 PROM 为主的时候，必须将 PROM 的 CLKOUT 接到 FPGA 的 CCLK 端口；BUSY 需要在时钟的下降沿变化。

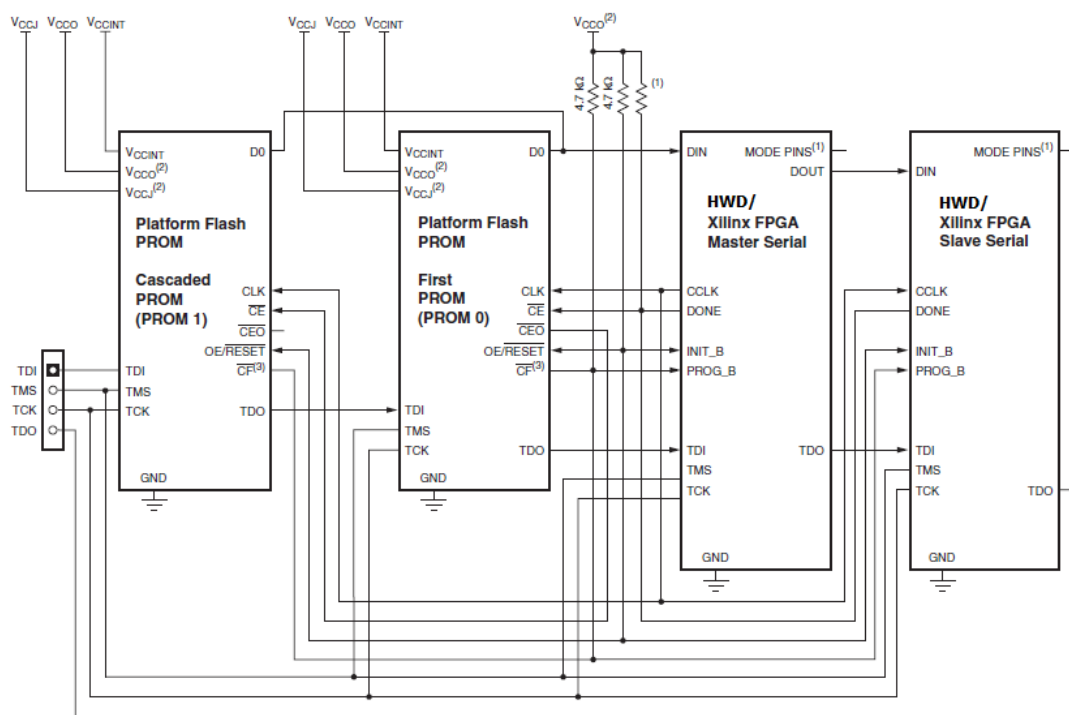


图 10 HWD32P 主\从串配置模式级联应用

注：

- 1、模式选择管脚连接和 DONE 管脚上拉电阻值，请参考相关 FPGA 数据手册。
- 2、电源电压的兼容，请参考相应的数据手册。
- 3、HWD32P 的 CF_为双向端口。在 HWD32P 中，如果 CF_没有与 PROG_B 相连接，则 CF_必须通过 4.7KΩ 的上拉电阻接至 V_{CC0}。

■ 多设计版本应用

当多个 FPGA 需要被配置, 或对一个 FPGA 在不同时段配置不同 bit 文件时, 可使用 HWD32P 版本选择功能。HWD32P 内部可存储最多 4 个 8Mbit 的不同设计文件, 在应用时, HWD32P 可由编程软件设置内部默认输出版本。如需外部更改版本数据的输出, 设计提供了 EN_EXT_SEL_版本使能信号端, REV_SEL[1:0] 版本选择信号端, 由外部单片机或 FPGA 控制此三个版本选择端与 DONE、PROG_B 配合, 实现版本数据的更改和再配置。

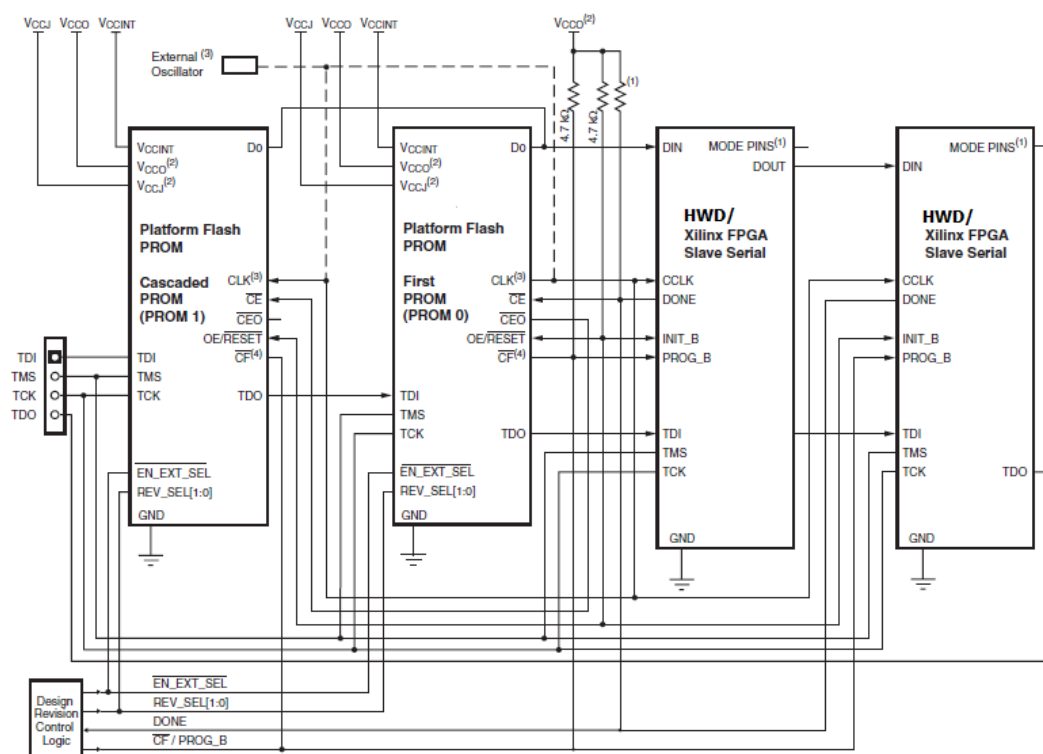


图 12 HWD32P 从串模式下多版本配置

注:

- 1、模式端口的连接和 DONE 端口的上拉值, 可以查看合适的 FPGA 数据手册或 FPGA 系列的用户配置帮助文档。
- 2、兼容电压值, 可以查看相关的数据手册。
- 3、在从串模式, 配置时钟由外部时钟晶振或 PROM 内部振荡器提供, FPGA 的 CCLK 端必须与 PROM 的 CLKOUT 相连, CLKOUT 通过 4.7KΩ 的上拉电阻接至 V_{CC0}。
- 4、HWD32P 的 CF_为双向端口。在 HWD32P 中, 如果 CF_没有与 PROG_B 相连接, 则 CF_必须通过 4.7KΩ 的上拉电阻接至 V_{CC0}。

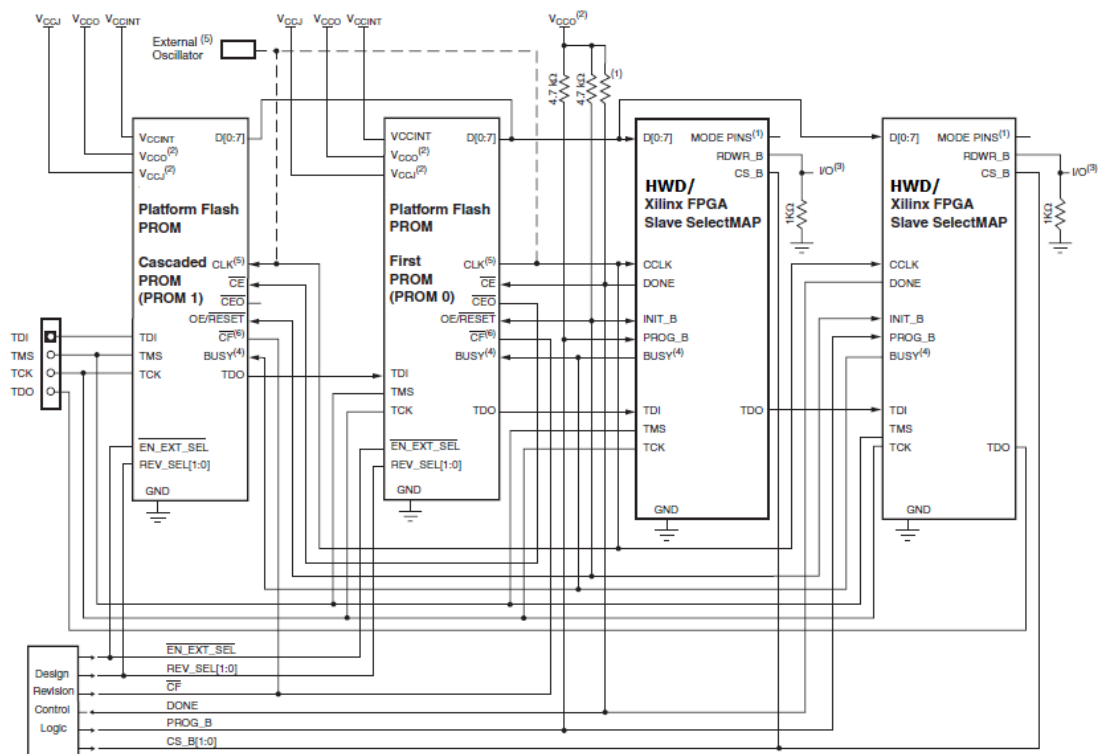


图 13 HWD32P 从并模式下多版本配置

注:

- 1、 模式端口的连接和 DONE 端口的上拉值，可以查看合适的 FPGA 数据手册或 FPGA 系列的用户配置帮助文档。
- 2、 兼容电压值，可以查看相关的数据手册。
- 3、 CS_B（或 CS₋）和 RDWR_B（或 WRITE₋）必须外部驱动为低或下拉。
- 4、 BUSY 端口只有在 HWD32P Flash PROM 中。（只有保证 FPGA 系列在高频率并型模式配置时需要 BUSY 端口连接）。在 FPGA 中没有 BUSY 端口或在配置器件不需要 BUSY 端口，则 PROM BUSY 端口为不接或接地。有关 BUSY 端口的详细信息，请参考相关 FPGA 数据手册或 FPGA 配置帮助文档。
- 5、 在从并模式，配置时钟由外部时钟晶振或 PROM 内部振荡器提供，FPGA 的 CCLK 端必须与 PROM 的 CLKOUT 相连，CLKOUT 通过 4.7KΩ 的上拉电阻接至 V_{CCO}。
- 6、 HWD32P 的 CF₋为双向端口。在 HWD32P 中，如果 CF₋没有与 PROG_B 相连接，则 CF₋必须通过 4.7KΩ 的上拉电阻接至 V_{CCO}。

开关特性:

● 上电复位

上电时，器件需要电压 V_{CCINT} 提供一个上升时间内的单调平稳上升控制电压。如果电源无法满足要求，则器件可能无法执行上电复位功能。在时序上电期间， $OE/RESET_$ 被 PROM 固定在低电平。一旦电源达到它们各自 POR（开启重置）的开启极限时，则延时（最小 T_{OER} ）释放 $OE/RESET_$ ，以允许在配置前有更多的余量使电源稳定。 $OE/RESET_$ 端口被连至外部 $4.7K\Omega$ 的上拉电阻和 FPGA 的 INIT 端口。当电源上升缓慢时，一个附加的电压监控电路通过固定 $OE/RESET_$ 为低，从而延时配置直到系统电源达到最小的工作压值。当 $OE/RESET_$ 释放时，FPGA 的初始化端口被拉为高，并允许对 FPGA 时序配置。如果电源下降至关断极限（ V_{CCPD} ），则 PROM 重置， $OE/RESET_$ 再次被拉为低，直到 POR 的极限电压值。开启条件如图所示。

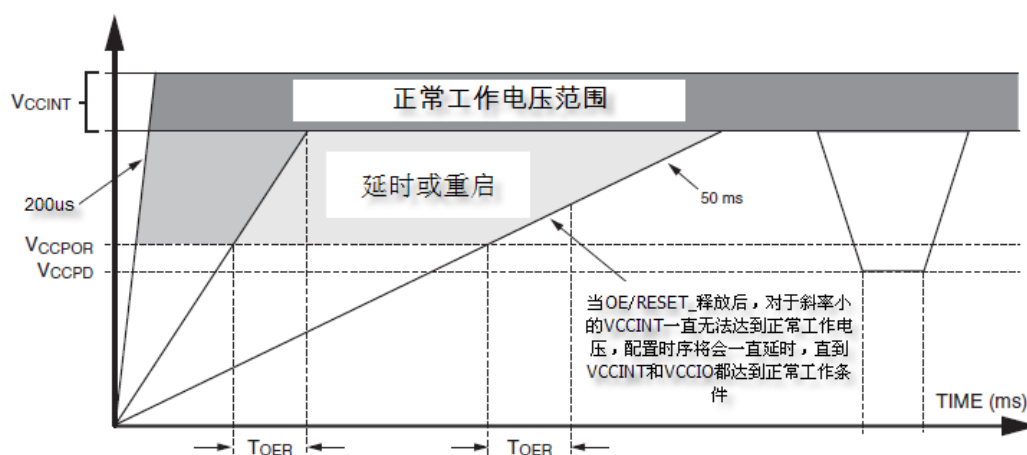


图 14 PROM 上电掉电过程

电源上电和掉电的电压条件如下表所示：

表 6 上电和掉电需求

信号	描述	HWD32P		单位
		Min	Max	
T_{VCC}	V_{CCINT} 从 0 到正常电压的上升时间	0.2	50	ms
V_{CCPOR}	V_{CCINT} POR 开启的极限电压	0.5	-	V
T_{OER}	POR 后 OE/RESET_的延时时间	0.5	30	ms
V_{CCPD}	V_{CCINT} 关断的极限电压	-	0.5	V

注：

1. 供电顺序： V_{CCINT} 要先于 V_{CCO} 上电。
2. 上电时，器件需要 V_{CCINT} 电源在 T_{VCC} 时间内自动上升到正常工作电压范围。
3. 如果在 OE/RESET_释放前， V_{CCINT} 和 V_{CCO} 没有达到正常工作电压范围，则从 PROM 出来的配置数据不可用。配置时序必须延时，直到 V_{CCINT} 和 V_{CCO} 都达到它们的正常工作范围。

● 休眠模式

当 CE_+ 为高时，PROM 将进入低功耗休眠模式。在休眠模式中，地址计数器被重置， CEO_+ 被驱动为高，其它输出被置为高阻态，并忽略 OE/RESET_ 的输入状态。当器件保持在低功耗备用模式时，JTAG 端口：TMS\TDI 和 TDO 必须置低，TCK 必须停止工作（为高或为低）。

在配置完成后，FPGA 释放 DONE 信号，因 DONE (CE_+) 信号线上接有外部上拉电阻，从而驱动 PROM CE_+ 为高，以减少功耗。DONE 端口的上拉电阻值（典型值为 330Ω 的上拉电阻值），可查看有关 FPGA 数据文档。如果 DONE 电路是连至一个 LED，来显示配置已经完成，也必须连接 PROM CE_+ 使能功耗休眠模式，然而需要一个外部 buffer 驱动 LED 电路，以保证信号正确传输到 PROM 的 CE_+ 端口。如果 PROM 不需要低功耗休眠模式，则 CE_+ 应该接地。

下表为 PROM 的输入控制真值表：

表 7 HWD32P 输入控制真值表

输入控制信号				内部地址	输出			
OE/RESET_	CE_	CF_	BUSY ⁽⁵⁾		DATA	CEO_	CLKOUT	ICC
高	低	高	低	如果地址<TC ⁽²⁾ 和<EA ⁽³⁾ ：增加	激活	高	激活	激活
				如果地址<TC 和=EA：不变	高阻	高	高阻	减少
				如果地址=TC： 不变	高阻	低	高阻	减少
高	低	高	高	不变	激活和 不变	高	激活	激活
高	低	↑	X ⁽¹⁾	重置 ⁽⁴⁾	激活	高	激活	激活
低	低	X	X	保持重置	高阻	高	高阻	激活
X	高	X	X	保持重置	高阻	高	高阻	休眠

注：

1. X=任意值。
2. TC：最终计数，结束地址值。
3. HWD32P 设计版本有效，EA：被选版本的结束地址。
4. HWD32P 设计版本有效，重置：地址被复位到被选择模块的初始地址。如果设计版本无效，则重置为地址被复位为 0。
5. BUSY 输入只有在 HWD32P 对并行输出数据且解压缩无效时才

引出端排列方式

CSOP48 引出端排列应按图 15（俯视）的规定。

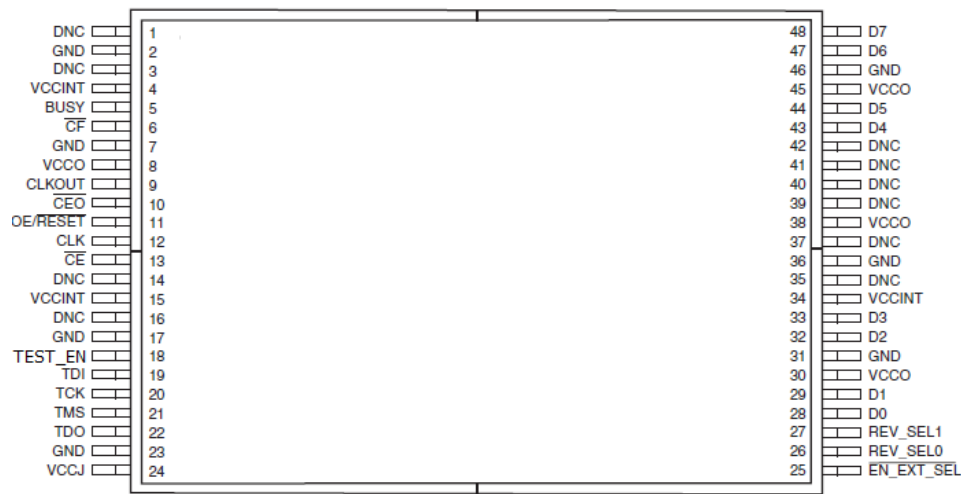


图 15 CSOP48 引出端排列

FBGA48 引出端排列应按图 16（俯视）的规定。

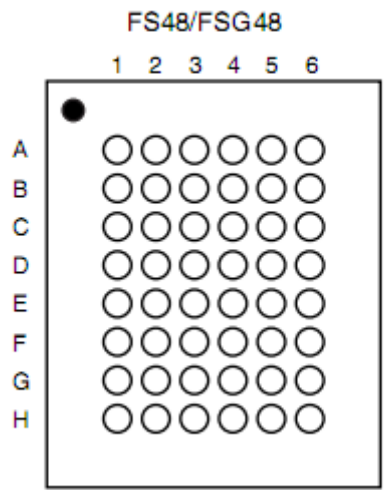


图 16 FBGA48 引出端排列

表 8 CSOP48 引脚描述

引出 端序 号	引脚 方向	符号	功 能	引出 端序 号	引脚 方向	符号	功 能
P1	-	DNC	悬空	P25	I	EN_EXT_S EL_	使能外部选择输入
P2	I	GND	地	P26	I	REV_SEL0	版本选择输入
P3	-	DNC	悬空	P27	I	REV_SEL1	版本选择输入
P4	I	VCCINT	内核电源	P28	O	D0	串/并行数据输出 D0 位
P5	I	BUSY	BUSY 信号输入	P29	O	D1	并行数据输出 D1 位
P6	IO	CF_	配置脉冲	P30	I	VCCO	I/O 电源
P7	I	GND	地	P31	I	GND	地
P8	I	VCCO	I/O 电源	P32	O	D2	并行数据输出 D2 位
P9	O	CLKOUT	配置时钟输出	P33	O	D3	并行数据输出 D3 位
P10	O	CEO_	片使能输出	P34	I	VCCINT	内核电源
P11	IO	OE/RESET_	输出使能/复位	P35	-	DNC	悬空
P12	I	CLK	配置时钟输入	P36	I	GND	地
P13	I	CE_	片使能输入	P37	-	DNC	悬空
P14	-	DNC	悬空	P38	I	VCCO	I/O 电源
P15	I	VCCINT	内核电源	P39	-	DNC	悬空
P16	-	DNC	悬空	P40	-	DNC	悬空
P17	I	GND	地	P41	-	DNC	悬空
P18	I	TEST_EN	测试引脚	P42	-	DNC	悬空
P19	I	TDI	JTAG 数据输入	P43	O	D4	并行数据输出 D4 位
P20	I	TCK	JTAG 时钟输入	P44	O	D5	并行数据输出 D5 位
P21	I	TMS	JTAG 模式选择	P45	I	VCCO	I/O 电源
P22	O	TDO	JTAG 数据输出	P46	I	GND	地
P23	I	GND	地	P47	O	D6	并行数据输出 D6 位
P24	I	VCCJ	JTAG I/O 电源	P48	O	D7	并行数据输出 D7 位

注：P18（TEST_EN）用于生产测试，不对用户开放，要求强制接地或悬空。

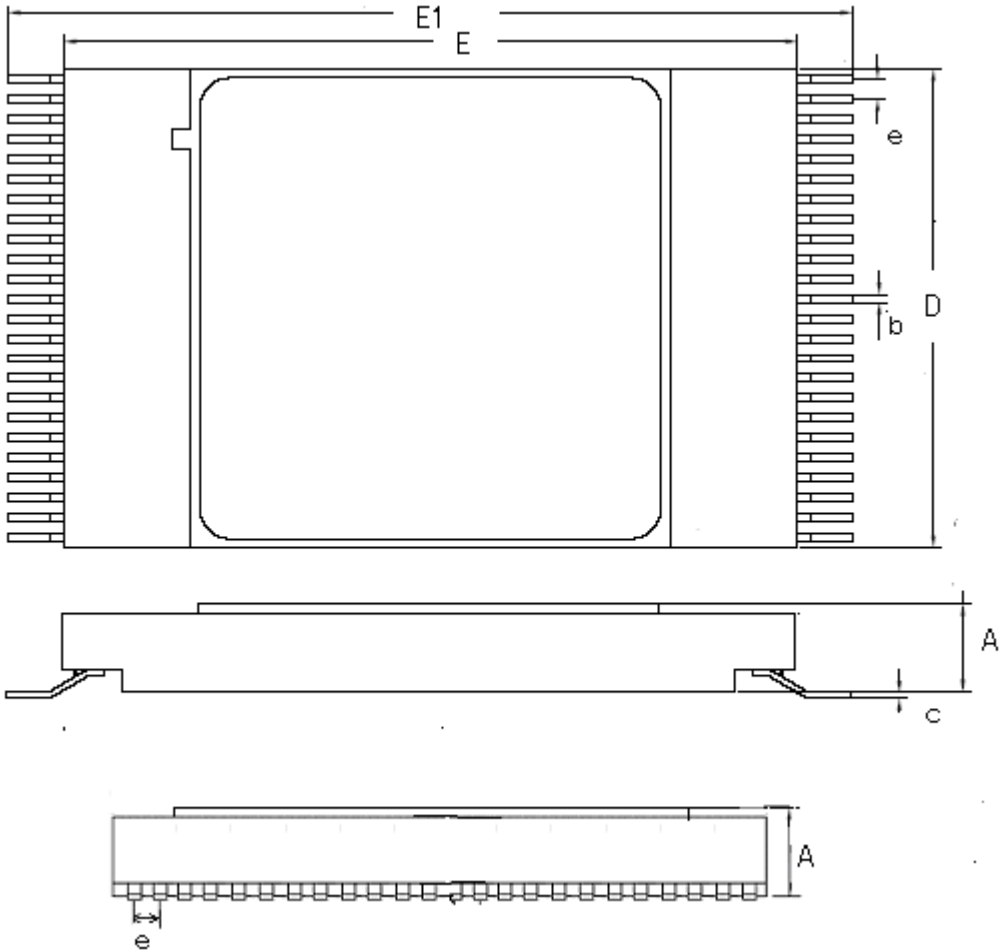
表 9 CSOP48 引脚描述

引出端序号	符号	功 能	引出端序号	符号	功 能
A1	GND	地	E1	VCCINT	内部逻辑电源
A2	GND	地	E2	TMS	JTAG 测试模式
A3	OE/RERST_	输出使能信号 / 复位信号	E3	DNC	悬空管脚
A4	DNC	悬空管脚	E4	DNC	悬空管脚
A5	D6	并行数据输出 D6 位	E5	D2	并行数据输出 D2 位
A6	D7	并行数据输出 D7 位	E6	TDO	JTAG 测试数据输出
B1	VCCINT	内部逻辑电源	F1	GND	地
B2	VCCO	IO 电源	F2	DNC	悬空管脚
B3	CLK	时钟信号	F3	DNC	悬空管脚
B4	CE_	芯片使能信号	F4	DNC	悬空管脚
B5	D5	并行数据输出 D5 位	F5	GND	地
B6	GND	地	F6	GND	地
C1	BUSY	BUSY 输入信号	G1	TDI	JTAG 测试数据输入
C2	CLKOUT	配置时钟输出	G2	DNC	悬空管脚
C3	DNC	悬空管脚	G3	REV_SEL0	版本选择输入
C4	DNC	TEST_EN	G4	REV_SEL1	版本选择输入
C5	D4	并行数据输出 D4 位	G5	VCCO	IO 电源
C6	VCCO	IO 电源	G6	VCCINT	内部逻辑电源
D1	CF_	配置信号	H1	GND	地
D2	CEO_	芯片使能输出信号	H2	VCCJ	JTAG 电源
D3	DNC	悬空管脚	H3	TCK	JTAG 测试时钟
D4	DNC	悬空管脚	H4	EN_EST_SEL_	使能外部选择输入
D5	D3	并行数据输出 D3 位	H5	D1	并行数据输出 D1 位
D6	VCCO	IO 电源	H6	D0	串行数据输出（并行数据输出 D0 位）

注：C4（TEST_EN）用于生产测试，不对用户开放，要求强制接地或悬空。

封装规格

- 1) 器件采用 48 引线陶封 CSOP 封装，外形尺寸参照 GB/T 7092-1993 的规定，外壳外形见图 17。

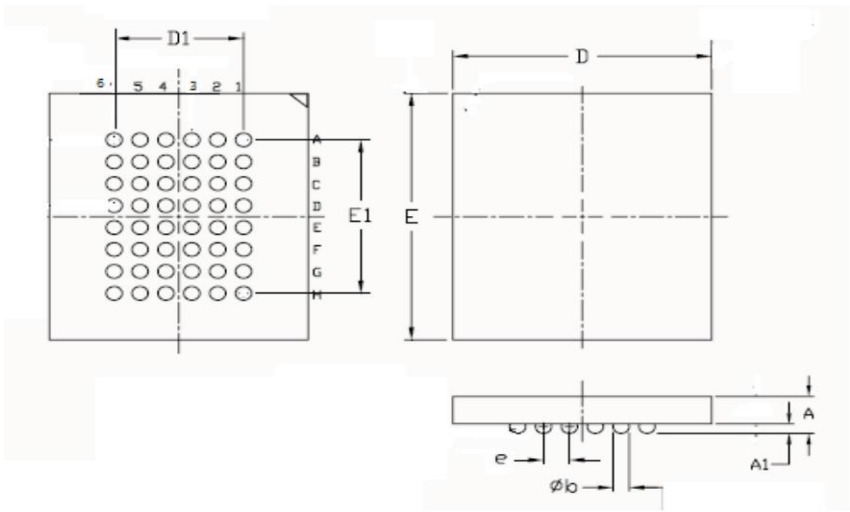


单位为毫米

尺寸符号	数 值		
	最小	公称	最大
D	11.80	—	12.20
E	18.20	—	18.60
E1	20.88	—	21.48
A	1.98	—	2.53
b	—	0.20	—
c	0.10	—	0.20
e	—	0.50	—
b	0.15	—	0.25

图 17 CSOP48 外形尺寸

2) 器件采用 48 引线 FBGA 封装，外形尺寸参照 GB/T 7092-1993 的规定，外壳外形见图 18。



单位为毫米

尺寸符号	数 值		
	最 小	公 称	最 大
A	0.96	—	1.20
A1	0.26	—	0.34
D	7.90	—	8.10
E	8.90	—	9.10
D1	—	4.00	—
E1	—	5.60	—
Φb	0.35	—	0.45
e	—	0.80	—

图 18 FBGA48 外形尺寸

订货信息

型号	封装形式	封装材料	质量等级	通用规范	详细规范号	产品状态
HWD32PMCSOP48	CSOP8	陶瓷	B 级	GJB597B-2012	Q/HWD 20207-2015	量产
HWD32PMFBGA48	BGA48	塑料	N1 级	GJB7400-2011	Q/HWD 20220-2015	量产
HWD32PEFBGA48	BGA48	塑料	军温级	GJB7400-2011	Q/HWD 20221-2015	量产