



HWD9643EQFN64 型模数转换器

产品手册 V1.0

成都华微电子科技股份有限公司

2024 年 4 月 22 日

版本历史

版次	更改说明	更改单号	更改人	更改日期	备注
V1.0	初始发行版本	NA	刘娇	20240422	



目次

1 概述	1
2 产品特点	1
3 功能框图	1
4 封装信息	2
4.1 HWD9643EQFN64 封装信息.....	2
5 绝对最大额定值及推荐工作范围.....	7
5.1 绝对最大额定值	7
5.2 推荐工作范围	8
6 电特性参数	8
7 功能描述	10
7.1 概述	10
7.2 功能描述	10
8 应用建议	20
8.1 电源和接地	20
8.2 裸露焊盘散热建议.....	20
9 使用注意事项	20
10 订货信息	21

1 概述

HWD9643EQFN64是双通道、14位、250 MSPS模数转换器(ADC)，采样率最高可以达到250 MSPS，旨在支持需要低成本，小尺寸，宽带宽且具多功能性的通信应用。

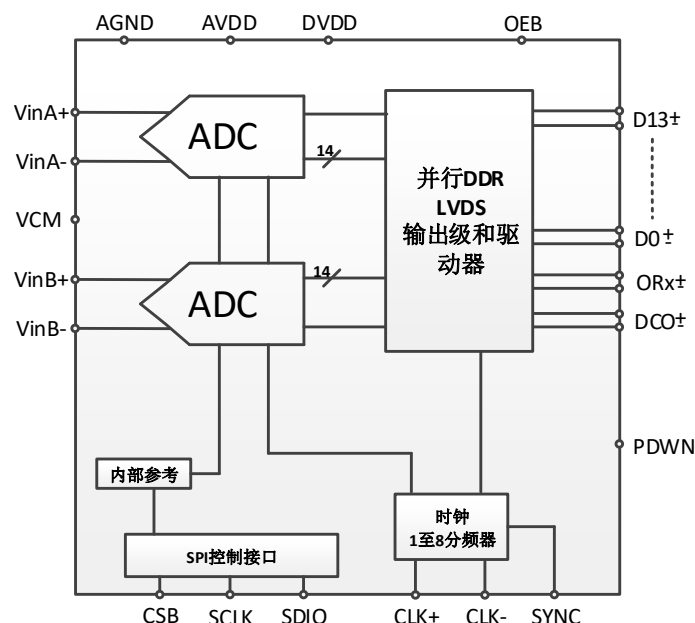
这款双通道ADC内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个ADC均具有宽带宽的输入，支持用户可选的各种输入范围；集成基准电压源简化了设计；占空比稳定器可用来补偿ADC时钟占空比的波动；使转换器具有优越的性能。

ADC输出的数据可以直接送至14位并行LVDS输出端口，输出格式为交错式或通道复用式两种可选模式。另外，提供灵活的掉电模式选项可以明显节省功耗。HWD9643EQFN64采用64引脚PDFN封装，工作温度范围为-55℃至+125℃。

2 产品特点

- 1) 采用 1.8V 单电源供电。
- 2) 内置 1 至 8 整数输入时钟分频器。
- 3) 可编程内部基准电压源。
- 4) 标准 SPI 串行控制接口，三线式 1.8V SPI 端口可用于寄存器编程和寄存器回读。
- 5) 内置时钟占空比稳定器。
- 6) 用户可配置的内置自测（BIST）功能。

3 功能框图



注：D0±至 D13±引脚表示通道 A 和通道 B 的 LVDS 输出数据。

图 1 功能框图

4 封装信息

4.1 HWD9643EQFN64 封装信息

HWD9643EQFN64封装外形及引脚排列图如下图所示。

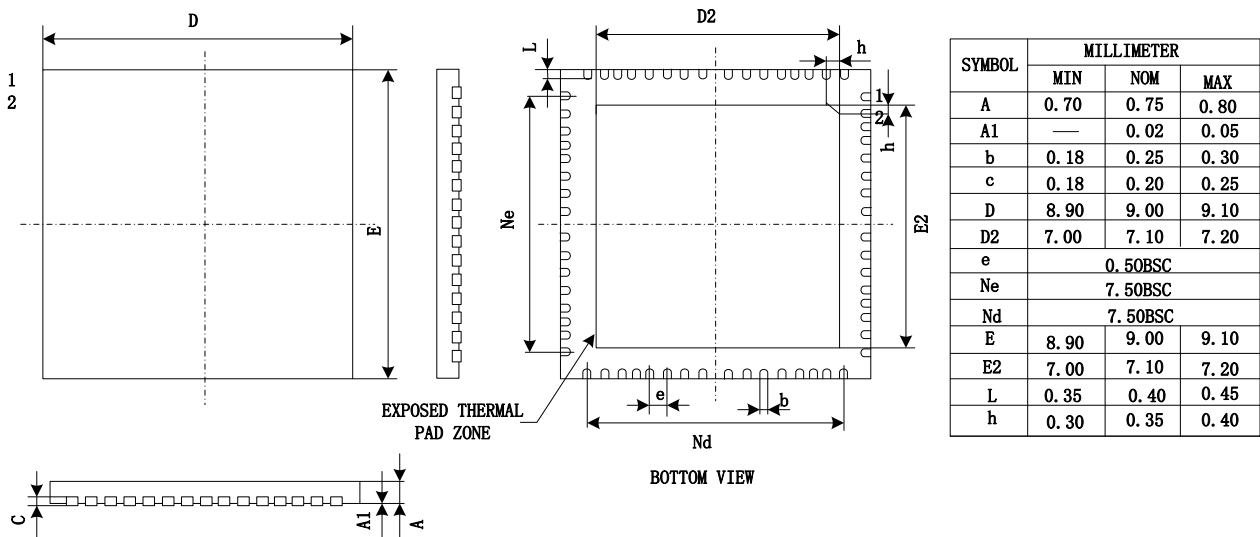
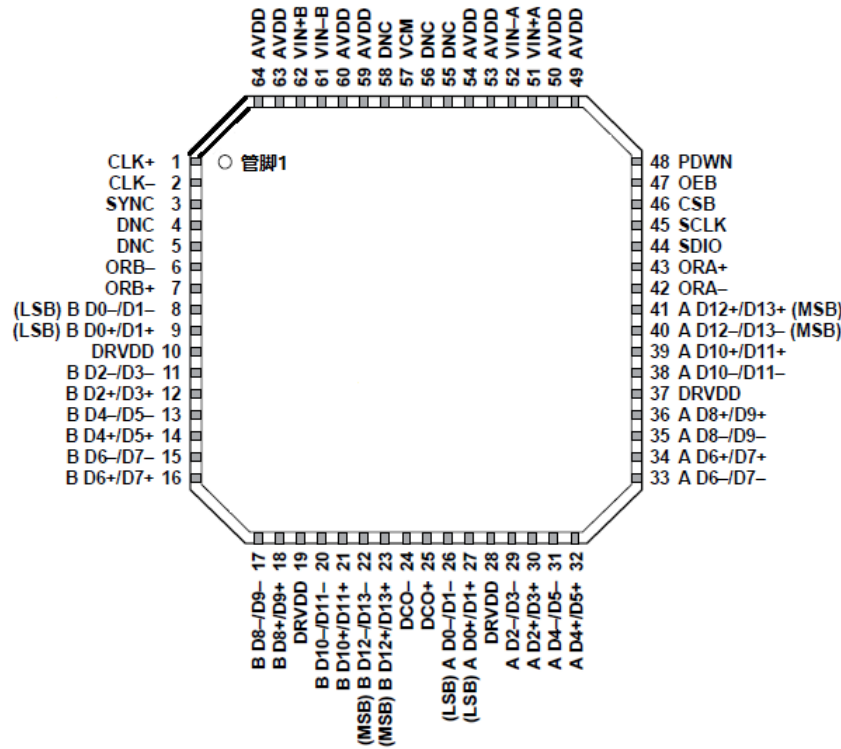


图 2 HWD9643EQFN64 封装外形



注 1：DNC=DO NOT CONNECT。不要连接到该引脚。

注 2：封装底部的裸露焊盘为器件提供模拟地。该焊盘必须与地相连，器件才能正常工作。

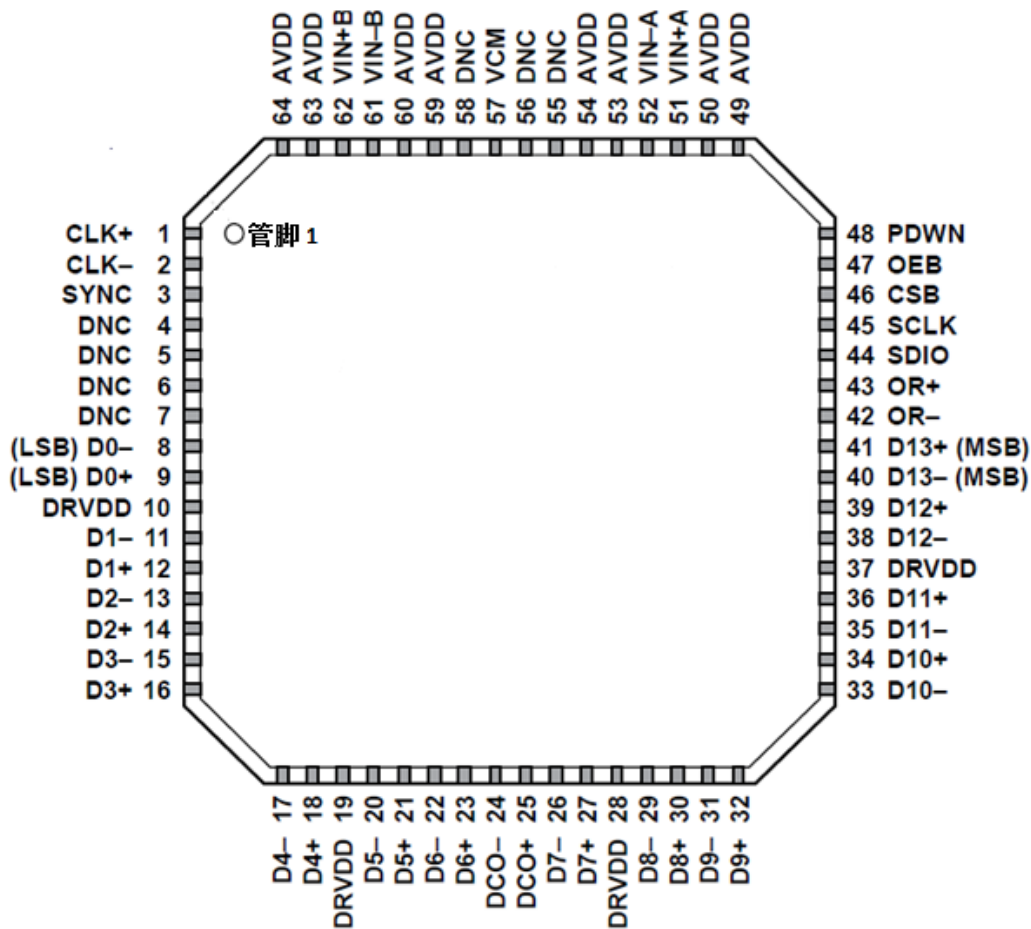
图3 通道复用（偶/奇）LVDS模式引脚配置图（顶视图）

HWD9643EQFN64引脚功能描述（通道复用（偶/奇）LVDS模式）如下表所示。

表 1 HWD9643EQFN64 引脚功能描述（通道复用（偶/奇）LVDS 模式）

管脚编号	管脚名	类型	功能描述
PDFN			
ADC 电源引脚:			
10、19、28、37	DRVDD	电源	数字输出驱动器电源（标称值 1.8V）。
49、50、53、54、59、60、63、64	AVDD	电源	模拟电源（标称值 1.8V）。
4、5	DNC		不连接。
0	AGND 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连器件才能正常工作。
ADC 模拟输入/输出引脚:			
1	CLK+	输入	ADC 时钟输入(+).
2	CLK-	输入	ADC 时钟输入(-).
51	VIN+A	输入	通道 A 的差分模拟输入引脚(+).
52	VIN-A	输入	通道 A 的差分模拟输入引脚(-).
57	VCM	输出	模拟输入的共模电平偏置输出，用一个 0.1μF 电容连接到地进行去耦。
61	VIN-B	输入	通道 B 的差分模拟输入引脚(-).
62	VIN+B	输入	通道 B 的差分模拟输入引脚(+).
55、56、58	DNC		不连接。
数字输入引脚:			
3	SYNC	输入	数字同步引脚，仅用于从机模式。
数字输出引脚:			
6	ORB-	输出	通道 B LVDS 超量程输出(-)。在 DCO 的上升沿超量程输出的指示有效。
7	ORB+	输出	通道 B LVDS 超量程输出(+). 在 DCO 的上升沿超量程输出的指示有效。
8	B D0-/D1-(LSB)	输出	通道 B LVDS 输出数据 0(-)/数据 1(-)。
9	B D0+/D1+(LSB)	输出	通道 B LVDS 输出数据 0(+)/数据 1(+).
11	B D2-/D3-	输出	通道 B LVDS 输出数据 2(-)/数据 3(-)。
12	B D2+/D3+	输出	通道 B LVDS 输出数据 2(+)/数据 3(+).
13	B D4-/D5-	输出	通道 B LVDS 输出数据 4(-)/数据 5(-)。
14	B D4+/D5+	输出	通道 B LVDS 输出数据 4(+)/数据 5(+).
15	B D6-/D7-	输出	通道 B LVDS 输出数据 6(-)/数据 7(-)。
16	B D6+/D7+	输出	通道 B LVDS 输出数据 6(+)/数据 7(+).
17	B D8-/D9-	输出	通道 B LVDS 输出数据 8(-)/数据 9(-)。

管脚编号	管脚名	类型	功能描述
PDFN			
18	B D8+/D9+	输出	通道 B LVDS 输出数据 8(+)/数据 9(+)
20	B D10-/D11-	输出	通道 B LVDS 输出数据 10(-)/数据 11(-)
21	B D10+/D11+	输出	通道 B LVDS 输出数据 10(+)/数据 11(+)
22	B D12-/D13-(MSB)	输出	通道 B LVDS 输出数据 12(-)/数据 13(-)
23	B D12+/D13+(MSB)	输出	通道 B LVDS 输出数据 12(+)/数据 13(+)
26	A D0-/D1-(LSB)	输出	通道 A LVDS 输出数据 0(-)/数据 1(-)
27	A D0+/D1+(LSB)	输出	通道 A LVDS 输出数据 0(+)/数据 1(+)
29	A D2-/D3-	输出	通道 A LVDS 输出数据 2(-)/数据 3(-)
30	A D2+/D3+	输出	通道 A LVDS 输出数据 2(+)/数据 3(+)
31	A D4-/D5-	输出	通道 A LVDS 输出数据 4(-)/数据 5(-)
32	A D4+/D5+	输出	通道 A LVDS 输出数据 4(+)/数据 5(+)
33	A D6-/D7-	输出	通道 A LVDS 输出数据 6(-)/数据 7(-)
34	A D6+/D7+	输出	通道 A LVDS 输出数据 6(+)/数据 7(+)
35	A D8-/D9-	输出	通道 A LVDS 输出数据 8(-)/数据 9(-)
36	A D8+/D9+	输出	通道 A LVDS 输出数据 8(+)/数据 9(+)
38	A D10-/D11-	输出	通道 A LVDS 输出数据 10(-)/数据 11(-)
39	A D10+/D11+	输出	通道 A LVDS 输出数据 10(+)/数据 11(+)
40	A D12-/D13-(MSB)	输出	通道 A LVDS 输出数据 12(-)/数据 13(-)
41	A D12+/D13+(MSB)	输出	通道 A LVDS 输出数据 12(+)/数据 13(+)
42	ORA-	输出	通道 A LVDS 超量程输出(-)。在 DCO 的上升沿超量程输出的指示有效。
43	ORA+	输出	通道 A LVDS 超量程输出(+)。在 DCO 的上升沿超量程输出的指示有效。
24	DCO-	输出	通道 A/B LVDS 数据时钟输出(-)
25	DCO+	输出	通道 A/B LVDS 数据时钟输出(+)
SPI 控制引脚:			
44	SDIO	输入/输出	SPI 串行数据输入/输出。
45	SCLK	输入	SPI 串行时钟。
46	CSB	输入	SPI 片选(低电平有效)。
输出使能和掉电配置引脚:			
47	OEB	输入	输出使能输入(低电平有效)引脚。
48	PDWN	输入	掉电输入(高电平有效)引脚。工作取决于 SPI 的模式; 此输入可以配置为掉电或待机模式。



- 注 1：DNC=DO NOT CONNECT。不要连接到该引脚。
- 注 2：封装底部的裸露焊盘为器件提供模拟地。该焊盘必须与地相连，器件才能正常工作。

图4 通道并行交织LVDS模式引脚配置图（顶视图）

HWD9643EQFN64引脚描述（并行交织LVDS模式）如下表所示。

表 2 HWD9643EQFN64 引脚功能描述（并行交织 LVDS 模式）

管脚编号	管脚名	类型	功能描述
PDFN			
ADC 电源引脚:			
10、19、28、37	DRVDD	电源	数字输出驱动器电源（标称值 1.8V）。
49、50、53、54、59、60、63、64	AVDD	电源	模拟电源（标称值 1.8V）。
4、5、6、7、55、56、58	DNC		不连接。
0	AGND 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连器件才能正常工作。
ADC 模拟输入/输出引脚:			
1	CLK+	输入	ADC 时钟输入(+).
2	CLK-	输入	ADC 时钟输入(-).

管脚编号	管脚名	类型	功能描述
PDFN			
51	VIN+A	输入	通道 A 的差分模拟输入引脚(+)
52	VIN-A	输入	通道 A 的差分模拟输入引脚(-)
57	VCM	输出	模拟输入的共模电平偏置输出, 用一个 0.1 μ F 电容连接到地进行去耦。
61	VIN-B	输入	通道 B 的差分模拟输入引脚(-)
62	VIN+B	输入	通道 B 的差分模拟输入引脚(+)
数字输入引脚:			
3	SYNC	输入	数字同步引脚, 仅用于从机模式。
数字输出引脚:			
8	D0- (LSB)	输出	通道 A/B LVDS 输出数据 0(-)。
9	D0+ (LSB)	输出	通道 A/B LVDS 输出数据 0(+)
11	D1-	输出	通道 A/B LVDS 输出数据 1(-)。
12	D1+	输出	通道 A/B LVDS 输出数据 1(+)
13	D2-	输出	通道 A/B LVDS 输出数据 2(-)。
14	D2+	输出	通道 A/B LVDS 输出数据 2(+)
15	D3-	输出	通道 A/B LVDS 输出数据 3(-)。
16	D3+	输出	通道 A/B LVDS 输出数据 3(+)
17	D4-	输出	通道 A/B LVDS 输出数据 4(-)。
18	D4+	输出	通道 A/B LVDS 输出数据 4(+)
20	D5-	输出	通道 A/B LVDS 输出数据 5(-)。
21	D5+	输出	通道 A/B LVDS 输出数据 5(+)
22	D6-	输出	通道 A/B LVDS 输出数据 6(-)。
23	D6+	输出	通道 A/B LVDS 输出数据 6(+)
26	D7-	输出	通道 A/B LVDS 输出数据 7(-)。
27	D7+	输出	通道 A/B LVDS 输出数据 7(+)
29	D8-	输出	通道 A/B LVDS 输出数据 8(-)。
30	D8+	输出	通道 A/B LVDS 输出数据 8(+)
31	D9-	输出	通道 A/B LVDS 输出数据 9(-)。
32	D9+	输出	通道 A/B LVDS 输出数据 9(+)
33	D10-	输出	通道 A/B LVDS 输出数据 10(-)。
34	D10+	输出	通道 A/B LVDS 输出数据 10(+)
35	D11-	输出	通道 A/B LVDS 输出数据 11(-)。

管脚编号	管脚名	类型	功能描述
PDFN			
36	D11+	输出	通道 A/B LVDS 输出数据 11(+).
38	D12-	输出	通道 A/B LVDS 输出数据 12(-).
39	D12+	输出	通道 A/B LVDS 输出数据 12(+).
40	D13-(MSB)	输出	通道 A/B LVDS 输出数据 13(-).
41	D13+(MSB)	输出	通道 A/B LVDS 输出数据 13(+).
42	OR-	输出	通道 A/B LVDS 超量程输出(-).
43	OR+	输出	通道 A LVDS 超量程输出(+).
24	DCO-	输出	通道 A/B LVDS 数据时钟输出(-).
25	DCO+	输出	通道 A/B LVDS 数据时钟输出(+).
8	D0- (LSB)	输出	通道 A/B LVDS 输出数据 0(-).
9	D0+ (LSB)	输出	通道 A/B LVDS 输出数据 0(+).
11	D1-	输出	通道 A/B LVDS 输出数据 1(-).
12	D1+	输出	通道 A/B LVDS 输出数据 1(+).
SPI 控制引脚:			
44	SDIO	输入/输出	SPI 串行数据输入/输出。
45	SCLK	输入	SPI 串行时钟。
46	CSB	输入	SPI 片选(低电平有效)。
输出使能和掉电配置引脚:			
47	OEB	输入	输出使能输入(低电平有效)引脚。
48	PDWN	输入	掉电输入 (高电平有效) 引脚。工作取决于 SPI 的模式; 此输入可以配置为掉电或待机模式。

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

序号	参数名称	参数值
1	AVDD 到 AGND	-0.3V ~ +2.0V
2	DRVDD 到 AGND	-0.3V ~ +2.0V
3	V _{in±A} /V _{in±B} 到 AGND	-0.3V ~ AVDD + 0.2V
4	CLK _± 到 AGND	-.0.3V ~ AVDD + 0.2V
5	SYNC 到 AGND	-0.3V ~ AVDD + 0.2V
6	DCO _± 到 AGND	-0.3V ~ DRVDD + 0.3V

序号	参数名称	参数值
7	$D0\pm D15\pm$ 到 AGND	$-0.3V \sim DRVDD + 0.3V$
8	$ORA\pm ORB\pm$ 到 AGND	$-0.3V \sim DRVDD + 0.3V$
9	VCM 到 AGND	$-0.3V \sim AVDD + 0.2V$
10	SCLK 到 AGND	$-0.3V \sim DRVDD + 0.3V$
11	SDIO 到 AGND	$-0.3V \sim DRVDD + 0.3V$
12	CSB 到 AGND	$-0.3V \sim DRVDD + 0.3V$
13	OEB 到 AGND	$-0.3V \sim DRVDD + 0.3V$
14	PDWN 到 AGND	$-0.3V \sim DRVDD + 0.3V$
15	储存时的环境温度 (T_{stg})	$-65^{\circ}C \sim +150^{\circ}C$
16	引线耐焊接温度 (T_h)	$260^{\circ}C$
17	结温 (T_j)	$150^{\circ}C$

注：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

5.2 推荐工作范围

序号	参数名称	参数值
1	工作环境温度 (T_A)	$-55^{\circ}C \sim 125^{\circ}C$
2	AVDD 到 AGND	$1.7V \sim 1.9V$
3	DRVDD 到 AGND	$1.7V \sim 1.9V$

6 电特性参数

表 3 电特性

参数	符号	条 件 除另有规定 AVDD=1.8V、DRVDD=1.8V、 V _{IN} =-1.0dBFS 差分输入、 1.75V _{pp} 量程、DCS 开启。 -55°C≤T _A ≤125°C	最小值	最大值	单位
失调误差（单通道）			—	±15.0	mV
增益误差（单通道）			—	±8.0	% FSR
微分非线性	DNL		-1.0	1.5	LSB
积分非线性	INL		—	±9.0	LSB
失调误差（通道匹配）			—	±15.0	mV
增益误差（通道匹配）			—	±3.5	% FSR
电源电压	AVDD		1.7	1.9	V
电源电压	DRVDD		1.7	1.9	V

参数	符号	条 件 除另有规定 AVDD=1.8V、DRVDD=1.8V、 V _{IN} =-1.0dBFS 差分输入、 1.75Vpp 量程、DCS 开启。 -55°C≤T _A ≤125°C	最小值	最大值	单位
正弦波输入功耗			—	1400	mW
掉电功耗			—	8	mW
高电平输入电压			1.22	—	V
低电平输入电压			—	0.6	V
高电平输出电压		LVDS 数据和 OR 输出	1.2	—	V
低电平输出电压		LVDS 数据和 OR 输出	—	1.0	V
信噪比	SNR	$f_{IN} = 90 \text{ MHz}$	67	—	dBFS
		$f_{IN} = 210 \text{ MHz}$	65	—	
无杂散动态范围	SFDR	$f_{IN} = 90 \text{ MHz}$	70	—	dBFS
		$f_{IN} = 210 \text{ MHz}$	74	—	
转换速率			—	250	MSPS

注：时序图如下：

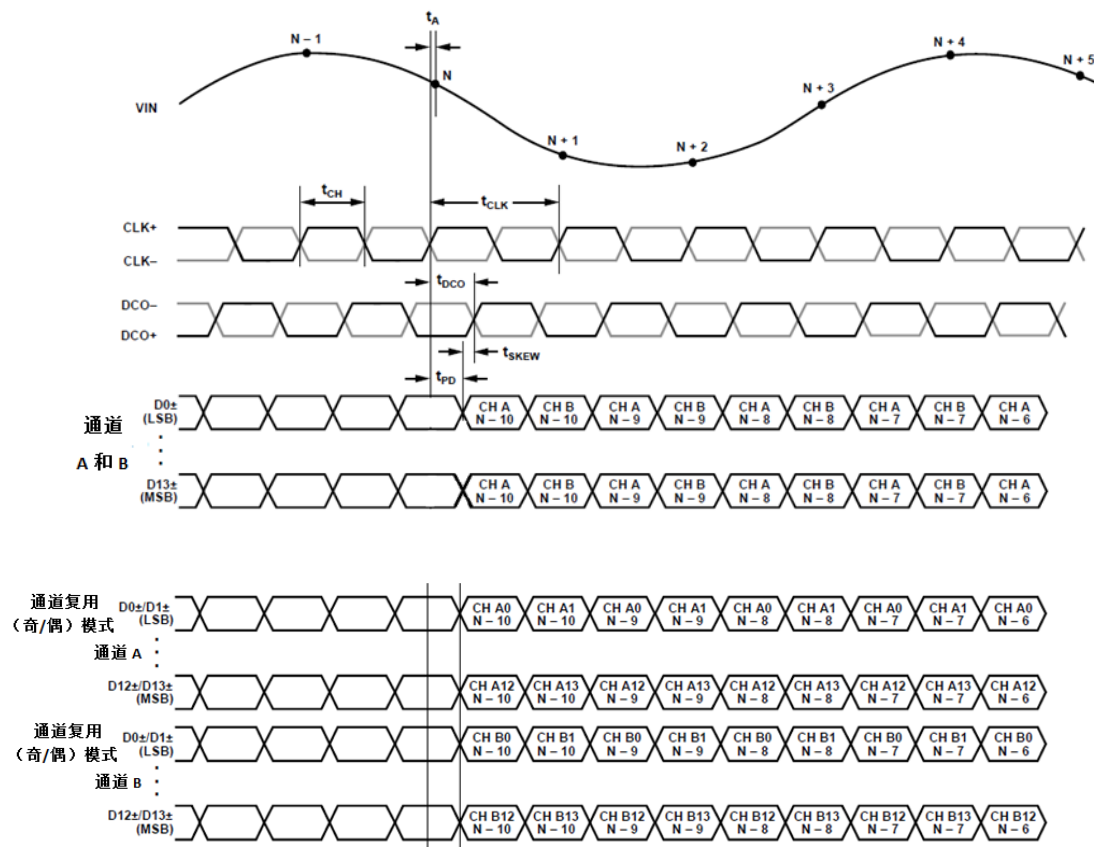


图5 HWD9643EQFN64时序图

7 功能描述

7.1 概述

HWD9643EQFN64 提供两个模拟输入通路和两个数字输出通路，中频信号（IF）从模拟端输入，经过内部多级信号处理得到的数字信号经过输出口输出。双通道 ADC 架构可以方便用于信号的分集接收，这时，两路 ADC 同时处理完全一样的载波信号，但是这两个信号分别来自不同的天线。另外，ADC 也可以工作在两个完全不相干的模拟输入情况下。经过合适的低通或带通滤波器，在保证 ADC 性能不会明显降低的情况下，可以对直流到 300MHz 的信号进行采样。在输入模拟信号频率高于 400MHz 的时候，仍然可以实现采样，但是 ADC 的噪声和失真会明显增加。另外，HWD9643EQFN64 提供同步的功能，方便多个器件之间的同步。

HWD9643EQFN64 提供三线的串行控制接口（SPI），用户可以通过 MCU、处理器、FPGA 或 ASIC 对其进行编程和控制。

7.2 功能描述

7.2.1 ADC 架构

HWD9643EQFN64 架构由一个双前端采样保持电路和其后的流水线型开关电容 ADC 组成。各个级的量化输出组合在一起，经过数字校正逻辑最终得到一个 14 位的转换结果经输出口输出。流水线结构的 ADC 允许第一级在处理新的样点时，后面的其它级电路继续处理之前的采样点。ADC 对信号的采样是在时钟的上升沿进行的。

除最后一级外，流水线的每一级都包含一个低分辨率的闪存型（Flash）型 ADC、一个开关电容数模转换器（DAC）和一个级间余量信号放大器（MDAC）。MDAC 用于放大重构 DAC 输出与闪存型 ADC 输入之间的差信号，以用于流水线的下一级。为了便于实现闪存误差的数字校正，每一级设定了 1 位的冗余量。最后一级仅由一个闪存型 ADC 组成。

每个通道的输入级包含一个差分采样电路，可在差分或单端模式下完成交流耦合或直流耦合。输出级模块能够实现数据对准和错误校正，且能将数据传输到输出缓冲器。在使用中，输出缓冲器需要单独供电，以便将数字输出噪声与模拟内核进行隔离。在掉电模式下，输出缓冲器为高阻状态。

7.2.2 模拟输入

HWD9643EQFN64 的模拟输入端是差分的开关电容电路结构，使用差分的输入信号能得到极佳的性能。在输入时钟信号的驱动下，内部的采保电路在采样模式和保持模式之间切换，见图 6。当输入切换到采样模式时，信号源对采样电容充电，且必须在半个时钟周期内完成。

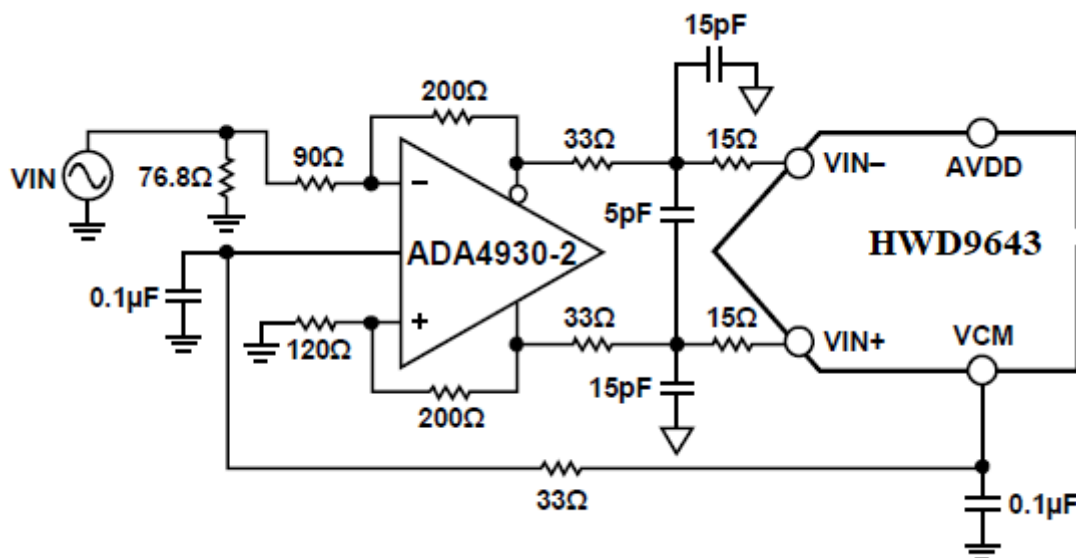


图 7 使用差分放大器 ADA4930-2 驱动 HWD9643

另外对于那些很关注 SNR 指标的基带应用，我们推荐采用差分变压器耦合的方式，如图 8 所示。为实现模拟输入偏置，须将 VCM 的输出连接到变压器次级线圈的中心抽头处。在选择变压器的时候，需要仔细考虑它对信号的响应特性，许多 RF 变压器在频率低于几兆赫时就出现饱和。另外，信号功率过大也会导致磁芯饱和，从而引起失真。

当输入信号位于第二或更高奈奎斯特区的时候，大多数的差分放大器的噪声性能无法满足要求达到 HWD9643EQFN64 的信噪比（SNR）的要求。在 SNR 为关键参数的应用中，建议采用双巴伦差分耦合的输入方式，见图 9 所示。在这种配置中，输入采用交流耦合的方式，CML 通过一个 33Ω 的电阻提供给各输入。这些电阻补偿输入巴伦的损耗，并参与匹配到 50Ω 的输入阻抗。

在双巴伦和变压器的配置中，输入电容和电阻的值取决于输入频率和源端阻抗。根据不同的参数，输入电阻和电容的值需要做相应的调整或有部分元件需要去掉。表 4 列出了在不同模拟输入频率范围内 RC 网络的推荐值。不过这些值最终取决于输入的信号频率和带宽，也只能作为参考。其中，表中 R1、R2、C1、C2 和 R3 为图 8 和图 9 中的对应元件。

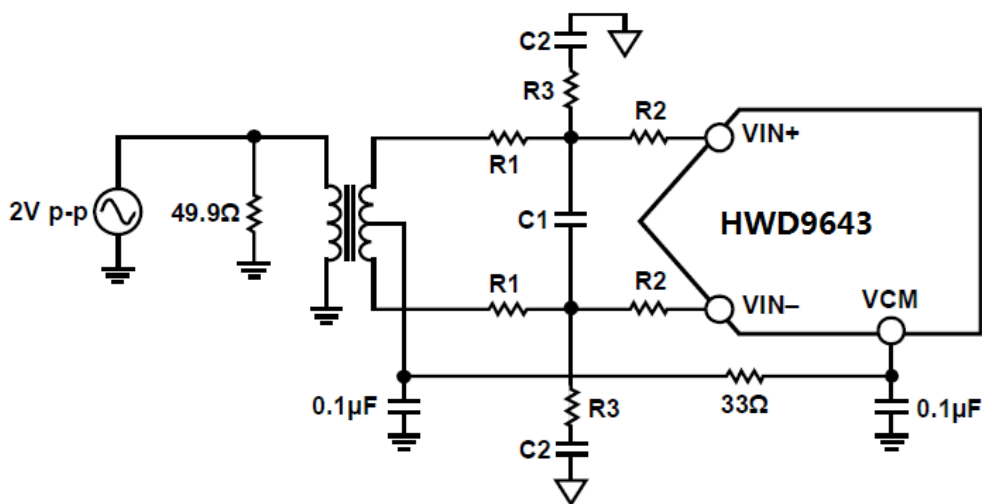


图 8 差分变压器耦合输入配置

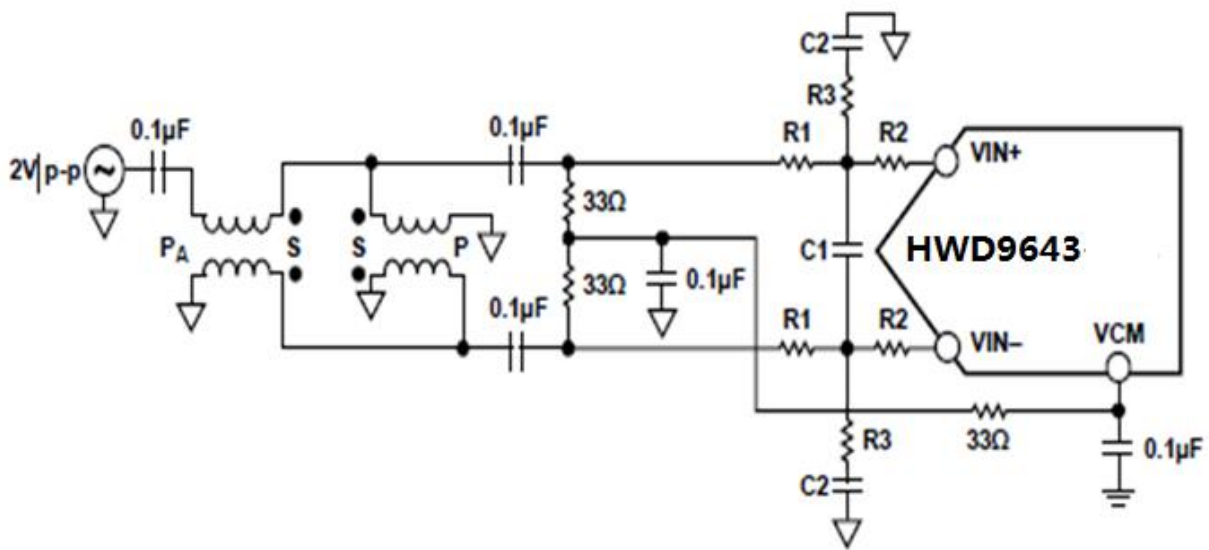


图9 双巴伦差分耦合输入配置

表4 RC网络示例

频率范围 (MHz)	串联电阻 R1 (Ω)	差分电容 C1 (pF)	串联电阻 R2 (Ω)	并联电容 C2 (pF)	串联电阻 R3 (Ω)
0 ~ 100	15	8.2	15	15	49.9
100 ~ 300	0	3.9	15	去除	去除

采样信号频率位于第二奈奎斯特区域内时，除了使用变压器耦合输入外，还可以采用高性能的差分驱动器来实现。比如ADI公司的AD8375和AD8376都是不错的选择。有关详细的驱动电路，请参考AD8375或AD8376的数据手册，这里就不介绍了。

7.2.5 基准参考源

HWD9643EQFN64内置稳定、精确的基准电压源。通过改变内部的基准电压源的电压大小，可以调整ADC的满幅输入电压范围，ADC的输入范围随基准电压呈线性变换。

7.2.6 时钟输入选项

CMOS、LVDS、LVPECL或正弦波信号均可作为HWD9643EQFN64时钟输入信号。CLK+和CLK-引脚有内部偏置，无需外部偏置。由于时钟信号的质量会直接影响到ADC的SNR和SFDR性能，时钟的抖动和杂散是两重要的考虑指标。有关时钟抖动对ADC输出SNR指标的影响，请参考相关文档。

图10和图11显示两种为HWD9643EQFN64提供时钟信号的首选方案(时钟速率可达625MHz)。利用射频巴伦或射频变压器，可将低抖动时钟源的单端信号转换成差分信号。对于625MHz的时钟频率，采用射频巴伦配置；对于10MHz至200MHz的时钟频率，采用射频变压器配置。跨接在变压器/巴伦次级上的背对背肖特

基二极管可以将输入到HWD9643EQFN64中的时钟信号限制为约差分0.8V峰峰值。这样，既可以防止时钟的大电压摆幅馈通至HWD9643EQFN64的其它部分，还可以保留信号的快速上升和下降时间，这对保证时钟的低抖动性能来说非常重要。

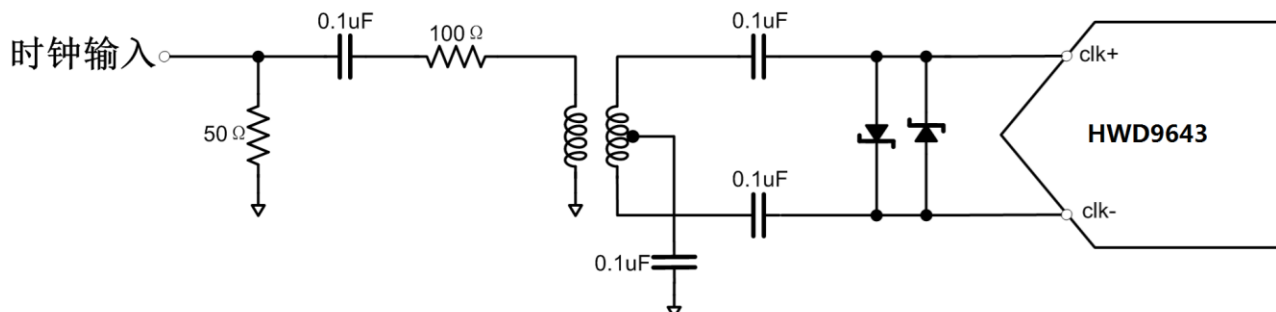


图 10 变压器配置的时钟输入

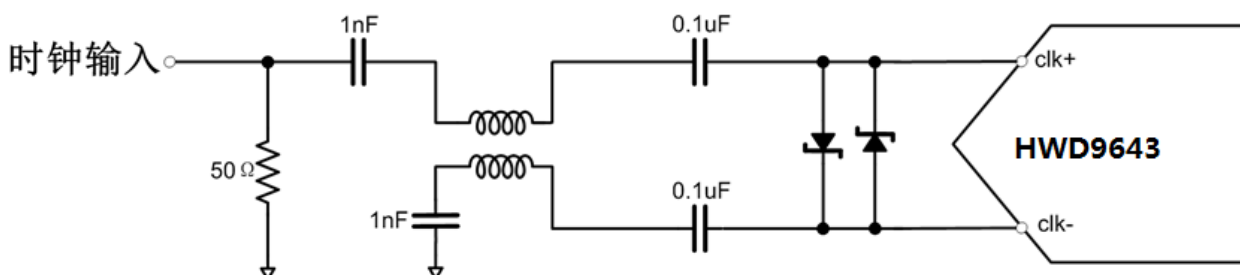


图 11 巴伦配置的时钟输入

除了上述时钟耦合方式外，还可以利用专门的时钟发生器来产生HWD9643EQFN64的低抖动时钟。目前业内很多半导体厂商都通过这样的产品，驱动器输出可以直接用于ADC的采样时钟。比如ADI、TI、PMC和Silicon Lab等。用户可以在其网站上找到相关产品、手册和应用文档，如ADI的AD95xx系列产品，TI公司的LMK04xxx系列，Silicon Lab的SI5xxx系列产品。图12给出了使用时钟专用器件来驱动HWD9643EQFN64的基本电路拓扑，供参考。

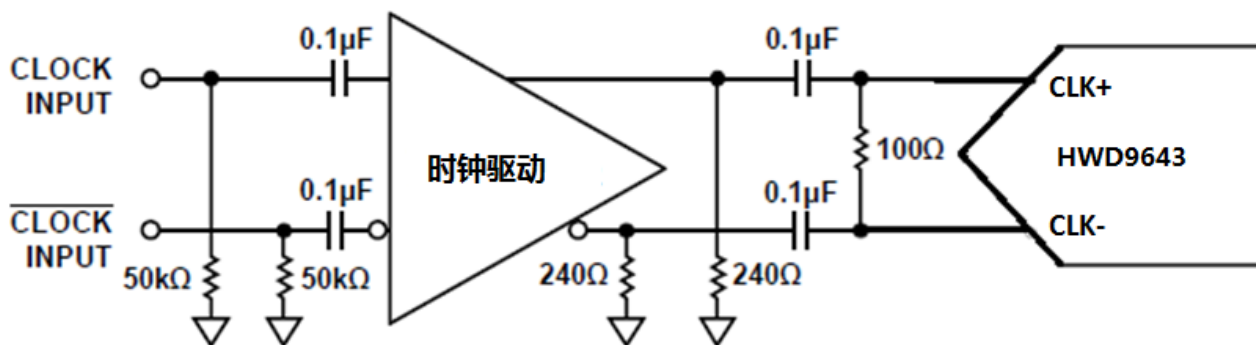


图 12 采用时钟驱动器为 HWD9643EQFN64 提供时钟

7.2.7 输入时钟分频器

HWD9643EQFN64 内置一个输入时钟分频器，可以对输入时钟进行 1~8 整数倍分频。上电时，占空比稳定器是默认使能的。利用外部同步信号（SYNC）可以同步 HWD9643EQFN64 的时钟分频器。通过配置寄存器 0x3A 的位 1 和位 2，设置每次收到 SYNC 信号或仅在第一次收到 SYNC 信号后，对时钟分频器进行同步。有效的 SYNC 信号可使分频器复位至初始状态，该同步特性可以是多个器件的时钟分频器对准，从而保证对输入信号同时进行采样。

7.2.8 时钟占空比调整

典型的高速 ADC 均利用时钟的两个沿来产生各种内部的定时信号，因此对时钟的占空比非常敏感。为保证得到高性能的输出，对 ADC 时钟的占空比的容差都有严格的要求，通常情况下需要保证 $\pm 5\%$ 的容差范围。

HWD9643EQFN64 内部集成了占空比稳定器（DCS），可对非采样沿（下降沿）进行重新定时，并提供标称占空比为 50%的内部时钟信号。这样，用户可以提供的时钟输入占空比范围就很广，且不会对 ADC 的性能产生影响。

另外，时钟上升沿的抖动是很重要的指标，目前没有什么办法采用内部电路来稳定或降低外部时钟上升沿的这种抖动，DCS 也不能改善抖动性能。当时钟频率比较低（ $<20\text{MSPS}$ ）的时候，HWD9643EQFN64 内部的 DCS 控制回路是不工作的，对于这种低采样应用，需要将 DCS 功能通过 SPI 关闭。但是，需要保证外供时钟满足器件规格的要求才能得到最佳的性能。

7.2.9 时钟抖动

高速、高分辨率 ADC 对时钟输入信号的质量非常敏感。时钟抖动指标直接影响到 ADC 的信噪比（SNR），随着采样信号频率的提高，时钟抖动对 ADC 信噪比恶化越大。有关时钟抖动对 ADC 信噪比的影响，请参考相关 ADC 的应用文档，这里就不详细讨论了。

7.2.10 功耗

HWD9643EQFN64 的功耗随着采样速率而变化。另外，可以将 PWDN 管脚置成高电平或通过 SPI 使能低功耗模式均可以使 HWD9643EQFN64 切换到待机模式。在待机模式下，ADC 的最大功耗为 8mW 左右，输出驱动器呈高阻状态，内部的参考电压源、参考源缓冲器、偏置网络和时钟模块均关闭，需要一定的时间周期来唤醒。

7.2.11 数字输出

HWD9643EQFN64 的输出驱动器两种方式：标准的 LVDS 模式和小输出摆幅 LVDS 模式。输出数据的格式为二进制偏移码、二进制补码或格雷码，可以通过 SPI 来选择输出数据格式。

HWD9643EQFN64的数字输出具有非常灵活的三态能力，可以通过输出使能管脚（OEB）或SPI来使能三态模式。如果OEB管脚为低电平，输出数据驱动器工作；如果OEB管脚为高电平，输出数据驱动器置于高阻状态。OEB的控制逻辑电平需要跟DRVDD保持一致，不能高于该供电电压。使用SPI可以独立控制两个通道的输出使能，相应的可在位为0x14寄存器的位4。由于输出数据采样交织的方式，在只有一个通道关闭的情况下，另一个通道的数据仍然可以输出，并在输出时钟的上升沿河下将沿重复出现。

7.2.12 时序

HWD9643EQFN64提供流水线延迟为10个时钟周期的采样数据。在经过时钟信号上升沿后的一个传播延迟时间后，得到输出数据。为了降低ADC内部的瞬态响应，应尽可能地缩短输出数据线的长度并减轻输出负载。因为这些瞬态响应会影响到转换器的动态性能指标。另外，HWD9643EQFN64的最低采样时钟为40Msps，低于该采样速度的工作条件下，会降低ADC的动态性能指标。

7.2.13 数据输出时钟（DCO）

HWD9643EQFN64同时通过数据时钟输出（DCO）信号，用于外部器件数据采集。方便的数字处理器或FPGA可用该时钟对ADC的输出信号镜像采集。

7.2.14 ADC 过载指示信号（OR）

当HWD9643EQFN64的输入模拟信号超过满量程电平的时候，过载指示（OR）输出变为高电平。由于过载条件是需要经过流水线进程来判断的，所以从模拟信号过载输入到过载指示为高电平之间会有10个时钟周期的延时。

7.2.15 同步功能

HWD9643EQFN64提供一个同步输入管脚，用户可以方便灵活地实现内部各个模块的同步。另外，同步功能也非常方便实现多个器件之间的同步。内部时钟的分频器可以通过使用SYNC来实现同步。可以通过设置寄存器0x3A的相应控制位来实现时钟分频器的不同同步方式，是单次SYNC沿同步方式还是每次SYNC沿同步方式。在多片ADC之间实现同步的时候，需要注意在PCB设计及布线是需要确保多片SYNC信号不能出现时序的不确定性，因为在ADC内部，是需要通过采样时钟来同步SYNC输入信号的。如果在不同器件的输入端SYNC信号都出现了不确定性，那么就很难实现多器件的同步。

7.2.16 SPI 接口

HWD9643EQFN64 串行接口（SPI）允许用户利用 ADC 内部的寄存器来配置其具体的工作模式。SPI 接口包括三个硬件管脚：串行时钟（SCLK）、串行数据输入输出（SDIO）和片选（CSB）。对这三个管脚的详细功能请参考表 5。

表 5 串行控制接口 (SPI) 管脚

管脚	功能
CSB	片选信号。低电平有效控制信号，用来选通读写周期。
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读写操作。
SDIO	串行数据输入/输出。双功能管脚，通常用作输入或输出，取决于发送的指令和时序帧中的相对应操作指令。

CSB 的下降沿与 SCLK 的上升沿共同决定帧的开始。在 SPI 的整个操作期间，需要将 CSB 一直保持低电平。当 CSB 为高电平时，SPI 功能处于高阻状态。每一个 SPI 指令周期内，先传输 16 位的指令字，然后传输数据，数据的长度由指令字中的 W1 和 W0 位来决定。除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串口对芯片编程或读取片上存储器内的数据。多字节串行数据传输帧的第一个字节的第一位表示发出的是读命令还是写命令。如果指令是回读操作，则执行回读操作会是串行数据输入/输出（SDIO）管脚的传输方向，在串行帧的一定位置有输入变为输出。

所有数据均为 8 位字组成。数据可通过高位优先（**MSB**）模式或低位优先（**LSB**）模式进行发送。芯片上电后，默认采用的是高位优先（**MSB**）的模式，可以通过 **SPI** 端口配置寄存器来更改数据发送方式。有关 **SPI** 的接口时序关系，请参考图 13。

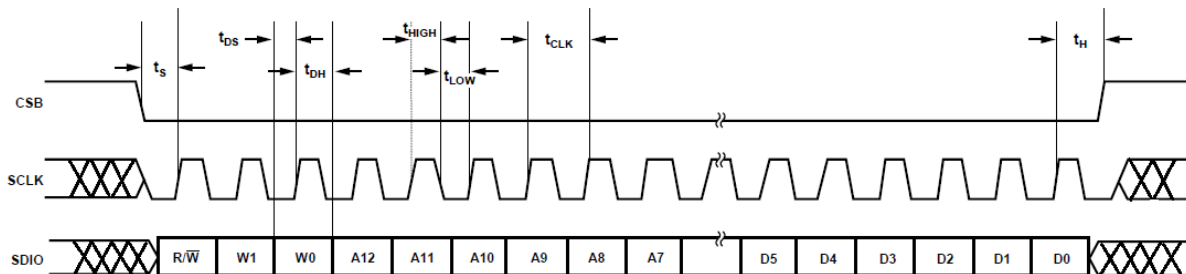


图 13 SPI 的接口时序

7.2.17 硬件接口

表 5 中所描述的管脚包括用户的控制器件（MCU、FPGA、ASIC 或处理器等）与 HWD9643EQFN64 的串行端口之间的物理接口。SCLK 和 CSB 管脚为输入口，SDIO 为双向口，在写操作的时候为输入口，读操作的时候为输出口。

为了得到更好的 ADC 动态性能指标，在完成配置后，应当禁止 SPI 口。由于 SCLK、CSB 和 SDIO 通常情况下与 ADC 的采样时钟是异步的，这些信号线上的噪声会在不同程度上影响 ADC 的性能。如果与单板上其它器件共用 SPI 总线，应尽可能将 HWD9643EQFN64 的 SPI 总线经过缓冲器隔离。

7.2.18 SPI 访问特性

为了方便用户了解 SPI 的基本功能和在使用中通常的需要的一些功能设置,表 6 列出了使用 SPI 需要对 HWD9643EQFN64 进行设置的主要功能。

表 6 可通过 SPI 访问的特性

功能特性	说明
模式	允许用户设置掉电模式或待机模式
时钟	允许用户访问 DCS, 设置时钟分频器, 设置时钟分频器相位, 以及使能同步
失调	允许用户以数字方式调整转换器失调
输出模式	允许用户设置输出数据格式等
输出相位	允许用户设置输出时钟的极性
输出延时	允许用户改变 DCO 的延时
VREF	允许用户设置基准电压电平

7.2.19 存储器映射

HWD9643EQFN64 的内部寄存器地址以及各位说明如表 7 所示。

表7 寄存器映像表

地址 (HEX)	名字	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值	说明
芯片配置寄存器											
0x00	SPI 口配置寄存器(全局)	0	LSB 优先	软复位	1	1	软复位	LSB 优先	0	0x18	半字节之间是镜像关系,使得无论在何 种移位模式下,LSB 优先或 MSB 优先 模式寄存器均能正确记录数据
0x01	芯片识别号 (全 局)	8 位芯片识别号								0x82	只读
0x02	速度等级 (全局)	禁用	禁用	速度等级识别号: 00 = 250Msps 01 = 210Msps 11 = 170Msps		禁用	禁用	禁用	禁用		只读
通道指示和传输寄存器											
0x05	通道指示 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	ADC B	ADC A	0x03	设置这些位以决定片内哪个通道接收 SPI 来的命令;仅用于局部寄存器
0xFF	传送寄存器(全 局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	传送	0x00	从主移位寄存器向从移位寄存器同步 传输数据
ADC 功能寄存器											
0x08	功耗模式 (局部)	禁用	禁用	外部掉电 管脚功能 0 = 掉电 1 = 待机	禁用	禁用	禁用	内部掉电模式 00 = 正常工作 01 = 完全掉电 10 = 待机模式 11 = 保留		0x00	决定芯片的不同模式
0x09	全局时钟 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比稳 定器	0x01	占空比调整功能(DCS)
0x0B	时钟分频 (全局)	禁用	禁用	输出时钟分频器相位调整 000 = 无延迟 001 = 1 个时钟周期延时 010 = 2 个时钟周期延时 011 = 3 个时钟周期延时 100 = 4 个时钟周期延时 101 = 5 个时钟周期延时 110 = 6 个时钟周期延时 111 = 7 个时钟周期延时			时钟分频比 000 = 1 分频 001 = 2 分频 010 = 3 分频 011 = 4 分频 100 = 5 分频 101 = 6 分频 110 = 7 分频 111 = 8 分频		0x00	000 以外的时钟分频值时,占空比稳定 器会自动打开	

地址 (HEX)	名字	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值	说明
0x0D (是否定义?)	测试模式 (局部)	测试模式控制 0=重复 1=单次	禁用	复位长 PN 序列 发生器	复位短 PN 序列 发生器	输出测试模式 关闭测试模式 (默认值) 模式 0000 = 0000 = 中间电平模式 0001 = 正满电平模式 0010 = 负满电平模式 0011 = 交替模式 0100 = PN 长序列模式 0101 = PN 短序列模式 0110 = 1/0 字反转模式 0111 = 用户测试模式 1000 = 没定义 1001~1110 = 没定义 1111 = 信号爬坡模式				0x00	设置该寄存器后, 测试数据将取代正常数据输出到 ADC 的数据输出口
0x10	偏置调整 (局部)	禁用	禁用	偏置调整值 (从+31 到-32), 二进制补码格式						0x00	
0x14	输出模式	禁用	禁用	禁用	输出使能 (局部)	禁用	输出反转 0 = 正常 输出 (默认) 1 = 反转	输出格式 00 = 偏移二进制 01 = 二进制补码 (缺省) 10 = 格雷码 11 = 保留		0x05	用于配置 ADC 的输出和输出数据格式
0x15	输出调整 (全局)	禁用	禁用	禁用	禁用	LVDS 输出驱动电流调整 0000 = 3.72mA 输出驱动电流 0001 = 3.5mA 输出驱动电流 (缺省值) 0010 = 3.30 mA 输出驱动电流 0011 = 2.96 mA 输出驱动电流 0100 = 2.82 mA 输出驱动电流 0101 = 2.57 mA 输出驱动电流 0110 = 2.27 mA 输出驱动电流 0111 = 2.0 mA 输出驱动电流 1000~1111 = 保留				0x01	
0x16	时钟相位控制 (全局)	DCO 反向	禁用	奇偶模式使能 0 = 关闭 1= 使能	禁用	禁用	禁用	禁用	禁用	0x00	
0x17	DCO 输出延迟 (全局)	DCO 输出延迟使能	禁用	禁用	DCO 时钟延迟 (3100ps x 寄存器值/31 + 100)] [延时 = 00000 = 100 ps 00001 = 200 ps 00010 = 300 ps 11110 = 3100 ps 11111 = 3200 ps				0x00		
0x18	输入范围选择 (全局)	禁用	禁用	禁用	满幅度输入电压范围 = 2.087Vp-p 1.772Vp-p 1.75Vp-p(默认值) 1.727Vp-p 1.383Vp-p 01111 00001 = 00000 = 11111 = 10000 =				0x00	满幅度输入范围调整的步长为 0.022v	
0x19	用户测试模式 1, LSB(全局)	用户测试模式 1 [7:0]								0x00	
0x1A	用户测试模式 1, MSB(全局)	用户测试模式 1 [15:8]								0x00	
0x1B	用户测试模式 2, LSB(全局)	用户测试模式 2 [7:0]								0x00	
0x1C	用户测试模式 2, MSB(全局)	用户测试模式 2 [15:8]								0x00	
0x1D	用户测试模式 3, LSB(全局)	用户测试模式 3 [7:0]								0x00	
0x1E	用户测试模式 3, MSB(全局)	用户测试模式 3 [15:8]								0x00	
0x1F	用户测试模式 4, LSB(全局)	用户测试模式 4 [7:0]								0x00	
0x20	用户测试模式 4, MSB(全局)	用户测试模式 4 [15:8]								0x00	
0x3A	同步控制 (全局)										

8 应用建议

为了得到优越的性能指标，在 HWD9643EQFN64 的系统设计和 PCB 布局之前，建议参考下面的基本设计指南，其中讨论了某些管脚所需要的特殊电路连接和布局要求。

8.1 电源和接地

建议使用两个独立的1.8V电源为HWD9643EQFN64供电，一个用于模拟端（AVDD），一个用于数字端（DRVDD）。对于AVDD和DRVDD，应使用多个不同容值的去耦电容，以对电源的高频噪声和低频噪声进行有效的滤波，得到干净的供电电压。去耦电容应该放置在接近PCB入口点和接近器件管脚的位置，并尽可能缩短电源的走线长度。HWD9643EQFN64仅需要一个PCB的接地层。对PCB模拟、数字和时钟模块进行合理的去耦和分隔，可以较容易地得到最佳的性能。

8.2 裸露焊盘散热建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接到模拟地（AGND）上。PCB上裸露（无阻焊膜）的连接铜平面应与YA16D125的裸露焊盘（管脚0）匹配。同平面应有多个通孔，以便获得尽可能低的热阻路径以通过PCB底部进行散热。应该填充或堵塞这些通孔，防止通孔渗锡而影响连接性能。

为了最大地实现ADC与PCB之间的覆盖与连接，应该在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为多个均等的部分。这样在焊接过程中，可在ADC与PCB之间提供多个连接点。而一个连续无分割的平面则可保证在ADC与PCB之间有一个连接点。

9 使用注意事项

器件必须采取防静电措施进行操作。

该器件操作注意事项如下：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物；
- f) 若可行，相对湿度保持在 50%以上。

10 订货信息

表 10 产品订货信息

序号	型号	封装形式	封装材料	器件等级	引脚材料	重量（g）	典型尺寸（mm） （长×宽×高）	详细规范	产品状态
1	HWD9643EQFN64	PDFN	塑料	军温	铜镀锡	0.23g	9.00×9.00×0.75	Q/HWD 20424-2018	量产

注1:

a) 军温级器件满足Q/HWD40020-2018 《华微军温级产品通用规范》的筛选要求，其工作环境温度范围应为-55℃~+125℃。

注2: 产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。